

HCPL-7721

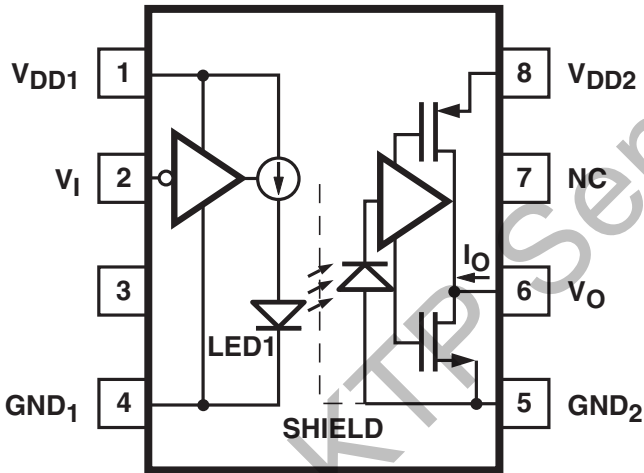
---40ns 传输延迟，COMS 光耦

1、概述：

HCPL-7721 采用 8 引脚 DIP 封装。利用最新的CMOS IC 技术，以极低的功耗实现出色的性能。HCPL-7721 只需要两个旁路电容器即可实现完全的CMOS 兼容性。

HCPL-7721 的基本构建块是 CMOS LED 驱动器 IC、高速 LED 和 CMOS 检测器 IC。CMOS 逻辑输入信号控制向 LED 提供电流的 LED 驱动器 IC。检测器IC 包含一个集成光电二极管、一个高速跨阻放大器和一个带输出驱动器的电压比较器。

2、功能图：



HCPL-7721 功能框图⁽¹⁾⁽²⁾

注：（1）引脚 3 是内部 LED 的阳极，必须保持未连接状态，以保证数据表性能。引脚 7 未内部连接。
（2）引脚 1 和 4 以及引脚 5 和 8 之间，必须尽可能靠近引脚地连接 0.01μF 至 0.1μF 的旁路电容器。

3、真值表：

V _I 输入	LED1	V _O 输出
H	OFF	H
L	ON	L

4、特性：

- +5V CMOS 兼容性
- 最大传播延迟偏差为 20ns
- 高速：25MBd
- 40ns 最大传输延迟
- 10kV/us 最小共模抑制
- -45 to +85°C 温度范围

5、应用：

- 数字现场总线隔离：CC-Link、DeviceNet、PROFIBUS、SDS
- 交流等离子显示面板电平移位
- 多路数据传输
- 计算机外围接口
- 微处理器系统接口

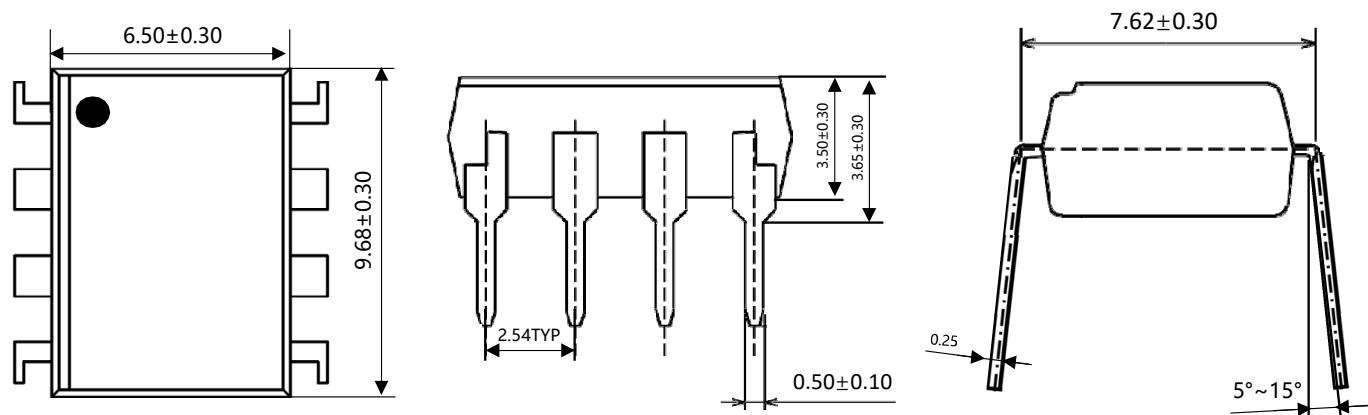
6、注意：

建议在处理和组装该器件时采取常规的静电预防措施，以防止静电放电可能导致产品的损坏或退化。

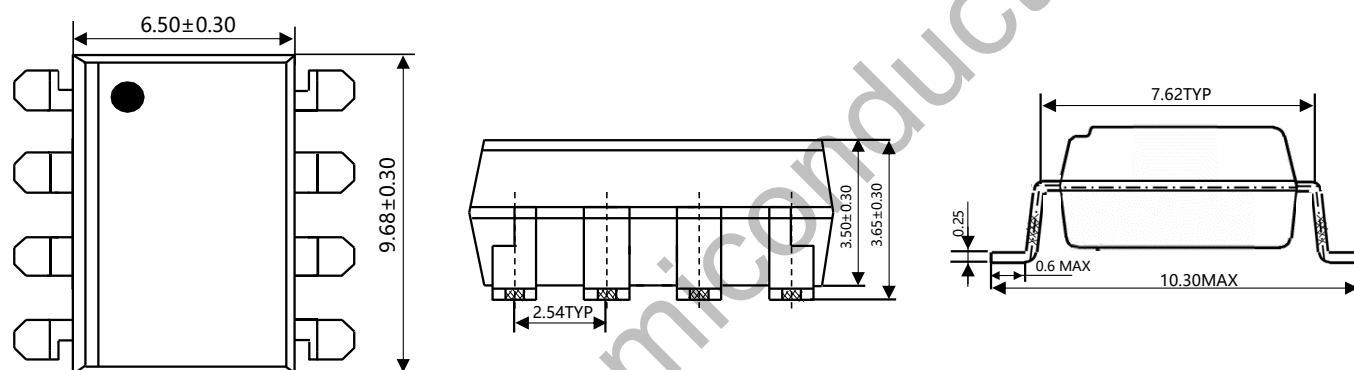
7、外形尺寸：

单位：毫米（mm）

DIP8 外形尺寸

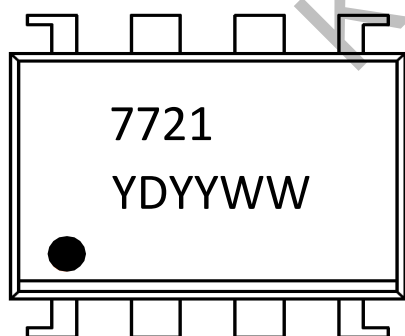


SMD8 外形尺寸

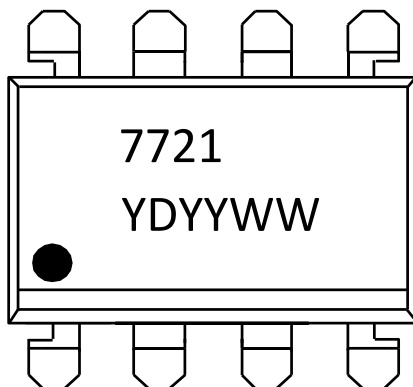


8、产品标记：

DIP8



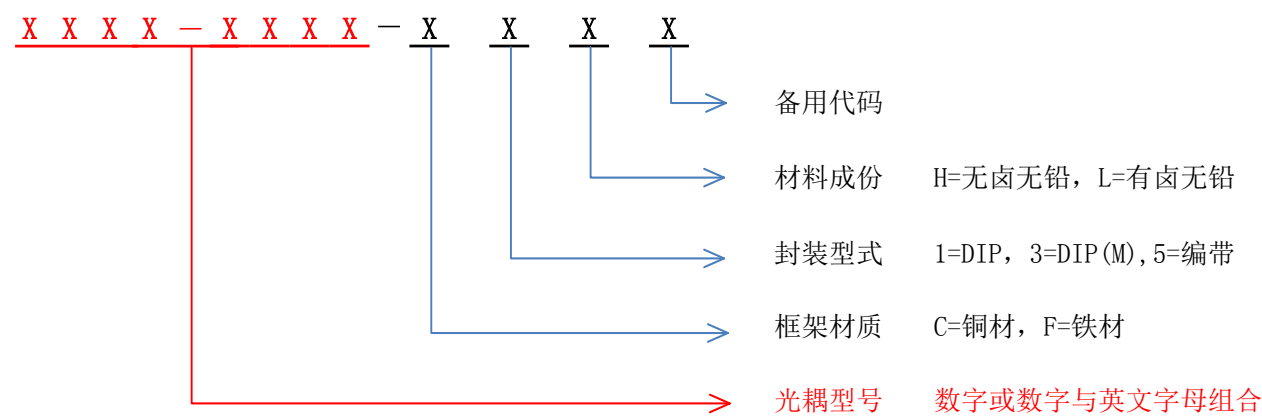
SMD8



YY=生产年份末两位数字（如“2023年”印“23”）

WW=生产月份两位数字（如“第一月”印“01”）

9、产品命名规则：



*上述命名为产品完整型号，包装标签上 ITEM（出货型号）按上述要求打印完整型号，字符间无空格。

10、最大额定值：

参数	符号	最小值	最大值	单位
贮存温度	T_S	-55	125	°C
工作温度	T_A	-40	85	°C
电源电压	V_{DD1}, V_{DD2}	0	6.0	V
输入电压	V_I	-0.5	$V_{DD1}+0.5$	V
输出电压	V_O	-0.5	$V_{DD2}+0.5$	V
平均输出电流	I_O	—	10	mA
铅焊料温度	260°C for 10 sec.			

11、推荐工作条件：

参数	符号	最小值	最大值	单位
工作温度	T_A	-40	85	°C
电源电压	V_{DD1}, V_{DD2}	4.5	5.5	V
逻辑高输入电压	V_{IH}	2.0	V_{DD1}	V
逻辑低输入电压	V_{IL}	0.0	0.8	V
输入信号上升、下降时间	t_{ir}, t_{if}	—	1.0	ms

12、电气特性(DC)：

典型值在 $T_A=25^{\circ}\text{C}$ ， $V_{DD1}=V_{DD2}=5\text{V}$ 下测量。

参数	符号	条件	最小值	典型值	最大值	单位
逻辑低输入电源电流 ⁽³⁾	I_{DD1L}	$V_I=0\text{V}$	—	9.0	13.0	mA
逻辑高输入电源电流 ⁽³⁾	I_{DD1H}	$V_I=V_{DD1}$	—	1.5	3.0	mA
输出电源电流	I_{DD2L}	—	—	4.0	6.0	mA
	I_{DD2H}	—	—	3.8	7.0	mA
输入电流	I_I	—	-10	—	10	uA
逻辑高输出电压	V_{OH}	$I_O=-20\mu\text{A}$ ， $V_I=V_{IH}$	4.4	5.0	—	V
		$I_O=-4\text{mA}$ ， $V_I=V_{IH}$	4.0	4.8	—	
逻辑低输出电压	V_{OL}	$I_O=20\mu\text{A}$ ， $V_I=V_{IL}$	—	0	0.1	V
		$I_O=400\mu\text{A}$ ， $V_I=V_{IL}$	—	—	0.1	
		$I_O=4\text{mA}$ ， $V_I=V_{IL}$	—	0.5	1.0	

注：（3）当 V_I 低时，LED 亮起；当 V_I 高时，LED 熄灭。

13、开关特性(AC)：

参数	符号	条件	最小值	典型值	最大值	单位
逻辑低输出传输延迟 ⁽⁴⁾	t_{PHL}	$C_L=15\text{pF}$ ， COMS 信号电平	—	20	40	ns
逻辑高输出传输延迟 ⁽⁴⁾	t_{PLH}		—	19	40	ns
脉宽	PW		40	—	—	ns
数据速率			—	—	25	MBd
脉宽失真 $ t_{PHL}-t_{PLH} $ ⁽⁵⁾	PWD		—	3	6	ns
延时偏差 ⁽⁶⁾	t_{PSK}		—	—	20	ns
输出上升时间(10%~90%)	t_R		—	9	—	ns
输出下降时间(90%~10%)	t_F		—	8	—	ns
逻辑高输出共模抑制 ⁽⁷⁾	$ CM_H $	$V_I=V_{DD1}$ ， $V_{CM}=1000\text{V}$ ， $V_O>0.8V_{DD1}$	10	20	—	kV/ μs
逻辑低输出共模抑制 ⁽⁷⁾	$ CM_L $	$V_I=0\text{V}$ ， $V_{CM}=1000\text{V}$ ， $V_O<0.8$	10	20	—	kV/ μs
输入动态功耗电容 ⁽⁸⁾	C_{PD1}	—	—	60	—	pF
输出动态功耗电容 ⁽⁸⁾	C_{PD2}	—	—	10	—	

注：（4） t_{PHL} 传播延迟是从 V_I 信号下降沿的 50% 电平到 V_O 信号下降沿的 50% 电平测量的。

t_{PLH} 传播延迟是从 V_I 信号上升沿的 50% 电平到 V_O 信号上升沿的 50% 电平测量的。

（5）PWD 定义为 $|t_{PHL}-t_{PLH}|$ 。

（6） t_{PSK} 等于在推荐操作条件下，在任何给定温度下，器件之间在 t_{PHL} 和/或 t_{PLH} 方面的最坏情况差异的大小。

(7) CM_H 是在保持 $V_O > 0.8V_{DD2}$ 的同时可以维持的最大共模电压转换速率。 CM_L 是在保持 $V_O < 0.8V$ 的同时可以维持的最大共模电压转换速率。共模电压转换速率适用于上升和下降的共模电压边缘。

(8) 空载动态功耗计算如下： $C_{PD} \times V_{DD2} \times f + I_{DD} \times V_{DD}$ ，其中 f 为开关频率，单位为 MHz。

14、封装特性：

参数	符号	条件	最小值	典型值	最大值	单位
入出间瞬时耐压 ⁽⁹⁾⁽¹⁰⁾	V_{ISO}	$RH \leq 50\%$ ， $t=1min$ ， $T_A=25^\circ C$	5000	—	—	V_{RMS}
入出间电阻 ⁽⁹⁾	R_{I-O}	$V_{I-O}=500V_{dc}$	—	10^{12}	—	Ω
入出间电容 ⁽⁹⁾	C_{I-O}	$f=1MHz$	—	0.6	—	pF

注：(9) 器件被视为双端器件：引脚 1、2、3 和 4 短接在一起，引脚 5、6、7 和 8 短接在一起。

(10) 入出间瞬时耐压是一种介电电压额定值，不应被解释为输入输出连续电压额定值。

15、典型性能曲线：

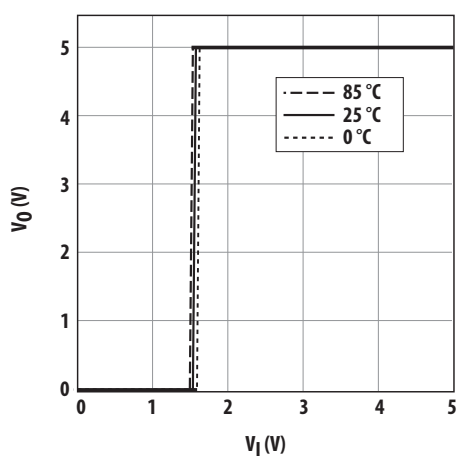


图1: 典型输出电压 vs. 输入电压

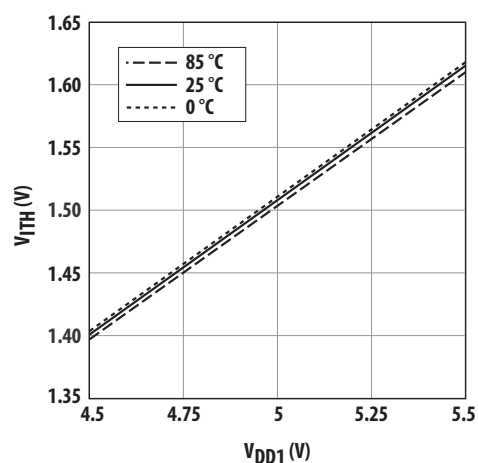


图2: 典型输入电压切换阈值 vs. 输入电源电压

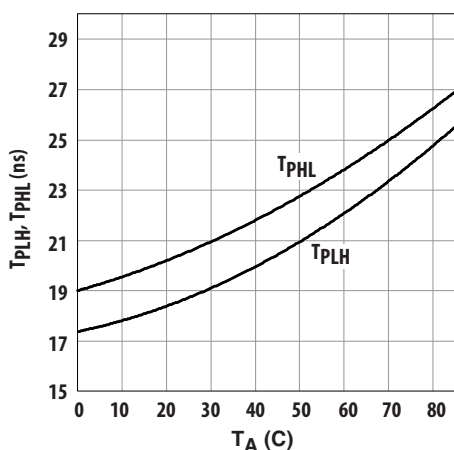


图3: 典型传输延迟 vs. 温度

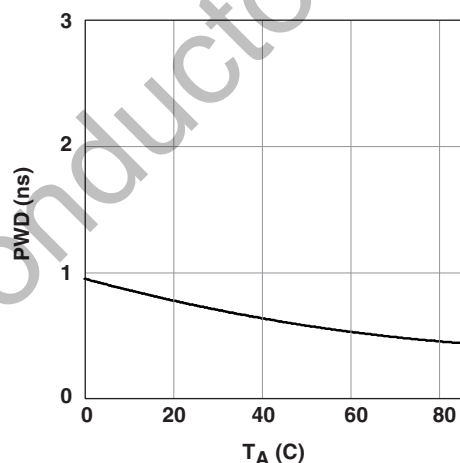


图4: 典型脉宽失真 vs. 温度

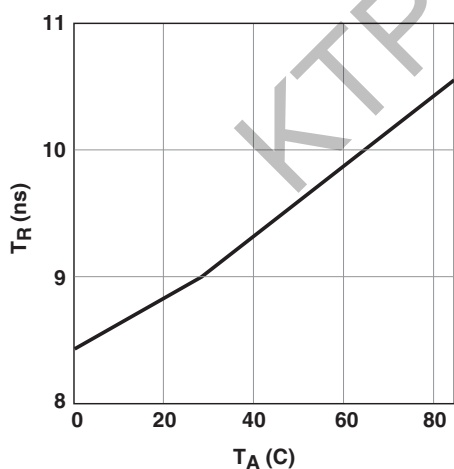


图5: 典型上升时间 vs. 温度

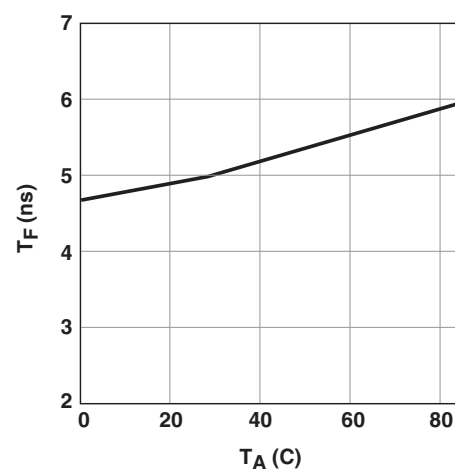


图6: 典型下降时间 vs. 温度

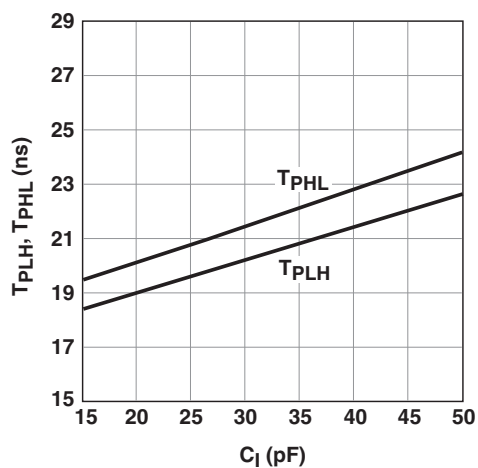


图7: 典型传输延迟 vs. 输出负载电容

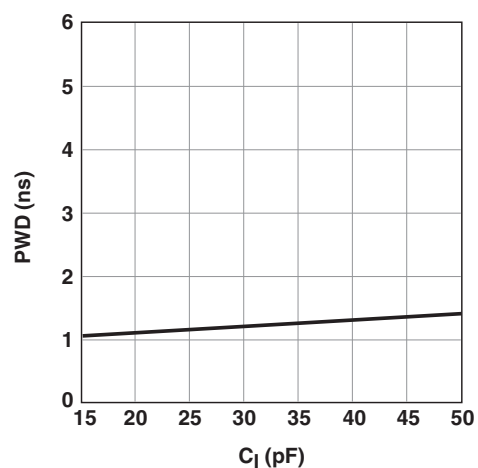


图8: 典型脉宽失真 vs. 输出负载电容