# SN74LVC1G14-Q1 单路施密特触发逆变器

## 1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围
  - 器件的人体放电模型 (HBM) ESD 分类等级 2
  - 器件的充电器件模型 (CDM) ESD 分类等级 C5
- 支持 5V $V_{CC}$ 运行
- 输入电压高达 5.5V
- 3.3V 时，$t_{pd}$ 最大值为 4.6ns
- 低功耗，$I_{CC}$ 最大值为 10μA
- 3.3V 时，输出驱动为 ±24mA
- $I_{off}$ 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

## 2 应用

- 车身控制模块
- 引擎控制模块
- 信息娱乐系统
- 远程信息处理

## 3 说明

该单路施密特触发反相器设计在 1.65V 至 5.5V $V_{CC}$ 下运行。

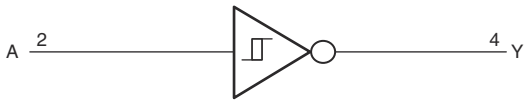
SN74LVC1G14-Q1 器件包含一个反相器并执行布尔函数 $Y = \overline{A}$。该器件可作为一个独立的反相器，但由于施密特触发，它针对正向 ($V_{T+}$) 和负向 ($V_{T-}$) 信号的输入阈值电平可能有所不同。

该器件专用于使用 $I_{off}$ 的局部断电应用。$I_{off}$ 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。

**封装信息**

| 器件型号 | 封装(1) | 封装尺寸(2) | 本体尺寸(3) |
|---|---|---|---|
| SN74LVC1G14-Q1 | DCK（SC70，5） | 2.0mm × 2.1mm | 2.0mm × 1.25mm |
| | DRY（SON，6） | 1.45mm × 1.0mm | 1.45mm × 1.0mm |
| | DBV（SOT-23，5） | 2.9mm x 2.8mm | 2.9mm x 1.6mm |

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。




简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 引脚配置和功能**.....3
**5 规格**.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 开关特性，$C_L$ = 15pF.....6
5.7 开关特性，$C_L$ = 30pF 或 50pF.....6
5.8 工作特性.....6
5.9 典型特性.....6
**6 参数测量信息**.....7
**7 详细说明**.....9
7.1 概述.....9
7.2 功能方框图.....9
7.3 特性说明.....10
7.4 器件功能模式.....11
**8 应用和实施**.....12
8.1 应用信息.....12
8.2 典型应用.....12
8.3 设计要求.....13
8.4 详细设计过程.....15
8.5 应用曲线.....15
8.6 电源相关建议.....16
8.7 布局.....16
**9 器件和文档支持**.....18
9.1 文档支持.....18
9.2 接收文档更新通知.....18
9.3 支持资源.....18
9.4 商标.....18
9.5 静电放电警告.....18
9.6 术语表.....18
**10 修订历史记录**.....18
**11 机械、封装和可订购信息**.....19


Copyright © 2025 Texas Instruments Incorporated

# 4 引脚配置和功能

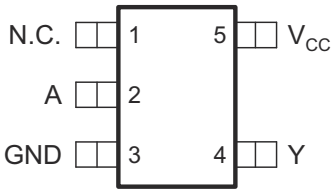
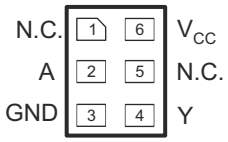



**图 4-1. DCK（5 引脚 SC70）和 DBV（5 引脚 SOT-23）封装（顶视图）**




N.C. – 无内部连接
请参阅机械制图，了解尺寸。

**图 4-2. DRY 封装 6 引脚 SON 透明俯视图**

**引脚功能**

| 引脚 | | | | I/O | 说明 |
|---|---|---|---|---|---|
| 名称 | DCK (SC70) | DBV (SOT-23) | DRY (SON) | | |
| | 编号 | 编号 | 编号 | | |
| A | 2 | 2 | 2 | I | 输入 |
| GND | 3 | 3 | 3 | — | 接地 |
| N.C. | 1 | 1 | 1、5 | — | 无内部连接。 |
| $V_{CC}$ | 5 | 5 | 6 | — | 电源引脚 |
| Y | 4 | 4 | 4 | O | 输出 |

Copyright © 2025 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压 | | -0.5 | 6.5 | V |
| $V_I$ | 输入电压(2) | | -0.53 | 6.5 | V |
| $V_O$ | 在高阻抗或断电状态对任一输出施加的电压范围(2) | | -0.5 | 6.5 | V |
| $V_O$ | 应用到任一处于高电平或低电平状态输出的电压范围(2) (3) | | -0.5 | $V_{CC}$ + 0.5 | V |
| $I_{IK}$ | 输入钳位电流 | $V_I$ < 0 | | -50 | mA |
| $I_{OK}$ | 输出钳位电流 | $V_O$ < 0 | | -50 | mA |
| $I_O$ | 持续输出电流 | | | ±50 | mA |
| | 通过 $V_{CC}$ 或 GND 的持续电流 | | | ±100 | mA |
| $T_{stg}$ | 贮存温度 | | -65 | 150 | °C |

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) $V_{CC}$ 的值在建议运行条件表中提供。

## 5.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 AEC Q100-002 标准(1) | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 AEC Q100-011 标准 | ±750 | |

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

## 5.3 建议运行条件

请参阅(1)

| | | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压 | 工作 | 1.65 | 5.5 | V |
| | | 仅数据保留 | 1.5 | | |
| $V_I$ | 输入电压 | | 0 | 5.5 | V |
| $V_O$ | 输出电压 | | 0 | $V_{CC}$ | V |
| $I_{OH}$ | 高电平输出电流 | $V_{CC}$ = 1.65V | | -4 | mA |
| | | $V_{CC}$ = 2.3V | | -8 | |
| | | $V_{CC}$ = 3V | | -16 | |
| | | | | -24 | |
| | | $V_{CC}$ = 4.5V | | -32 | |
| $I_{OL}$ | 低电平输出电流 | $V_{CC}$ = 1.65V | | 4 | mA |
| | | $V_{CC}$ = 2.3V | | 8 | |
| | | $V_{CC}$ = 3V | | 16 | |
| | | | | 24 | |
| | | $V_{CC}$ = 4.5V | | 32 | |
| $T_A$ | 自然通风条件下的工作温度范围 | | -40 | 125 | °C |

(1) 器件的所有未使用输入必须保持在 $V_{CC}$ 或 GND 以确保器件正常运行。请参阅 CMOS 输入缓慢或悬空的影响，SCBA004。


Copyright © 2025 Texas Instruments Incorporated

## 5.4 热性能信息

| 热指标(1) | | SN74LVC1G14-Q1 | | | 单位 |
|---|---|---|---|---|---|
| | | DBV (SOT-23) | DCK (SC70) | DRY (SON) | |
| | | 5 引脚 | 5 引脚 | 6 引脚 | |
| $R_{\theta JA}$ | 结至环境热阻 | 357.1 | 280 | 264 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 263.7 | 66 | 167 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 264.4 | 67 | 142 | °C/W |
| $\psi_{JT}$ | 结至顶部特征参数 | 195.6 | 2 | 26 | °C/W |
| $\psi_{JB}$ | 结至电路板特征参数 | 262.2 | 66 | 142 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅“*半导体和 IC 封装热指标*”应用报告

## 5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

| 参数 | | 测试条件 | $V_{CC}$ | 最小值 | 典型值(1) | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| $V_{T+}$ 正向输入阈值电压 | | | 1.65V | 0.79 | | 1.16 | V |
| | | | 2.3V | 1.11 | | 1.56 | |
| | | | 3V | 1.5 | | 1.87 | |
| | | | 4.5V | 2.16 | | 2.74 | |
| | | | 5.5V | 2.61 | | 3.33 | |
| $V_{T-}$ 负向输入阈值电压 | | | 1.65V | 0.39 | | 0.64 | V |
| | | | 2.3V | 0.58 | | 0.89 | |
| | | | 3V | 0.84 | | 1.16 | |
| | | | 4.5V | 1.41 | | 1.79 | |
| | | | 5.5V | 1.87 | | 2.29 | |
| $\Delta V_T$ 迟滞 ($V_{T+}$ – $V_{T-}$) | | | 1.65V | 0.37 | | 0.62 | V |
| | | | 2.3V | 0.48 | | 0.77 | |
| | | | 3V | 0.56 | | 0.87 | |
| | | | 4.5V | 0.71 | | 1.04 | |
| | | | 5.5V | 0.71 | | 1.11 | |
| $V_{OH}$ | | $I_{OL}$ = -100μA | 1.65V 至 4.5V | $V_{CC}$ – 0.1 | | | V |
| | | $I_{OL}$ = -4mA | 1.65V | 1.2 | | | |
| | | $I_{OL}$ = -8mA | 2.3V | 1.9 | | | |
| | | $I_{OL}$ = -16mA | 3V | 2.4 | | | |
| | | $I_{OL}$ = -24mA | | 2.3 | | | |
| | | $I_{OL}$ = -32mA | 4.5V | 3.8 | | | |
| $V_{OL}$ | | $I_{OL}$ = 100μA | 1.65V 至 4.5V | | | 0.1 | V |
| | | $I_{OL}$ = 4mA | 1.65V | | | 0.45 | |
| | | $I_{OL}$ = 8mA | 2.3V | | | 0.3 | |
| | | $I_{OL}$ = 16mA | 3V | | | 0.4 | |
| | | $I_{OL}$ = 24mA | | | | 0.55 | |
| | | $I_{OL}$ = 32mA | 4.5V | | | 0.70 | |
| $I_I$ | A 输入 | $V_I$ = 5.5V 或 GND | 0V 至 5.5V | | | ±5 | μA |
| $I_{off}$ | | $V_I$ 或 $V_O$ = 5.5V | 0 | | | ±10 | μA |

Copyright © 2025 Texas Instruments Incorporated

## 5.5 电气特性（续）

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

| 参数 | 测试条件 | | $V_{CC}$ | 最小值 | 典型值 (1) | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|
| $I_{CC}$ | $V_I$ = 5.5V 或 GND， | $I_O$ = 0 | 1.65V 至 5.5V | | | 10 | μA |
| $\Delta I_{CC}$ | 一个输入电压为 $V_{CC}$ – 0.6V， | 其他输入电压为 $V_{CC}$ 或 GND | 3V 至 5.5V | | | 500 | μA |
| $C_i$ | $V_I$ = $V_{CC}$ 或 GND | | 3.3V | | 4.5 | | pF |

(1) 所有典型值均在 $V_{CC}$ = 3.3V、$T_A$ = 25°C 下测得。

## 5.6 开关特性，$C_L$ = 15pF

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

| 参数 | 从（输入） | 至（输出） | $V_{CC}$ = 1.8V ± 0.15V | | $V_{CC}$ = 2.5V ± 0.2V | | $V_{CC}$ = 3.3V ± 0.3V | | $V_{CC}$ = 5V ± 0.5V | | 单位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_{pd}$ | A | Y | 2.8 | 9.9 | 1.6 | 5.5 | 1.5 | 4.6 | 0.9 | 4.4 | ns |

## 5.7 开关特性，$C_L$ = 30pF 或 50pF

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-2）

| 参数 | 从（输入） | 至（输出） | $V_{CC}$ = 1.8V ± 0.15V | | $V_{CC}$ = 2.5V ± 0.2V | | $V_{CC}$ = 3.3V ± 0.3V | | $V_{CC}$ = 5V ± 0.5V | | 单位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_{pd}$ | A | Y | 3.8 | 13 | 2 | 8 | 1.8 | 6.5 | 1.2 | 6 | ns |

## 5.8 工作特性

$T_A$ = 25°C

| 参数 | 测试条件 | $V_{CC}$ = 1.8V | $V_{CC}$ = 2.5V | $V_{CC}$ = 3.3V | $V_{CC}$ = 5V | 单位 |
|---|---|---|---|---|---|---|
| | | 典型值 | 典型值 | 典型值 | 典型值 | |
| $C_{pd}$ 功率耗散电容 | f = 10MHz | 20 | 21 | 22 | 25 | pF |

## 5.9 典型特性

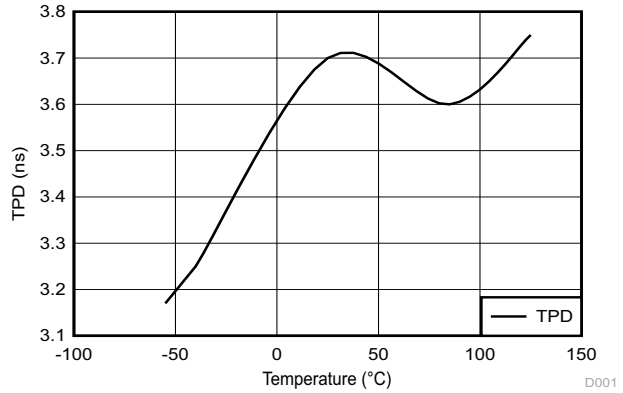



图 5-1. 3.3V $V_{CC}$ 时 TPD 与温度间的关系

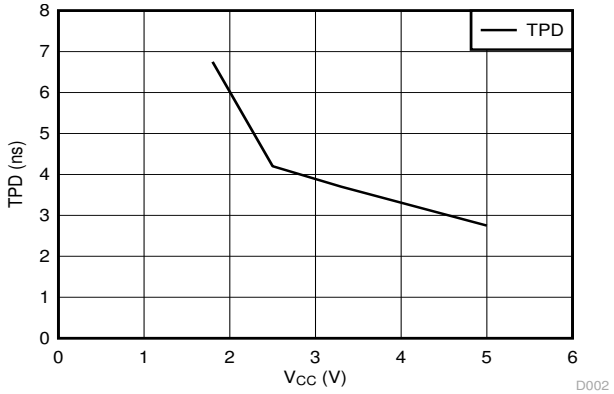
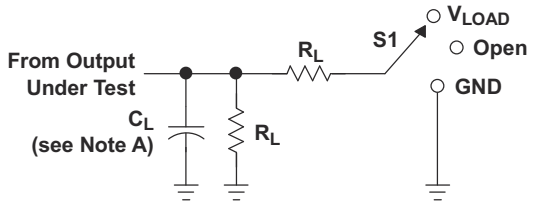



图 5-2. 25°C 时 TPD 与 $V_{CC}$ 间的关系


Copyright © 2025 Texas Instruments Incorporated

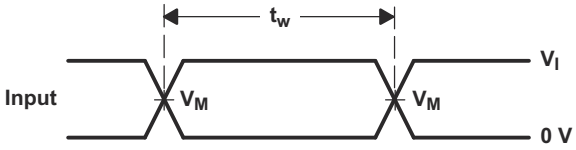
# 6 参数测量信息



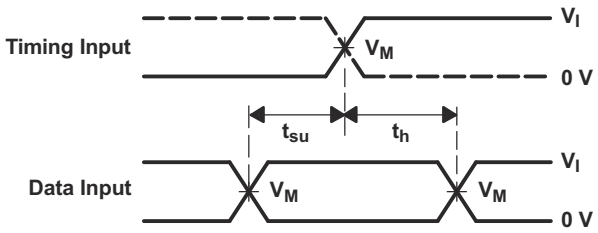

LOAD CIRCUIT

| TEST | S1 |
|---|---|
| $t_{PLH}/t_{PHL}$ | Open |
| $t_{PLZ}/t_{PZL}$ | $V_{LOAD}$ |
| $t_{PHZ}/t_{PZH}$ | GND |

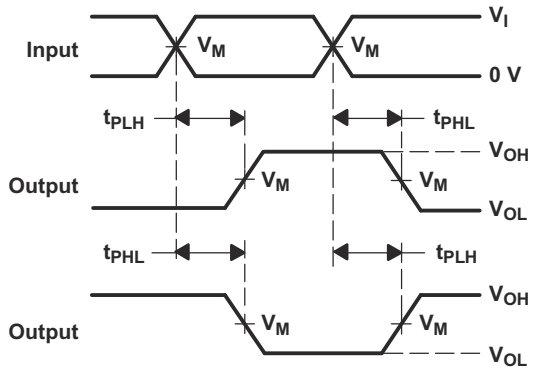
| $V_{CC}$ | INPUTS | | $V_M$ | $V_{LOAD}$ | $C_L$ | $R_L$ | $V_D$ |
|---|---|---|---|---|---|---|---|
| | $V_I$ | $t_r/t_f$ | | | | | |
| 1.8 V ± 0.15 V | $V_{CC}$ | ≤2 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 15 pF | 1 MΩ | 0.15 V |
| 2.5 V ± 0.2 V | $V_{CC}$ | ≤2 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 15 pF | 1 MΩ | 0.15 V |
| 3.3 V ± 0.3 V | 3 V | ≤2.5 ns | 1.5 V | 6 V | 15 pF | 1 MΩ | 0.3 V |
| 5 V ± 0.5 V | $V_{CC}$ | ≤2.5 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 15 pF | 1 MΩ | 0.3 V |



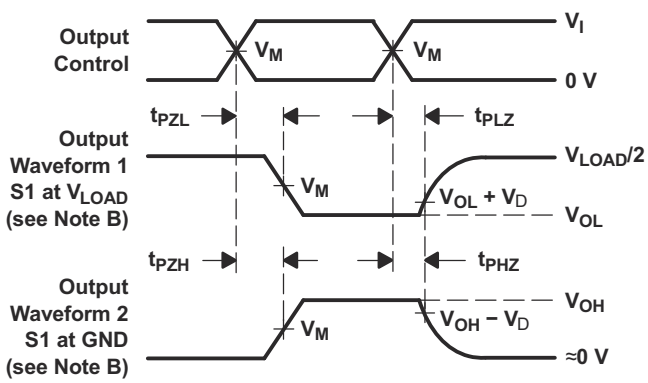

VOLTAGE WAVEFORMS
PULSE DURATION




VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES




VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

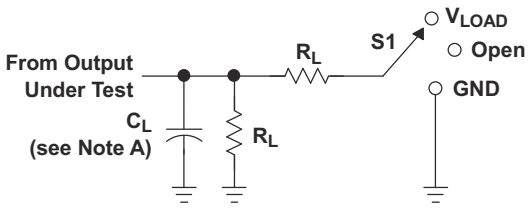



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. $C_L$ includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤10 MHz, $Z_O$ = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. $t_{PLZ}$ and $t_{PHZ}$ are the same as $t_{dis}$.
F. $t_{PZL}$ and $t_{PZH}$ are the same as $t_{en}$.
G. $t_{PLH}$ and $t_{PHL}$ are the same as $t_{pd}$.
H. All parameters and waveforms are not applicable to all devices.

**图 6-1. 负载电路和电压波形**

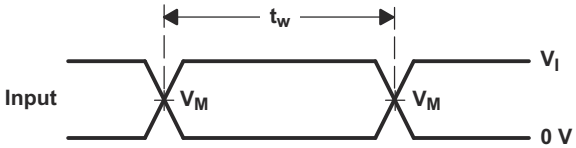
Copyright © 2025 Texas Instruments Incorporated



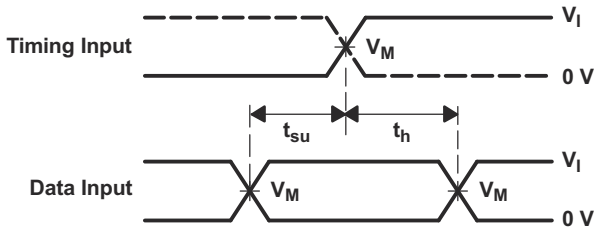

LOAD CIRCUIT

| TEST | S1 |
|---|---|
| $t_{PLH}/t_{PHL}$<br>$t_{PLZ}/t_{PZL}$<br>$t_{PHZ}/t_{PZH}$ | Open<br>$V_{LOAD}$<br>GND |

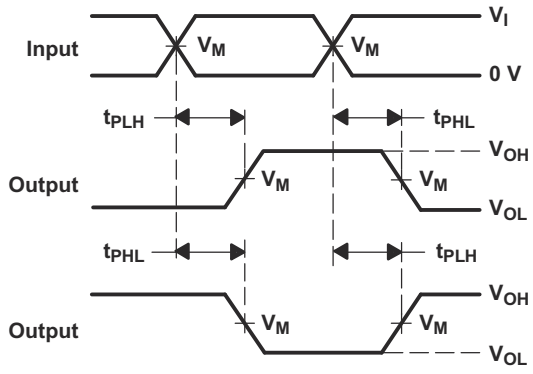
| $V_{CC}$ | INPUTS | | $V_M$ | $V_{LOAD}$ | $C_L$ | $R_L$ | $V_D$ |
|---|---|---|---|---|---|---|---|
| | $V_I$ | $t_r/t_f$ | | | | | |
| 1.8 V ± 0.15 V | $V_{CC}$ | ≤2 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 30 pF | 1 kΩ | 0.15 V |
| 2.5 V ± 0.2 V | $V_{CC}$ | ≤2 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 30 pF | 500 Ω | 0.15 V |
| 3.3 V ± 0.3 V | 3 V | ≤2.5 ns | 1.5 V | 6 V | 50 pF | 500 Ω | 0.3 V |
| 5 V ± 0.5 V | $V_{CC}$ | ≤2.5 ns | $V_{CC}/2$ | 2 × $V_{CC}$ | 50 pF | 500 Ω | 0.3 V |



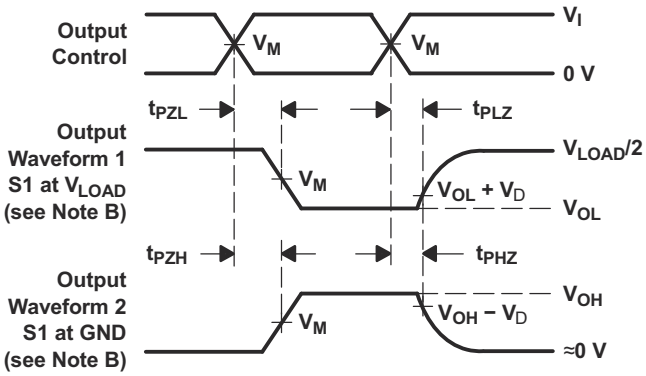

VOLTAGE WAVEFORMS
PULSE DURATION




VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES




VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS




VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. $C_L$ includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, $Z_O$ = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. $t_{PLZ}$ and $t_{PHZ}$ are the same as $t_{dis}$.
F. $t_{PZL}$ and $t_{PZH}$ are the same as $t_{en}$.
G. $t_{PLH}$ and $t_{PHL}$ are the same as $t_{pd}$.
H. All parameters and waveforms are not applicable to all devices.

**图 6-2. 负载电路和电压波形**


Copyright © 2025 Texas Instruments Incorporated

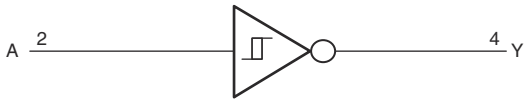
# 7 详细说明

## 7.1 概述

SN74LVC1G14-Q1 器件包含一个施密特触发反相器并执行布尔函数 $Y = \overline{A}$。该器件可用作一个独立的反相器，但由于施密特触发，它针对正向 ($V_{t+}$) 和负向 ($V_{t-}$) 信号的输入阈值电平可能有所不同。

该器件专用于使用 $I_{off}$ 的局部断电应用。$I_{off}$ 电路可禁用输出，以防在器件断电时破坏性电流通过该器件回流。

## 7.2 功能方框图




Copyright © 2025 Texas Instruments Incorporated

## 7.3 特性说明

### 7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

### 7.3.2 CMOS 施密特触发输入

此器件包括具有施密特触发架构的输入。这些输入为高阻抗，通常建模为从输入到接地的电阻器并与输入电容并联，如*电气特性*表中所示。最坏情况下的电阻是根据*绝对最大额定值*表中给出的最大输入电压和*电气特性*表中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

施密特触发输入架构可提供由*电气特性*表中的 $\Delta V_T$ 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的更多信息，请参阅*了解施密特触发*。

### 7.3.3 钳位二极管结构

图 7-1 展示了该器件的输入和输出仅布置负钳位二极管。

**小心**

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

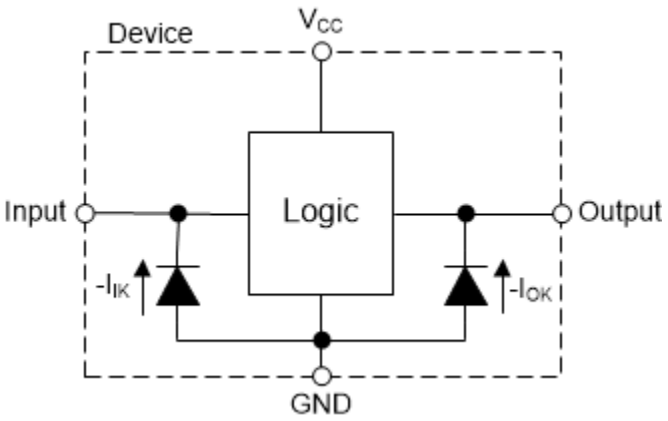



**图 7-1. 每个输入和输出的钳位二极管的电气布置**


Copyright © 2025 Texas Instruments Incorporated

## 7.4 器件功能模式

表 7-1 中展示了 SN74LVC1G14-Q1 器件的功能模式。

**表 7-1. 功能表**

| 输入<br>A | 输出<br>Y |
|---|---|
| H | L |
| L | H |

Copyright © 2025 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 8.1 应用信息

器件是一款高驱动能力 CMOS 器件，可用于缓慢或嘈杂输入情况下实现多种缓冲器类型的功能。本器件可以在 3.3V 下产生 24mA 驱动电流，因此非常适合驱动多个输出，也适合用于高达 100MHz 的高速应用。输入可耐受 5.5V 电压，允许将其降压转换至 $V_{CC}$。

## 8.2 典型应用

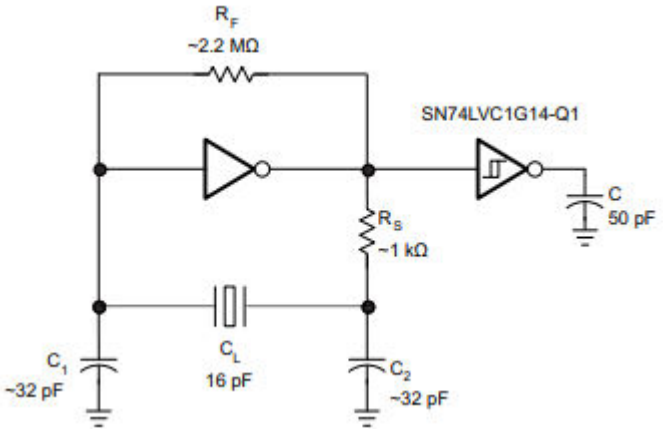



**图 8-1. 典型应用原理图**


Copyright © 2025 Texas Instruments Incorporated

## 8.3 设计要求

### 8.3.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LVC1G14-Q1 所有输出端拉出的总电流加上最大静态电源电流 $I_{CC}$（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 $V_{CC}$ 的最大总电流。

地必须能够灌入的电流等于 SN74LVC1G14-Q1 所有输出端灌入的总电流加上最大电源电流 $I_{CC}$（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74LVC1G14-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LVC1G14-Q1 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 $V_{OH}$ 和 $V_{OL}$ 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 $V_{CC}$ 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

**小心**

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

### 8.3.2 输入注意事项

输入信号必须超过 $V_{t-(min)}$ 才能被视为逻辑低电平，超过 $V_{t+(max)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 $V_{CC}$ 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LVC1G14-Q1 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74LVC1G14-Q1 由于具有施密特触发输入，因而没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参考*电气特性* 中的 $\Delta V_{T(min)}$。此迟滞值将提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 $V_{CC}$ 或地电平以外的值所导致的典型附加电流绘制在*典型特性* 中。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

### 8.3.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 $V_{OH}$ 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 $V_{OL}$ 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 $V_{CC}$ 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。


Copyright © 2025 Texas Instruments Incorporated

## 8.4 详细设计过程

1. 在 $V_{CC}$ 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 $V_{CC}$ 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LVC1G14-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

## 8.5 应用曲线

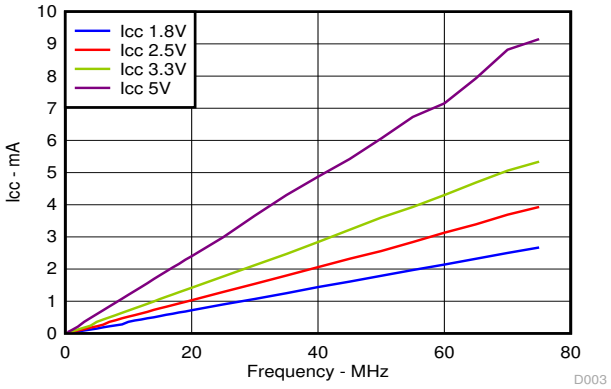



**图 8-2. ICC 与频率间的关系**

## 8.6 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 $V_{CC}$ 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

## 8.7 布局

### *8.7.1 布局指南*

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的信号进行缓冲

### *8.7.2 布局示例*

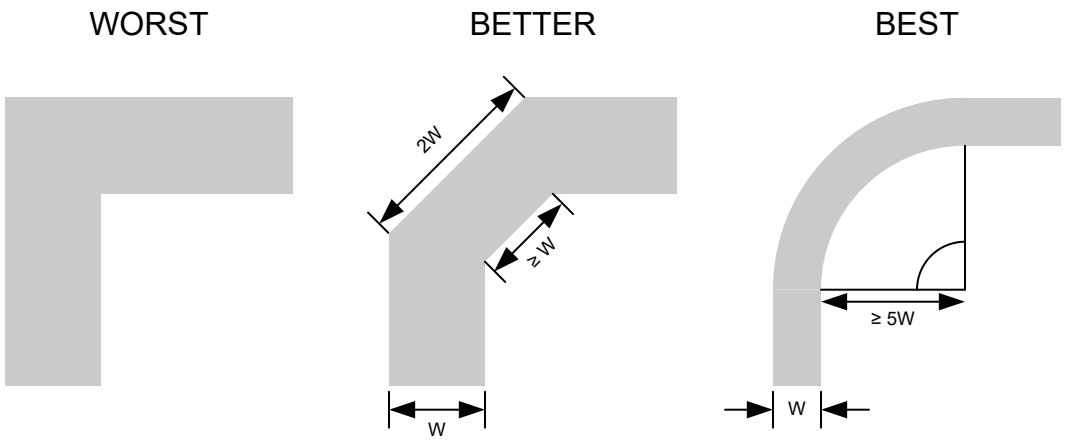



**图 8-3. 可改善信号完整性的布线转角示例**


Copyright © 2025 Texas Instruments Incorporated

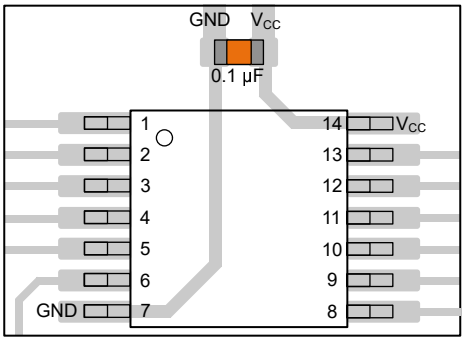



图 8-4. TSSOP 和类似封装的旁路电容器放置示例

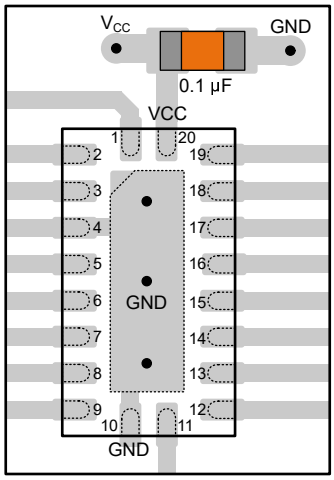



图 8-5. WQFN 和类似封装的旁路电容器放置示例

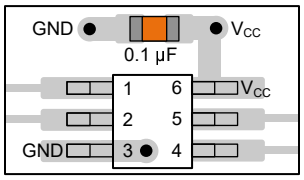



图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

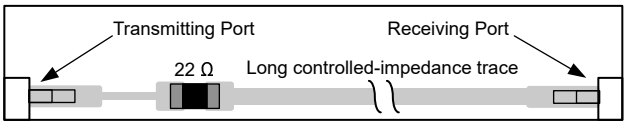



图 8-7. 可改善信号完整性的阻尼电阻放置示例

# 9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

## 9.1 文档支持

### *9.1.1 相关文档*

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 $C_{pd}$ 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

## 9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 9.6 术语表

| | |
|---|---|
| TI 术语表 | 本术语表列出并解释了术语、首字母缩略词和定义。 |

# 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision C (August 2021) to Revision D (April 2025) | Page |
|---|---|
| • 向*封装信息* 表、*引脚配置和功能* 部分以及*热性能信息* 表中添加了 DBV 封装 | 1 |

| Changes from Revision B (August 2019) to Revision C (August 2021) | Page |
|---|---|
| • 更新了整个文档中的表格、图和交叉参考的编号格式 | 1 |
| • 更新了“*引脚功能*”表中 DRY 封装的 $V_{CC}$ 和 N.C.引脚编号，以便匹配引脚配置 | 3 |
| • 更新了“*典型特性*”中“*3.3V $V_{CC}$ 时 TPD 与温度间的关系*”图像 | 6 |


Copyright © 2025 Texas Instruments Incorporated

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| SN74LVC1G14QDCKRQ1 | Active | Production | SC70 (DCK) \| 5 | 3000 \| LARGE T&R | Yes | NIPDAU \| SN | Level-1-260C-UNLIM | -40 to 125 | (SJJ, SJM) |
| SN74LVC1G14QDRYRQ1 | Active | Production | SON (DRY) \| 6 | 5000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | FE |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74LVC1G14-Q1 :**

- Catalog : SN74LVC1G14

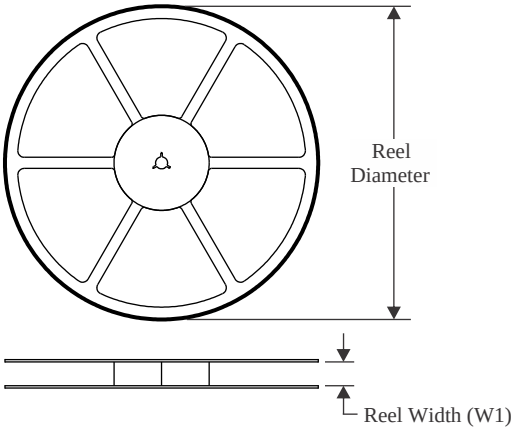
- Enhanced Product : SN74LVC1G14-EP

NOTE: Qualified Version Definitions:

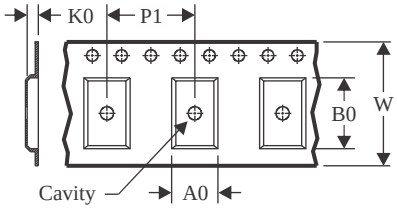
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

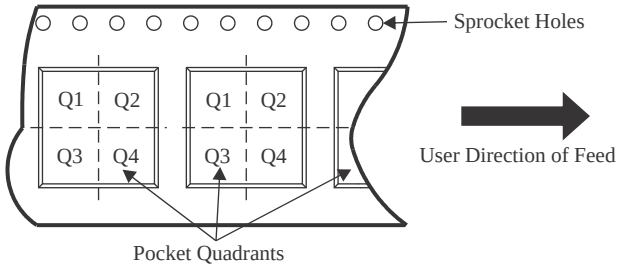



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

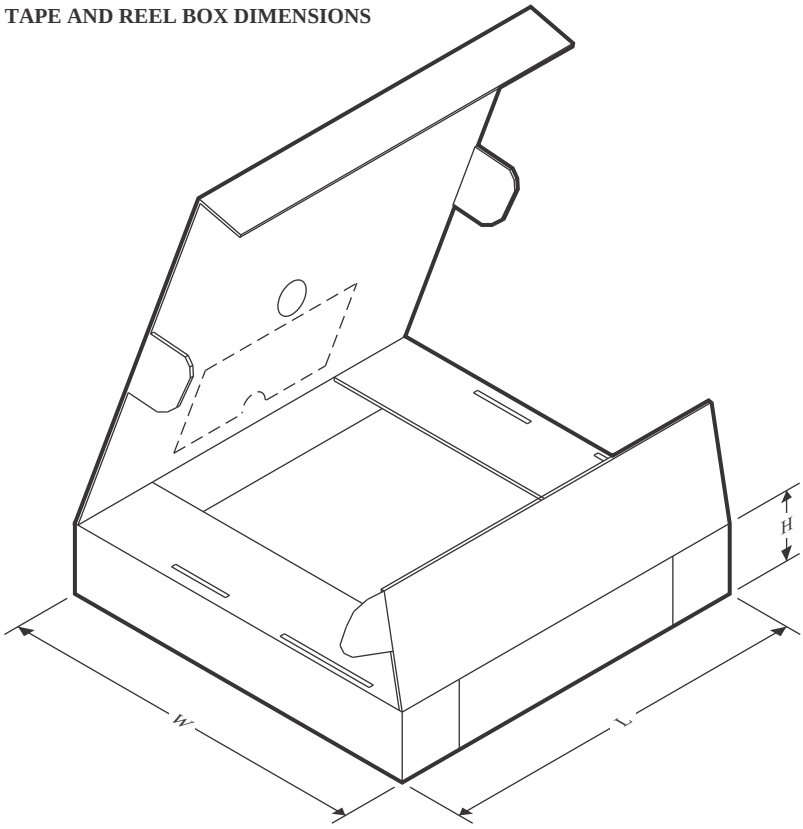
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SN74LVC1G14QDCKRQ1 | SC70 | DCK | 5 | 3000 | 178.0 | 9.0 | 2.4 | 2.5 | 1.2 | 4.0 | 8.0 | Q3 |
| SN74LVC1G14QDRYRQ1 | SON | DRY | 6 | 5000 | 180.0 | 9.5 | 1.2 | 1.65 | 0.7 | 4.0 | 8.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

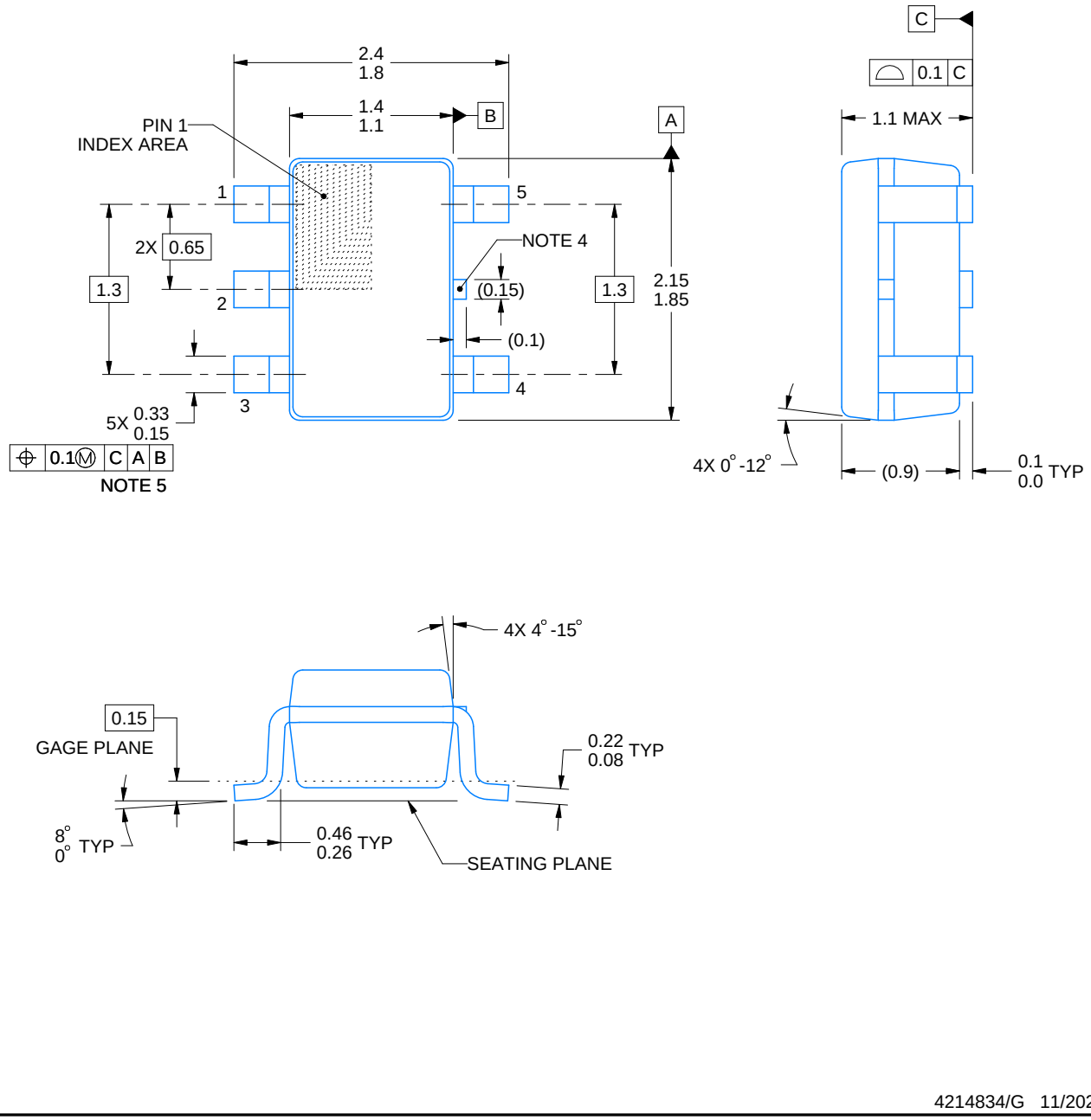
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| SN74LVC1G14QDCKRQ1 | SC70 | DCK | 5 | 3000 | 190.0 | 190.0 | 30.0 |
| SN74LVC1G14QDRYRQ1 | SON | DRY | 6 | 5000 | 189.0 | 185.0 | 36.0 |

# PACKAGE OUTLINE

## DCK0005A

## SOT - 1.1 max height

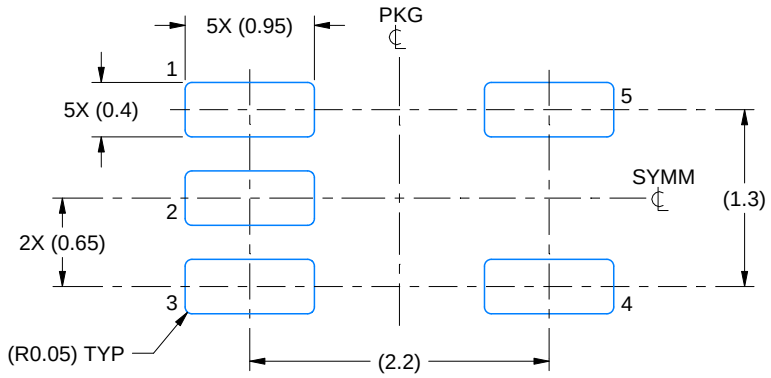
SMALL OUTLINE TRANSISTOR



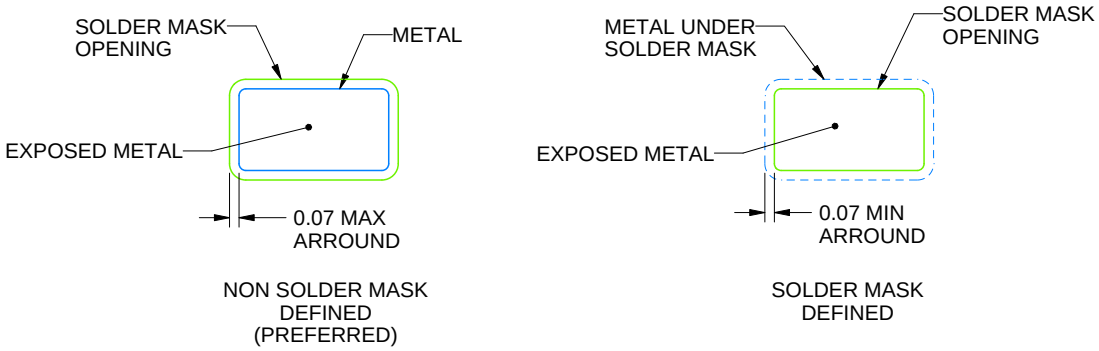

4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

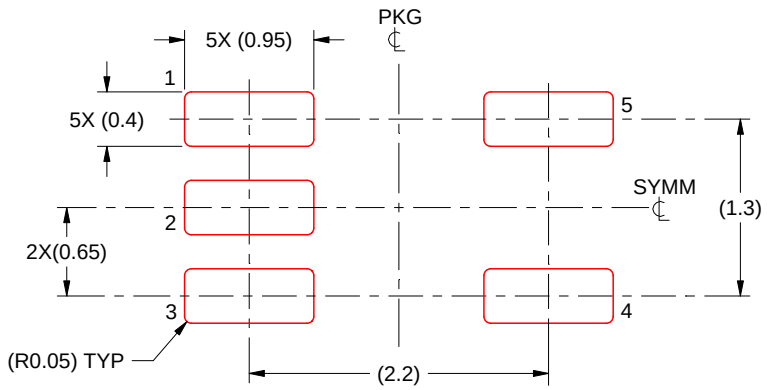



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

# DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



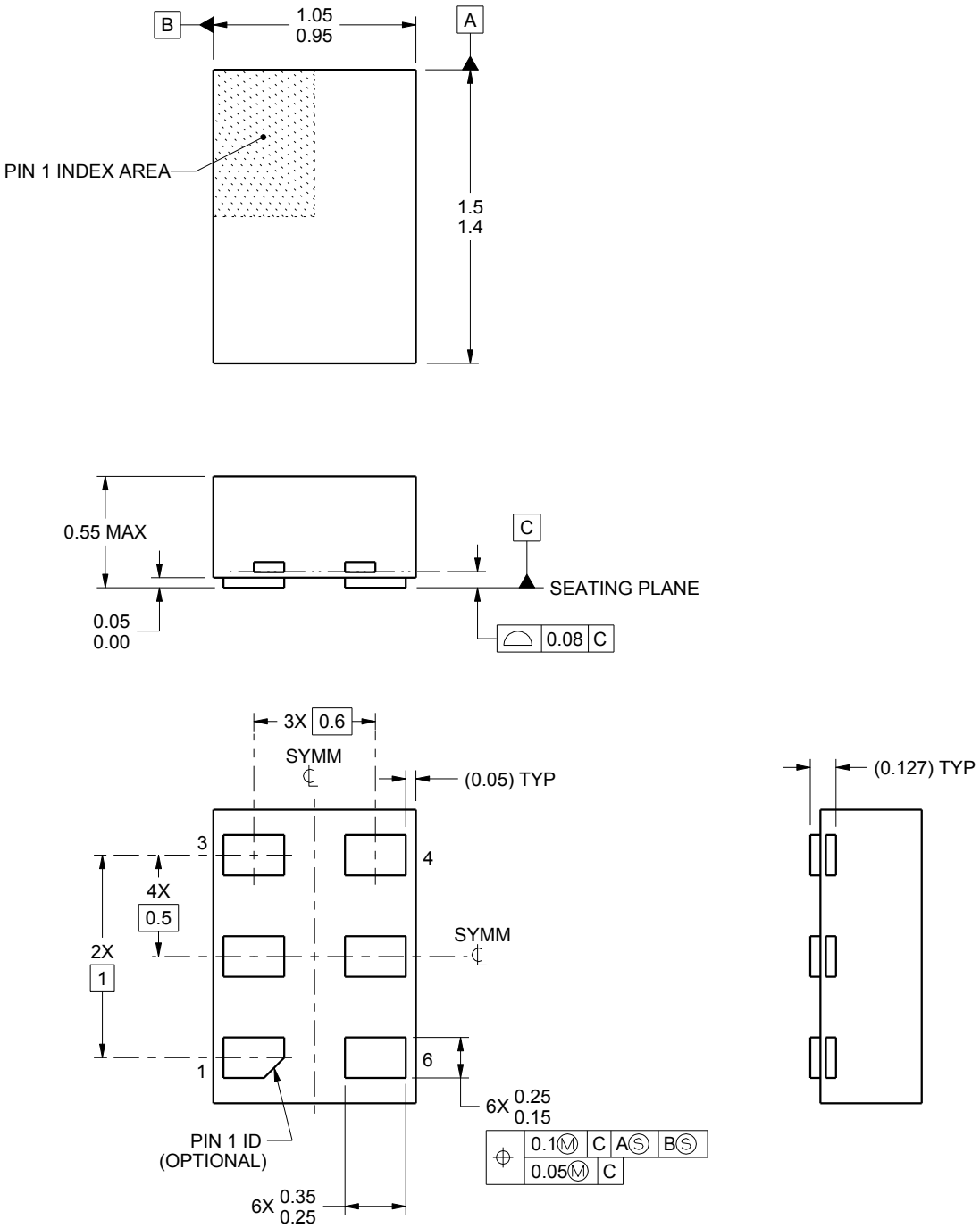

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

# PACKAGE OUTLINE

## DRY0006B

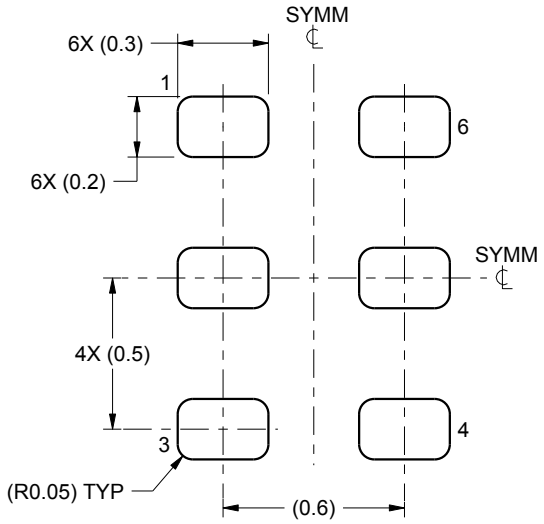
## USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

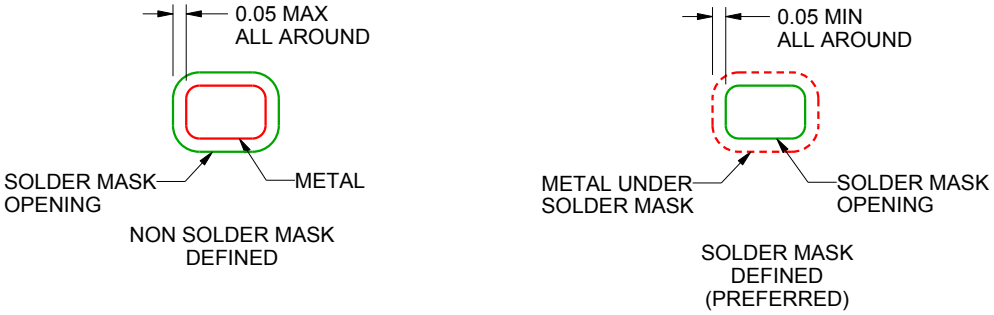



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.




LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
SCALE:40X




SOLDER MASK DETAILS

4222207/B 02/2016

NOTES: (continued)

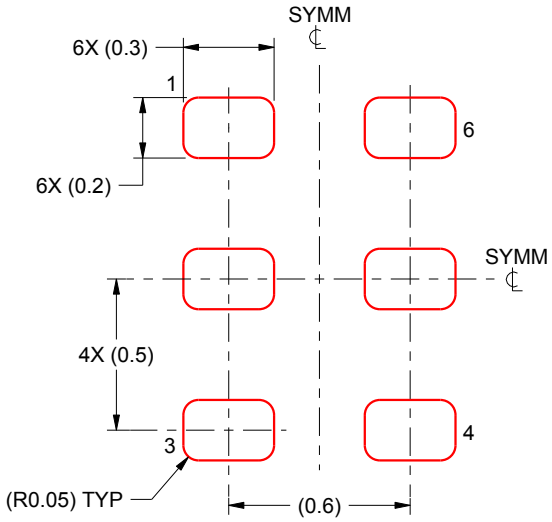
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

# EXAMPLE STENCIL DESIGN

## DRY0006B

## USON - 0.55 mm max height

PLASTIC SMALL OUTLINE - NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222207/B 02/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司