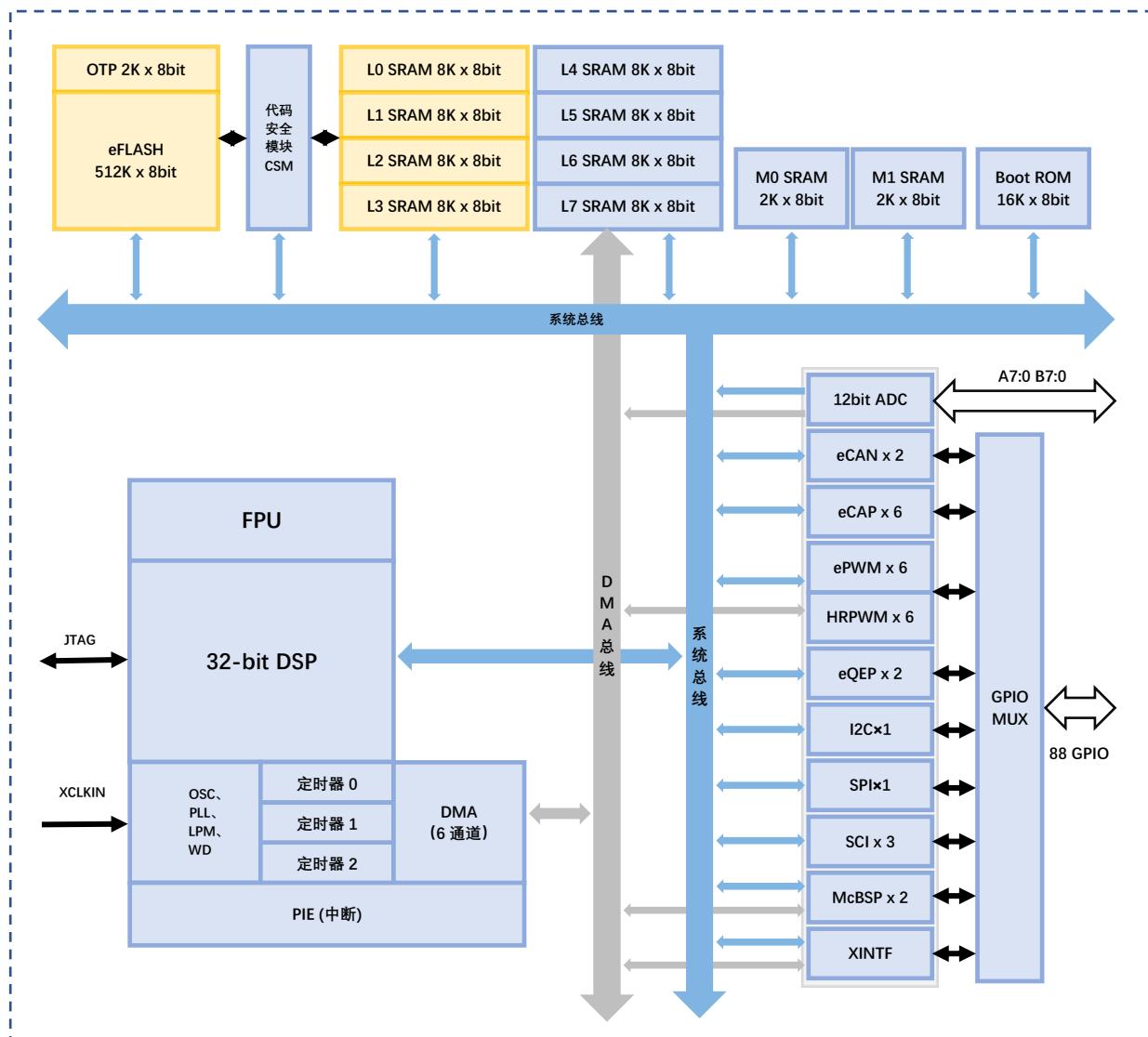


关键特性:

- 高性能数字信号处理器技术
 - 高达 150MHz(6.67ns 周期时间)
 - 1.8V/1.9V 内核, 3.3V I/O 设计
- 高性能32位CPU
 - IEEE-754单精度浮点单元(FPU)
 - 16×16和32×32乘累加运算 (MAC)
 - 16×16双乘累加运算(MAC)
 - 哈佛(Harvard)总线架构
 - 快速中断响应和处理
 - 统一存储器编程模型
 - 高效代码(使用C/C++和汇编语言)
- 6通道DMA处理器(用于ADC, McBSP, ePWM, XINTF和SARAM)
- 16位或32位外部接口(XINTF)
 - 超过2M×16地址范围
- 片载存储器
 - 256K×16闪存, 34K×16 SARAM
 - 1K×16 一次性可编程(OTP)ROM
- 引导ROM (8K×16)
 - 支持软件引导模式(通过SCI, SPI, CAN, I2C, McBSP, XINTF和并行I/O)
 - 标准数学查找表
- 时钟和系统控制
 - 支持动态锁相环(PLL)比率变化
 - 片载振荡器
 - 安全装置定时器模块
- GPIO0到 GPIO63引脚可以连接到八个外部内核中断其中的一个
- 可支持全部58个外设中断的外设中断扩展 (PIE)块
- 128 位安全密钥/锁
 - 保护闪存/OTP/RAM 模块
 - 防止固件逆向工程
- 增强型控制外设
 - 多达18个脉宽调制(PWM)输出
 - 高达6个支持150ps微边界定位 (MEP)分辨率的高分辨率脉宽调制 (HRPWM)输出
 - 高达6个事件捕捉输入
 - 多达两个正交编码器接口
 - 高达 8个32 位定时器 (6个eCAP以及 2个eQEP)
 - 高达9个32位定时器 (6 个 ePWM 以及 3 个 XINTCTR)
- 三个 32 位 CPU 定时器
- 串行端口外设
 - 多达2个控制器局域网(CAN)模块
 - 多达3个SCI (UART)模块
 - 高达2个McBSP模块(可配置为SPI)
 - 一个SPI模块
 - 一个内部集成电路(I2C)总线
- 12位模数转换器(ADC), 16个通道
 - 80ns转换率
 - 2 × 8通道输入复用器
 - 两个采样保持
 - 单一/同步转换
 - 内部或者外部基准
- 多达88个具有输入滤波功能可单独编程的多路复用通用输入输出(GPIO)引脚
- JTAG边界扫描支持⁽¹⁾
- 高级仿真特性
 - 分析和断点功能
 - 借助硬件的实时调试
- 开发支持包括
 - ANSI C/C++编译器/汇编语言/链接器
 - 数字电机控制和数字电源软件库
- 低功耗模式和省电模式
 - 支持IDLE(空闲)、STANDBY(待机)、HALT(暂停)模式
 - 可禁用独立外设时钟
- 字节存放顺序: 小端模式
- 封装选项:
 - 无铅, 绿色封装
 - 薄型四方扁平封装 (LQFP176)
 - 塑料球栅阵列封装 (PBGA176)



TMS320F28335PGFA 的功能框图

概述

内存映射

块起始地址	内部存储器		外部存储器	
	数据空间	程序空间	数据空间	程序空间
0x00 0000	M0 Vector-RAM (32×32) (Enabled if VMAP=0)			
0x00 0040	M0 SARAM (1K×16)			
0x00 0400	M1 SARAM (1K×16)			
0x00 0800	外设块 0	保留		
0x00 0D00	PIE Vector-RAM (256×16) (Enabled if VAMP = 1, ENPIB = 1)			
0x00 0E00	外设帧 0			0x00 4000
0x00 2000	保留		XINTF 块 0 (4K×16, $\overline{XZCS0}$) (保护) DMA 访问允许	0x00 5000
0x00 5000	外设帧 3 (保护)-DMA 访问允许	保留		
0x00 6000	外设帧 1 (保护)			
0x00 7000	外设帧 2 (保护)			
0x00 8000	L0 SARAM (4K×16, 安全区, 双映射)			
0x00 9000	L1 SARAM (4K×16, 安全区, 双映射)			
0x00 A000	L2 SARAM (4K×16, 安全区, 双映射)		保留	
0x00 B000	L3 SARAM (4K×16, 安全区, 双映射)			
0x00 C000	L4 SARAM (4K×16, DMA 访问允许)			
0x00 D000	L5 SARAM (4K×16, DMA 访问允许)			
0x00 E000	L6 SARAM (4K×16, DMA 访问允许)			
0x00 F000	L7 SARAM (4K×16, DMA 访问允许)			
0x01 0000	保留	保留	XINTF 块 6 (1M×16, $\overline{XZCS6}$) DMA 访问允许	0x10 0000
			XINTF 块 7 (1M×16, $\overline{XZCS7}$) DMA 访问允许	0x20 0000
0x30 0000	Flash (64K×16, 安全区)			0x30 0000
0x33 FFF8	128 位密码			
0x34 0000	保留			
0x38 0080	ADC 校准数据			
0x38 0090	保留			
0x38 0400	用户 OTP (1K×16, 安全区)			
0x38 0800	保留			
0x3F 8000	L0 SARAM (4K×16, 安全区, 双映射)			
0x3F 9000	L1 SARAM (4K×16, 安全区, 双映射)			
0x3F A000	L2 SARAM (4K×16, 安全区, 双映射)			
0x3F B000	L3 SARAM (4K×16, 安全区, 双映射)			
0x3F C000	保留			
0x3F E000	BootROM (8K×16)			
0x3F FF00	BROM Vector-ROM (32×32) (Enabled if VMAP = 1, ENPIE = 0)			

图 1. 28335 内存映射

表 1.TMS320F28335PGFA 中闪存扇区的地址

地址范围	程序和数据空间
0x30 0000-0x30 7FFF	扇区 H (32K x 16)
0x30 8000-0x30 FFFF	扇区 G (32K x 16)
0x31 0000-0x31 7FFF	扇区 F (32K x 16)
0x31 8000-0x31 FFFF	扇区 E (32K x 16)
0x32 0000-0x32 7FFF	扇区 D (32K x 16)
0x32 8000-0x32 FFFF	扇区 C (32K x 16)
0x33 0000-0x33 7FFF	扇区 B (32K x 16)
0x33 8000-0x33 FF7F	扇区 A (32K x 16)
0x33 FF80-0x33 FFF5	当使用代码安全模块时，编程至 0x0000
0x33 FFF6-0x33 FFF7	引导至闪存进入点 (程序分支指令所在的位置)
0x33 FFF8-0x33 FFFF	安全密码(128 位) (不要设定为零)

表 2. 处理安全代码位置

地址	闪存	
	代码安全被启用	代码安全被禁用
0x33FF80-0x33FFEF		应用代码和数据
0x33FFF0-0x33FFF5	用 0x0000 填充	只为数据保留。

外设块 1, 外设块 2, 以及外设块 3 被编成一组以使这些块成为受保护的写入/读取外设块空间。受保护模式确保所有到这些块的访问如文档中所描述的一样。由于处理器的流水线特性, 在对不同内存位置读取之前的写入操作将出现在 CPU 内存总线上相反的顺序。这会导致特定外设应用中的问题, 在此类应用中, 用户认为写入会首先发生(如文档所描述的那样)。CPU 支持一个块保护模式, 在这个模式中, 可对一个内存区域进行保护, 以确保操作按照本文档所描述的那样发生(代价增加了额外周期以校正运行) 可对这个模式进行编程, 并且, 缺省情况下, 它将保护所选的区域。

针对内存映射区域内不同空间的等待状态列在表3中。

表 3. 等待状态

区域 (AREA)	等待状态 (CPU)	等待状态 (DMA) ⁽¹⁾	注释
M0 和 M1 SARAM	0 - 等待		固定
外设块 0	0- 等待(写入) 1- 等待(读取)	0 - 等待(读取) 无权限(写入)	
外设块 3	0 - 等待(写入) 2 - 等待(读取)	0- 等待(写入) 1- 等待(读取)	假设 CPU 和 DMA 之间没有冲突。
外设块 1	0 - 等待(写入) 2 - 等待(读取)	无访问	周期可由已生成的外设扩展。 向外设帧 1 寄存器连续(背靠背)写入将经历一个 1 周期管道命中(1 周期延迟)
外设块 2	0 - 等待(写入) 2 - 写入(读取)	无访问	固定的 周期不可由外设扩展。
L0 SARAM L1 SARAM L2 SARAM L3 SARAM	0 - 等待	无访问	假定没有 CPU 冲突
L4 SARAM L5 SARAM L6 SARAM L7 SARAM	0 - 等待数据(读取) 0 - 等待数据(写入) 1 - 等待项目(读取) 1 - 等待项目(写入)	0 - 等待	假设 CPU 和 DMA 之间没有冲突。
XINTF	可编程 0 - 写入缓冲器启用的最小写入等待	可编程 0 - 写入缓冲器启用的最小写入等待	通过由 XTIMING 寄存器设定或通过外部 XREADY 信号扩展, 来满足系统的时序要求。 对于在 XINTF上的读取和写入, 1 - 等待是在外部波形上的最小等待状态。 0 - 假定写入缓冲器启用并且不满时针对写入的最小等待。 假设 CPU 和 DMA 之间没有冲突。当 DMA 和 CPU 尝试同步冲突时, 加入 1 周期延迟用于仲裁。
OTP	可编程 1 - 等待最小	无访问	由闪存寄存器设定。 1 - 等待是等待状态所允许的最小数。 可在减少的 CPU 频率上执行 1 等待状态操作。
闪存	可编程 1 - 页式等待最小值 1 - 随机等待最小值 随机等待 \geq 页式等待	无访问	由闪存寄存器设定。 页式访问中不允许 0 - 等待最小
闪存密码	16 - 等待固定	无访问	密码位置的等待状态是固定的。
引导 - ROM	1 - 等待	无访问	0 - 等待速度无法实现。

简要说明

CPU

28335的 CPU+FPU 的控制内核包含一个高效的 32 位定点DSP内核，同时还包括一个单精度(32 位)的 IEEE 754 浮点单元(FPU)。它这是一个非常高效的的 C/C++ 引擎，能使用户用高层次的语言开发他们的系统控制软件。此器件在处理 DSP 算术任务时与处理系统控制任务一样高效。32×32 位的 64 位乘累加 (MAC) 处理能力使得控制器能够高效地处理更高精度的数学运算。自带上下文保存的快速中断响应机制，使得 CPU 能够用最小的延迟处理很多异步事件。CPU 是一个具有存储流水访问机制的 8 级流水深度处理核。特殊的分支预测硬件大大减少了因取指不连续而带来的延迟。

内存总线(哈佛总线架构)

与很多 DSP 类型器件一样，多总线被用于在内存和外设以及 CPU 之间移动数据。CPU 内存总线架构包含一个程序读取总线、数据读取总线和数据写入总线。此程序读取总线由 22 位地址线和 32 位数据线组成。数据读取和写入总线由 32 位地址线和 32 位数据线组成。32 位宽的数据总线可实现单周期 32 位数据搬移。CPU 所采用的哈佛总线结构，使得 CPU 能够在一个单周期内取一个指令、读取一个数据值和写入一个数据值。所有连接在内存总线上的外设和内存对内存访问进行优先级设定。总的来说，内存总线访问的优先级可概括如下：

表 4. 内存总线访问优先级

最高级:	数据写入	(内存总线上不能同时进行数据和程序写入。)
	程序写入	(内存总线上不能同时进行数据和程序写入。)
	数据读取	
	程序读取	(内存总线上不能同时进行程序读取和取指令。)
最低级:	取指令	(内存总线上不能同时进行程序读取和取指令。)

外设总线

28335 的外设总线桥复用了多种总线接口，此总线将处理器内存总线组装进一个由 16 位地址线路和 16 位或者 32 位数据线路和相关控制信号组成的单总线中。支持外设总线的三个模式：1) 一个模式是只支持 16 位访问(被称为外设块 2)。2) 支持 16 位和 32 位访问(被称为外设块 1)。3) 支持 DMA 访问和 16 位以及 32 位访问(被称为外设块 3)。

实时JTAG和分析

28335器件使用标准的 IEEE1149.1 JTAG 接口。此外，器件支持实时运行模式，在处理器正在运行、执行代码并且处理中断时，可修改存储器内容、外设、和寄存器位置。用户也可以通过非时间关键代码进行单步操作，同时可在没有干扰的情况下启用即将被处理的时间关键中断。此外， JTAG还提供了特别的分析硬件逻辑，以实现硬件断点或者设置数据/地址观察点，当条件匹配时，根据用户的配置触发相应的中断事件。

外部接口(XINTF)

这个异步接口由 20 位地址，32 位数据线路和 3 个片选信号组成。3个片选信号对应3个外部区域，区域 0, 6, 和 7。3 个区域中的每个区域可被设定为不同的等待状态数量、选通信号设置和保持时序，并且每个区域可被外部设定为扩展等待状态或者没有扩展等待状态。可配置的等待状态、片选信号和可编程选通时序可实现到DSP与外部存储器或外设的无缝对接。

闪存

28335器件包含 256K x16 的嵌入式闪存存储器，被分别放置在 8 个 32K×16 扇区内。所有器件还包含一个单 1K×16 OTP 内存，其地址范围为 0x380400-0x3807FF。用户能够在不改变其它扇区的同时单独擦除、编辑、和验证一个闪存扇区。然而，不能使用闪存的一个扇区或者这个 OTP 来执行擦除/编辑其它扇区的闪存算法。提供了特殊内存流水线操作以使闪存模块实现更高性能。闪存 / OTP 被映射到程序和数据空间。因此，它可被用于执行代码或者存储数据信息。请注意地址 0x33FFF0-0x33FFF5 为数据变量保留且不应包含程序代码。

M0, M1 SARAM

28335器件均包含单一访问存储器的两个区块，每个为 1K×16 大小。复位时，堆栈指针指向块 M1 的开始位置。M0 和 M1 块可以被映射到程序或者数据空间。因此，用户能够使用 M0 和 M1 来执行代码或者用于数据变量，分区选择通过链接器来实现。28335提供了一个统一的内存映射存储体系，这使得用高级语言编程变得更加容易。

L0, L1, L2, L3, L4, L5, L6, L7 SARAM

28335包含了 32K×16 的单一访问 RAM，每个被分为 8 个区块(L0-L7 且每块 4K) 每个块可被独立访问以大大减少 CPU 流水线延迟。每个块被映射到程序和数据空间。L4, L5, L6, L7 可由 DMA 访问。

引导ROM

引导 ROM 由厂家使用引导载入软件进行设定。提供的引导模式信号告之引导加载软件在加电时使用哪种引导模式。用户能够选择正常引导或者从外部连接下载新软件或者选择在内部闪存/ROM 中编辑的引导软件。引导 ROM 还包含用于数学相关算法中的标准表，例如 SIN/COS 波形。

表 5. 引导模式选择

模式	GPIO87/XA15	GPIO86/XA14	GPIO85/XA13	GPIO84/XA12	模式(1)
F	1	1	1	1	跳转到闪存
E	1	1	1	0	SCI-A boot
D	1	1	0	1	SPI-A 引导
C	1	1	0	0	I2C-A 引导
B	1	0	1	1	eCAN-A 引导
A	1	0	1	0	McBSP-A 引导
9	1	0	0	1	跳转到 XINTF x16
8	1	0	0	0	跳转到 XINTF x32
7	0	1	1	1	跳转到 OTP
6	0	1	1	0	并行 GPIO I/O 引导
5	0	1	0	1	并行 XINTF 引导
4	0	1	0	0	跳转至 SARAM
3	0	0	1	1	分支到检查引导模式
2	0	0	1	0	跳转到闪存,跳过ADC校准
1	0	0	0	1	跳转至SARAM,跳过ADC校准
0	0	0	0	0	跳转至SCI,跳过ADC校准

(1) 所有的4个GPIO引脚都有内部上拉电阻.

引导加载器使用的外设引脚

表 6 显示了每一个外设引导加载器所使用的 GPIO 引脚。参考 GPIO 复用表以检查您是否希望将这些与任一外设的冲突使用到您的应用中。

表 6. 外设引导加载引脚

引导加载器	外设加载器引脚
SCI-A	SCIRXDA(GPIO28) SCITXDA (GPIO29)
SPI-A	SPISIMOA (GPIO16) SPISOMIA (GPIO17) SPICLKA (GPIO18) SPISTEA(GPIO19)
I2C	SDAA (GPIO32) SCLA (GPIO33)
CAN	CANRXA (GPIO30) CANTXA (GPIO31)
McBSP	MDXA (GPIO20) MDRA (GPIO21) MCLKXA (GPIO22) MFSXA (GPIO23) MCLKRA (GPIO7) MFSRA (GPIO5)

安全性

此器件支持高级安全性以保护用户固件不受反向工程的损坏。这个安全性特有一个 128 位密码(针对 16 个等待状态的硬编码)，此密码由用户编辑入闪存。一个代码安全模块 (CSM) 用于保护闪存 / OTP 和 L0/L1/L2/L3 SARAM 块。这个安全特性防止未经授权的用户通过 JTAG 端口检查内存内容，从外部内存执行代码或者试图引导加载一些将会输出安全内存内容的恶意软件。为了启用到安全块的访问，用户必须写入与存储在闪存密码位置内的值相匹配的正确的 128 位 KEY(密钥)值。

除了 CSM，仿真代码安全逻辑电路 (ECSL) 也已经被实现来防止未经授权的用户安全代码。在仿真器连接时，任何对于闪存、用户 OTP，或者 L0,L1,L2, 或 L3 内存的代码或者数据访问将触发 ECSL 错误并断开仿真连接。为了实现安全代码仿真，同时保持

CSM 安全内存读取，用户必须向 KEY 寄存器的低 64 位写入正确的值，这个值与存储在闪存密码位置的低 64 位的值相符合。请注意仍须执行闪存内所有 128 位密码的假读取。如果密码位置的低 64 位为全 1(未被编辑)，那么无须符合 KEY 值。

当使用闪存内设定的密码位置开始调试一个DSP时，仿真器需要一些时间来控制 CPU。在此期间，CPU 将开始运行，并可能执行一个访问受保护 ECSL 区的指令。如果这一情况发生，ECSL 将发生错误并使仿真器连接被断开。这个问题有两个解决方案：

首先是使用在等待中复位的仿真模式，该模式将保持器件在复位状态直到仿真器获得控制权。仿真器必须支持此选项的这种模式。

第二种选择是使用“分支至检查引导模式”引导选项。这将进入一个环路，并不断轮询引导模式选择引脚。通过重新映射 PC 到另一个地址，或通过把引导模式选择引脚更改为所需的引导模式，用户可以选择此引导模式，然后在仿真器被连接时退出这种模式。

外设中断扩展(PIE)块

PIE 块将许多中断源复用至中断输入的较小的集合中。PIE 块能够支持多达 96 个外设中断。

在DSP中，96 个中断中的58个被外设使用。96 个中断被分成 8 组，每组被提供 12 个 CPU 中断 线(INT1 或者 INT12)中的 1 个。96 个中断中的每一个中断由其存储在一个可被用户写覆盖的专用 RAM 块中的矢量支持。在处理这个中断时，这个矢量由 CPU 自动获取。获取这个矢量以及保存关键 CPU 寄存器将花费 8 个 CPU 时钟周期。因此 CPU 能够对中断事件作出快速响应。可以通过硬件和软件控制中断的优先级。每个中断都可以在 PIE 块内启用或禁用。

外部中断(XINT1-XINT7, XNMI)

此器件支持 8 个被屏蔽的外部中断 (XINT1–XINT7, XNMI)。XNMI 可被连接至 INT13 或者 CPU 的 NMI 中断。这些中断中的每一个可被选择用于负边沿、正边沿或者正负边沿触发，并且可被启用或禁用(包括 XNMI 在内)。XINT1, XINT2, 和 XNMI 还包含一个 16 位自由运行的计数器，当检测到一个有效的中断边沿时，该计数器复位为 0。这个计数器可被用于为中断精确计时。XINT1, XINT2 和 XINT 中断可接受来自 GPIO0-GPIO31 引脚的输入。XINT3–XINT7 中断可接受来自 GPIO32-GPIO63 引脚的输入。

振荡器和锁相环 (PLL)

该器件可由一个外部振荡器计时或者由一个连接到片载振荡器电路的晶振计时。提供的一个 PLL 支持高达 10 倍的时钟缩放比。PLL 的比率可以在软件运行时更改，这使得用户在需要低功耗运行时能够按比例降低运行频率。PLL 模块可被设定为旁路模式。

看门狗模块

用户软件必须在一个特定的时间范围内定期复位 CPU 看门狗计数器；否则，CPU 看门狗电路将生产一个到处理器的复位。如果需要，可禁用看门狗模块。

外设时钟

在外设闲置时，到每一个独立外设的时钟可被启用或禁用以减少功耗。此外，到串行端口(除了 I2C 和 eCAN 之外)和 ADC 时钟的系统时钟可相对于 CPU 时钟进行降频。这样可去除外设时序到逐渐增加的 CPU 时钟速度的耦合。

低功耗模式

此器件是完全静态 CMOS 器件。 提供三个低功耗模式：

IDLE(闲置):	将 CPU 置于低功耗模式。可有选择性地关闭外设时钟并且只有那些在 IDLE 期间需要运行的外设保持运行状态。来自激活外设或者安全装置定时器的已启用的中断将把处理器从 IDLE 模式中唤醒。
STANDBY(待机):	关闭掉 CPU 和外设的时钟。在这个模式下，振荡器和 PLL 仍然运行。一个外部中断事件将唤醒处理器和外设。在检测到中断事件之后的下一个有效周期上，执行开始。
HALT(暂停):	关断内部振荡器基本上，这个模式关断器件并将器件置于尽可能低的功耗模式中。一个复位或者外部信号能将器件从这个模式中唤醒。

外设帧0, 1, 2, 3(PFn)

此器件将外设分成四个部分。外设映射如下：

PF0:	PIE:	PIE 中断启用和控制寄存器加上 PIE 矢量表
	闪存:	闪存写入状态寄存器
	XINTF:	外部接口寄存器
	DMA	DMA 寄存器
	定时器:	CPU - 定时器 0, 1, 2 寄存器
	CSM:	代码安全模块 KEY 寄存器

	ADC:	ADC 结果寄存器(双映射)
PF1:	eCAN:	eCAN 邮箱和控制寄存器
	GPIO:	GPIO MUX 配置和控制寄存器
	ePWM:	增强型脉冲宽度调制器模块和寄存器(双映射)
	eCAP:	增强型捕捉模块和寄存器
	eQEP:	增强型正交解码器脉冲模块和寄存器
PF2:	SYS:	系统控制寄存器
	SCI:	串行通信接口 (SCI) 控制和 RX/TX 寄存器
	SPI:	串行端口接口 (SPI) 和 RX/TX 寄存器
	ADC:	ADC 状态、控制和结果寄存器外部 ADC 接口
	IC2:	内部电路模块和寄存器
	XINT	外部中断寄存器
PF3:	McBSP	多通道缓冲串行端口寄存器
	ePWM:	增强型脉冲宽度调制器模块和寄存器(双映射)

通用输入/输出(GPIO)复用器

大多数的外设信号与通用输入/输出 (GPIO) 信号复用。这使得用户能够在外设信号或者功能不使用时将一个引脚用作 GPIO。复位时，GPIO 引脚被配置为输入。针对 GPIO 模式或者外设信号模式，用户能够独立设定每一个引脚。对于特定的输入，用户也可以选择输入限定周期的数量。这是为了过滤掉有害的噪声毛刺脉冲。GPIO 信号也可被用于使器件退出特定低功耗模式。

32位CPU定时器(0, 1, 2)

CPU 定时器 0, 1, 和 2 是完全一样的 32 位定时器，这些定时器带有可预先设定的周期和 16 位时钟预分频。此定时器有一个 32 位的减数寄存器，此寄存器在计数值达到 0 时生成一个中断。当此计数器达到 0 时，它自动重新载入一个 32 位的周期值。CPU 定时器 2 为实时 OS (RTOS)/BIOS 应用而保留。它被连接至 CPU 的 INT14。如果 DSP/BIOS 未被使用，CPU 定时器 2 也可用于普通用途。CPU 定时器 1 为通用定时器并被连接至 CPU 的 INT13。CPU 定时器 0 也为通用定时器并被连接至 PIE 块。

控制外设

TMS320F28335PGFA 器件支持以下用于嵌入式控制和通信的外设：

ePWM: 增强型 PWM 外设支持针对前缘和后缘边沿、被锁存的和逐周期触发机制的独立的和互补的 PWM 生成，可调节死区生成。某些 PWM 引脚支持 HRPWM 特性。

ePWM 寄存器由 DMA 支持以便减少处理该外设的开销。

eCAP: 这个增强型捕捉外设使用一个 32 位时基并在连续/单次捕捉模式中记录多达四个可编程事件。

这个外设也可被配置为生成一个辅助 PWM 信号。

eQEP: 增强型 QEP 外设使用一个 32 位位置计数器，使用捕捉单元和一个 32 位单元定时器分别支持低速测量和高速测量。

这个外设有一个安全装置定时器来检测电机停转和输入错误检测逻辑电路来识别 QEP 信号中的同步边沿转换。

ADC: ADC 块是一个 12 位、单端、16 通道转换器。它包含两个用于同步采样的采样保持单元。ADC 寄存器被 DMA 支持以便减少处理该外设的开销。

串行端口外设

此器件支持下列的串行通信外设：

eCAN: 这是 CAN 外设的增强型版本。它支持 32 个邮箱、消息时间戳、并与 CAN 2.0B 兼容。

McBSP: 多通道缓冲串行端口 (McBSP) 连接到 E1/T1 线路、语音质量编解码器以实现最新应用或者高质量立体声音频 DAC 器件。McBSP 接收和发送寄存器由 DMA 支持以大大减少处理这个外设所用的开销。如果需要，每一个 McBSP 模块可被配置为一个 SPI。

SPI: SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度(1 至 16 位)的串行比特流移入和移出器件。通常，SPI 用于 DSC 和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。在 28335 上，SPI 包含一个 16 级接收和发送 FIFO 来减少中断处理开销。

SCI: 串行通信接口是一个两线制异步串行端口，通常被称为 UART。SCI 包含一个用于减少中断处理开销的 16 级接收和发送 FIFO。

I2C: 内部集成电路 (I2C) 模块提供一个 DSC 和其它符合 IIC 总线 (I2C-bus) 技术规范版本 2.1 并由一个 I2C-bus 相连的器件间的一个接口。通过这个 I2C 模块，连接在这个两线制总线上的外部组件能够发送/接收高达 8 位数据到 DSC 或者从这些器件上接收高达 8 位数据。在 28335 上 I2C 包含一个 16 级接收和发送 FIFO 来减少中断处理开销。

寄存器映射

此器件包含四个外设寄存器空间。这些空间分类如下：

外设帧 0：这些是直接映射到 CPU 内存总线的外设。请见表 7。

外设帧 1：这些是映射到 32 位外设总线的外设。请见表 8。

外设帧 2：这些是映射到 16 位外设总线的外设。请见表 9。

外设帧 3：这些是被映射到 32 位的 DMA-可访问外设总线的外设。请见表 10。

表 7. 外设帧 0 寄存器⁽¹⁾

名称	地址范围	大小 (×16)	访问类型 ⁽²⁾
器件仿真寄存器	0x00 0880-0x00 09FF	384	受 EALLOW 保护
闪存寄存器 ⁽³⁾	0x00 0A80-0x00 0ADF	96	受 EALLOW 保护
代码安全模块寄存器	0x00 0AE0-0x00 0AEF	16	受 EALLOW 保护
ADC 寄存器(双映射) 0 等待 (DMA), 1 个等待 (CPU), 只读	0x00 0B00-0x00 0B0F	16	不受 EALLOW 保护
XINTF 寄存器	0x00 0B20-0x00 0B3F	32	受 EALLOW 保护
CPU 定时器 0, CPU 定时器 1, CPU 定时器 2 寄存器	0x00 0C00-0x00 0C3F	64	不受 EALLOW 保护
PIE 寄存器	0x00 0CE0-0x00 0CFF	32	不受 EALLOW 保护
PIE 矢量表	0x00 0D00-0x00 0DFF	256	受 EALLOW 保护
DMA 寄存器	0x00 1000-0x00 11FF	512	受 EALLOW 保护

(1) 在帧 0 中的寄存器支持 16 位和 32 位访问。

(2) 如果寄存器是 EALLOW 受保护的，那么在 EALLOW 指令被执行前写入不能被执行。EDIS 指令禁用写入以防止杂散代码或指针破坏寄存器内容。

(3) 闪存寄存器也受到代码安全模块 (CSM) 的保护。

表 8. 外设帧 1 寄存器

名称	地址范围	大小 (×16)
eCAN-A 寄存器	0x00 6000-0x00 61FF	512
eCAN-B 寄存器	0x00 6200-0x00 63FF	512
ePWM1 + HRPWM1 寄存器	0x00 6800-0x00 683F	64
ePWM2 + HRPWM2 寄存器	0x00 6840-0x00 687F	64
ePWM3 + HRPWM3 寄存器	0x00 6880-0x00 68BF	64
ePWM4 + HRPWM4 寄存器	0x00 68C0-0x00 68FF	64
ePWM5 + HRPWM5 寄存器	0x00 6900-0x00 693F	64
ePWM6 + HRPWM6 寄存器	0x00 6940-0x00 697F	64
eCAP1 寄存器	0x00 6A00-0x00 6A1F	32
eCAP2 寄存器	0x00 6A20-0x00 6A3F	32
eCAP3 寄存器	0x40 6A00-0x00 0A5F	32
eCAP4 寄存器	0x60 6A00-0x00 0A7F	32
eCAP5 寄存器	0x80 6A00-0x00 0A9F	32
eCAP6 寄存器	0x00 6AA0-0x00 6ABF	32
eQEP1 寄存器	0x00 6B00-0x00 6B3F	64
eQEP2 寄存器	0x00 6B40-0x00 6B7F	64
GPIO 寄存器	0x00 6F80-0x00 6FFF	128

表 9. 外设帧 2 寄存器

名称	地址范围	大小 (×16)
系统控制寄存器	0x00 7010-0x00 702F	32
SPI-A 寄存器	0x00 7040-0x00 704F	16
SCI-A 寄存器	0x00 7050-0x00 705F	16
外部中断寄存器	0x00 7070-0x00 707F	16
ADC 寄存器	0x00 7100-0x00 711F	32
SCI-B 寄存器	0x00 7750-0x00 775F	16
SCI-C 寄存器	0x00 7770-0x00 777F	16
I2C-A 寄存器	0x00 7900-0x00 793F	64

表 10. 外设帧 3 寄存器

名称	地址范围	大小 (×16)
McBSP-A 寄存器 (DMA)	0x5000 -0x503 F	64
McBSP-B 寄存器 (DMA)	0x5040 -0x507 F	64
ePWM1 + HRPWM1 (DMA) ⁽¹⁾	0x5800 -0x583 F	64
ePWM2 + HRPWM2 (DMA)	0x5840 -0x587 F	64
ePWM3 + HRPWM3 (DMA)	0x5880-0x58BF	64
ePWM4 + HRPWM4 (DMA)	0x58C0-0x58FF	64
ePWM5 + HRPWM5 (DMA)	0x5900 -0x593 F	64
ePWM6 + HRPWM6 (DMA)	0x5940 -0x597 F	64

(1) EPWM 和 HRPWM 模块可以被重新映射到可以被 DMA 模块访问的外设帧 3。要做到这点，MAPCNF 寄存器(地址 0x702E)的位 0(MAPEPWM) 必须被设置为 1。此寄存器受 EALLOW 保护。当此位为 0 时，ePWM 和 HRPWM 模块被映射到外设帧 1。

器件仿真寄存器

这些寄存器用于控制 CPU 的保护模式和监视某些关键器件信号。表 11 中对这些寄存器进行了定义。

表 11. 器件仿真寄存器

名称	地址范围	大小 (×16)	说明
DEVICECNF	0x0880 0x0881	2	器件配置寄存器
PARTID	0x380090	1	28335 器件 ID 寄存器 0x00EF
CLASSID	0x0882	1	28335 器件类型 ID 寄存器 0x00EF
REVID	0x0883	1	修订版本 ID 寄存器
PROTSTART	0x0884	1	区块保护起始地址寄存器
PROTRANGE	0x0885	1	区块保护范围地址寄存器

中断

图 2 显示了不同的中断源是如何被复用的。

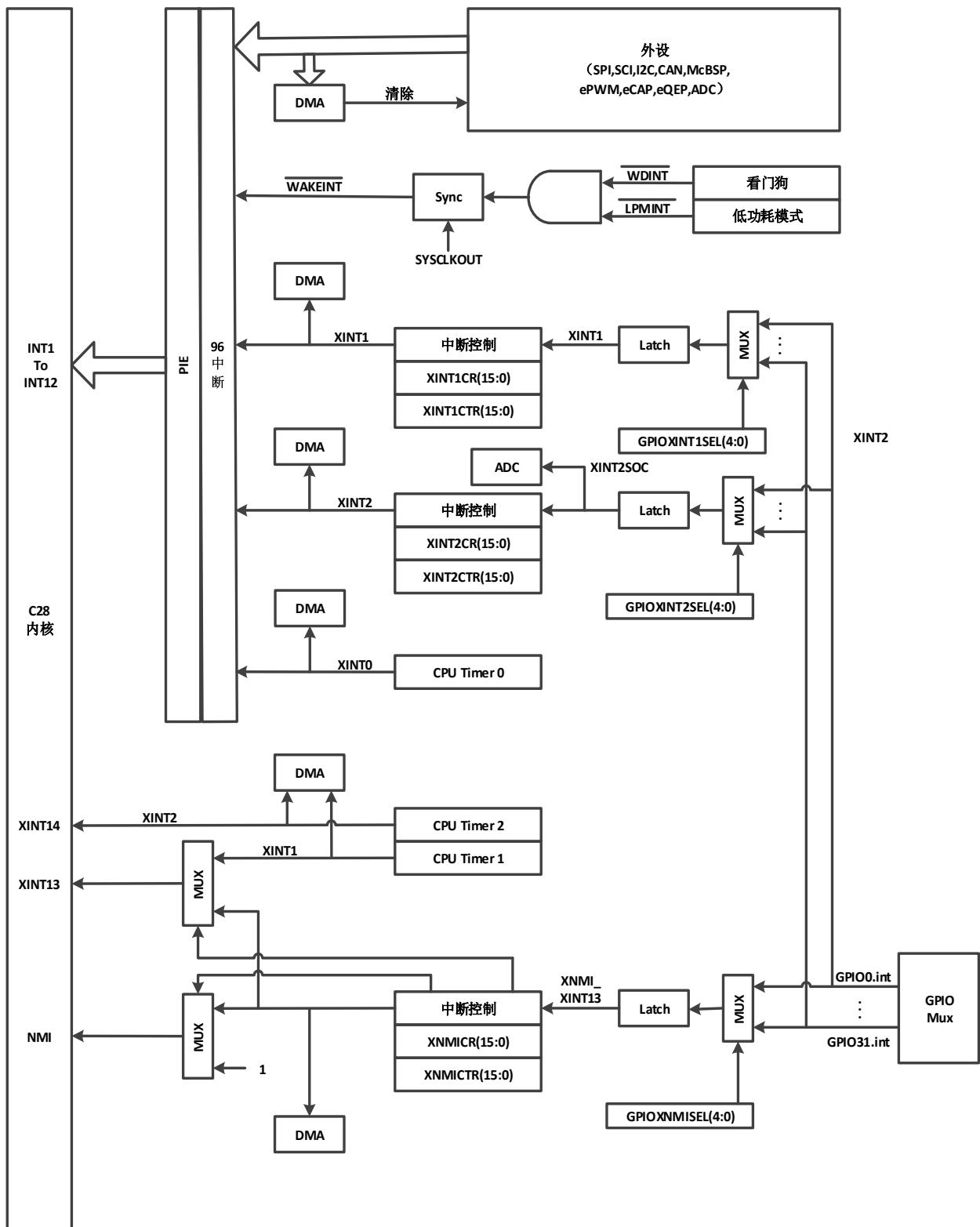


图 2. 外部和 PIE 中断源

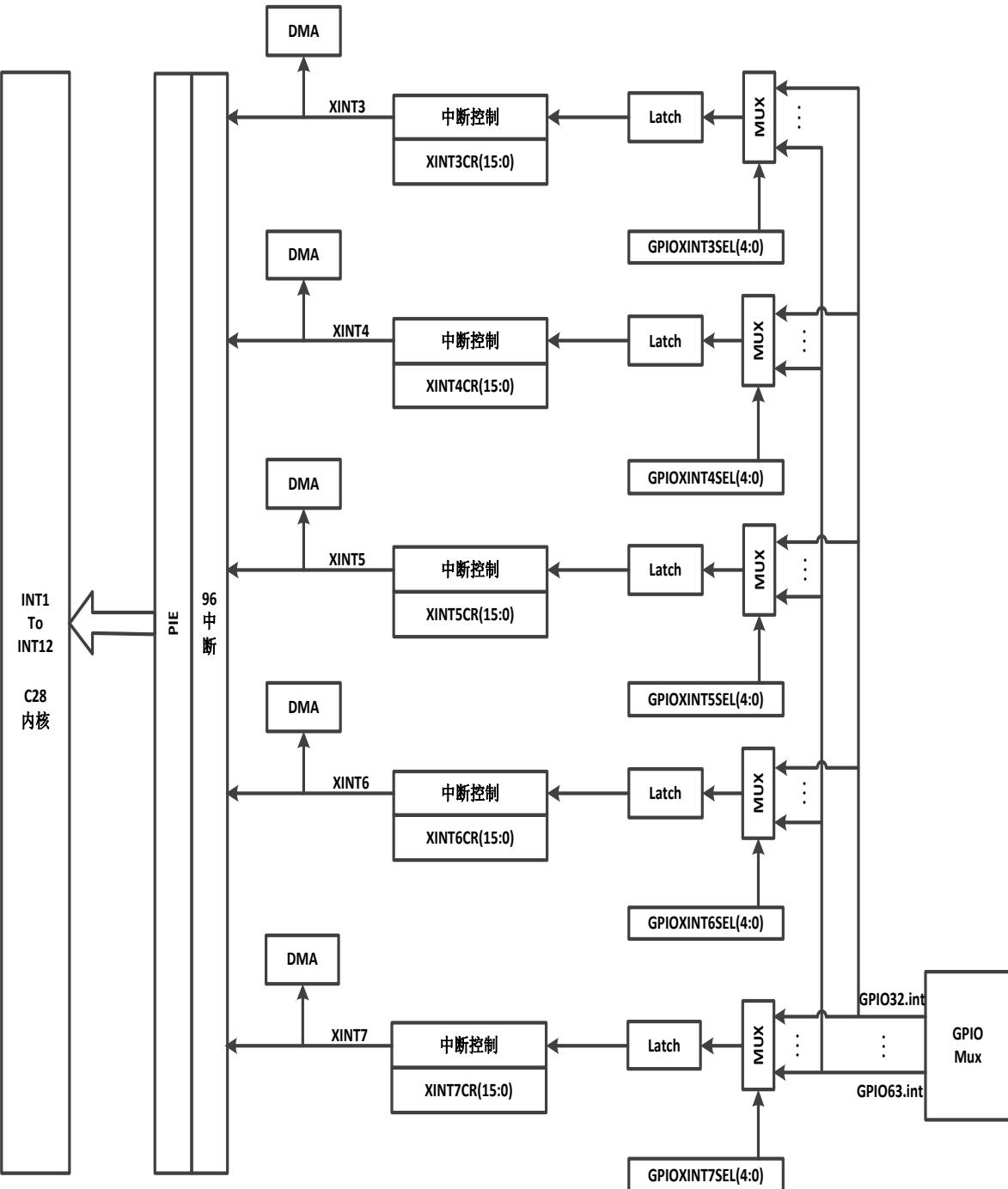


图 3. 外部中断

8个PIE块中断被组合进一个CPU中断中。总共12个CPU中断组，每组8个中断，等于96个中断。在28335器件上，这些中断中被外设使用的58个中断显示在表12中。

TRAP#Vectornumber(矢量号)指令将程序控制发送至与指定的矢量相对应的中断处理例程。TRAP#0 尝试传送程序控制到复位矢量所指向的地址。然而，PIE矢量表不含复位矢量。因此，当PIE被启用时，TRAP #0 不应被使用。这样做将导致未定义的运行状态。

当 PIE 被启用时，TRAP #1 至 TRAP #12 将传送程序控制到与 PIE 组中第一个矢

量相对应的中断处理例程。例如：TRAP #1 从 INT1.1 取矢量，TRAP #2 从 INT2.1 取矢量，以此类推。

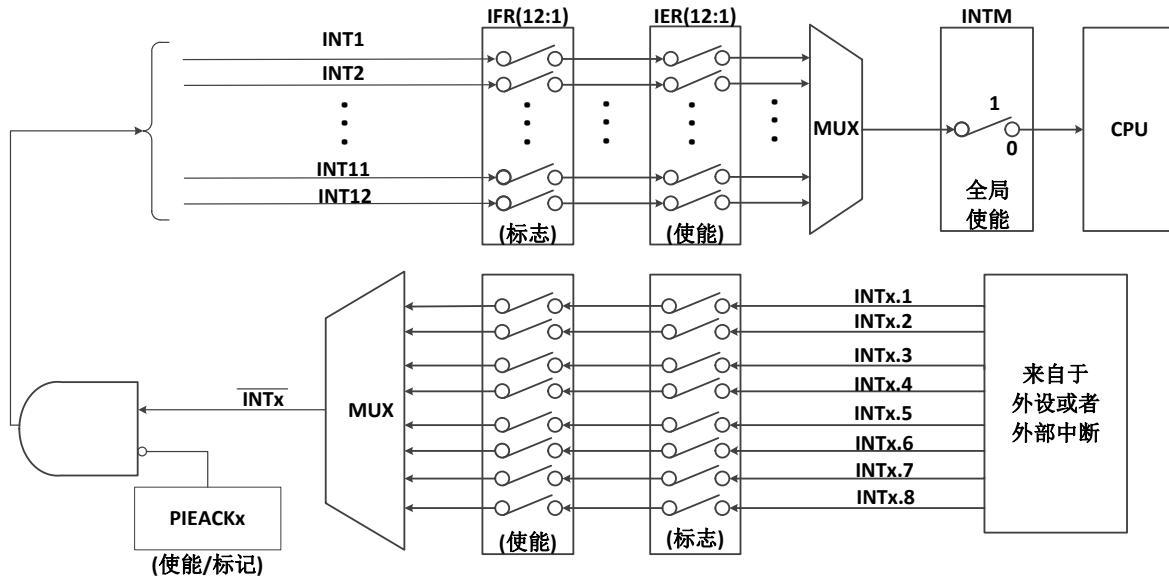


图 4. 使用 PIE 块的中断复用

表 12. PIE 外设中断⁽¹⁾

CPU中断	PIE 中断							
	INTx.8	INTx.7	INTx.6	INTx.5	INTx.4	INTx.3	INTx.2	INTx.1
INT1	WAKEINT (LPM/WD)	TINT0 (定时器 0)	ADCINT (ADC)	XINT2	XINT1	保留	SEQ2INT (ADC)	SEQ1INT (ADC)
INT2	保留	保留	EPWM6_TZINT (ePWM6)	EPWM5_TZINT (ePWM5)	EPWM4_TZINT (ePWM4)	EPWM3_TZINT (ePWM3)	EPWM2_TZINT (ePWM2)	EPWM1_TZINT (ePWM1)
INT3	保留	保留	EPWM6_INT (ePWM6)	EPWM5_INT (ePWM5)	EPWM4_INT (ePWM4)	EPWM3_INT (ePWM3)	EPWM2_INT (ePWM2)	EPWM1_INT (ePWM1)
INT4	保留	保留	ECAP6_INT (eCAP6)	ECAP5_INT (eCAP5)	ECAP4_INT (eCAP4)	ECAP3_INT (eCAP3)	ECAP2_INT (eCAP2)	ECAP1_INT (eCAP1)
INT5	保留	保留	保留	保留	保留	保留	EQEP2_INT (eQEP2)	EQEP1_INT (eQEP1)
INT6	保留	保留	MXINTA (McBSP-A)	MRINTA (McBSP-A)	MXINTB (McBSP-B)	MRINTB (McBSP-B)	SPITXINTA (SPI-A)	SPIRXINTA (SPI-A)
INT7	保留	保留	DINTCH6 (DMA)	DINTCH5 (DMA)	DINTCH4 (DMA)	DINTCH3 (DMA)	DINTCH2 (DMA)	DINTCH1 (DMA)
INT8	保留	保留	SCITXINTC (SCI-C)	SCIRXINTC (SCI-C)	保留	保留	I2CINT2A (I2C-A)	I2CINT1A (I2C-A)
INT9	ECAN1_INTB (eCAN-B)	ECAN0_INTB (eCAN-B)	ECAN1_INTA (eCAN-A)	ECAN0_INTA (eCAN-A)	SCITXINTB (SCI-B)	SCIRXINTB (SCI-B)	SCITXINTA (SCI-A)	SCIRXINTA (SCI-A)
INT10	保留	保留	保留	保留	保留	保留	保留	保留
INT11	保留	保留	保留	保留	保留	保留	保留	保留
INT12	LUF (FPU)	LVF (FPU)	保留	XINT7	XINT6	XINT5	XINT4	XINT3

(1) 96 个可能中断中，目前有 58 个正在使用。其余中断保留供未来的器件使用。如果它们在 PIEIFRx 级被启用并且这个组中的中断没有一个被外设使用，这些中断可被用作软件中断。否则，在意外地清除它们的标志同时修改 PIEIFR 的情况下，来自外设的中断也许会丢失。总的来说，在两个安全情况下，保留的中断可被用作软件中断：

A. 组内没有外设使中断有效。B. 没有外设中断被分配到这个组(例如，PIE 组 11)。

表 13. PIE 配置和控制寄存器

名称	地址	大小 (x 16)	说明(1)
PIECTRL	0x0CE0	1	PIE, 控制寄存器
PIEACK	0x0CE1	1	PIE, 确认寄存器
PIEIER1	0x0CE2	1	PIE, INT1 组启用寄存器
PIEIFR1	0x0CE3	1	PIE, INT1 组标志寄存器
PIEIER2	0x0CE4	1	PIE, INT2 组启用寄存器
PIEIFR2	0x0CE5	1	PIE, INT2 组标志寄存器
PIEIER3	0x0CE6	1	PIE, INT3 组启用寄存器
PIEIFR3	0x0CE7	1	PIE, INT3 组标志寄存器
PIEIER4	0x0CE8	1	PIE, INT4 组启用寄存器
PIEIFR4	0x0CE9	1	PIE, INT4 组标志寄存器
PIEIER5	0x0CEA	1	PIE, INT5 组启用寄存器
PIEIFR5	0x0CEB	1	PIE, INT5 组标志寄存器
PIEIER6	0x0CEC	1	PIE, INT6 组启用寄存器
PIEIFR6	0x0CED	1	PIE, INT6 组标志寄存器
PIEIER7	0x0CEE	1	PIE, INT7 组启用寄存器
PIEIFR7	0x0CEF	1	PIE, INT7 组标志寄存器
PIEIER8	0x0CF0	1	PIE, INT8 组启用寄存器
PIEIFR8	0x0CF1	1	PIE, INT8 组标志寄存器
PIEIER9	0x0CF2	1	PIE, INT9 组启用寄存器
PIEIFR9	0x0CF3	1	PIE, INT9 组标志寄存器
PIEIER10	0x0CF4	1	PIE, INT10 组启用寄存器
PIEIFR10	0x0CF5	1	PIE, INT10 组标志寄存器
PIEIER11	0x0CF6	1	PIE, INT11 组启用寄存器
PIEIFR11	0x0CF7	1	PIE, INT11 组标志寄存器
PIEIER12	0x0CF8	1	PIE, INT12 组启用寄存器
PIEIFR12	0x0CF9	1	PIE, INT12 组标志寄存器
保留	0x 0CFA-0x 0cff	6	保留

(1) PIE 配置和控制寄存器未受 EALLOW 模式保护。PIE 矢量表受保护。

外部中断

表 14. 外部中断寄存器

名称	地址	大小 (x 16)	说明
XINT1CR	0x00 7070	1	XINT1 配置寄存器
XINT2CR	0x00 7071	1	XINT2 配置寄存器
XINT3CR	0x00 7072	1	XINT3 配置寄存器
XINT4CR	0x00 7073	1	XINT4 配置寄存器
XINT5CR	0x00 7074	1	XINT5 配置寄存器
XINT6CR	0x00 7075	1	XINT6 配置寄存器
XINT7CR	0x00 7076	1	XINT7 配置寄存器
XNMICR	0x00 7077	1	XNMI 配置寄存器
XINT1CTR	0x00 7078	1	XINT1 计数器寄存器
XINT2CTR	0x00 7079	1	XINT2 计数器寄存器
保留	0x707A-0x707E	5	
XNMICTR	0x00 707F	1	XNMI 计数器寄存器

系统控制

这个部分描述了振荡器、PLL 和计时机制、安全装置功能和低功耗模式。图 5列出了将要讨论的各种时钟和复位域。

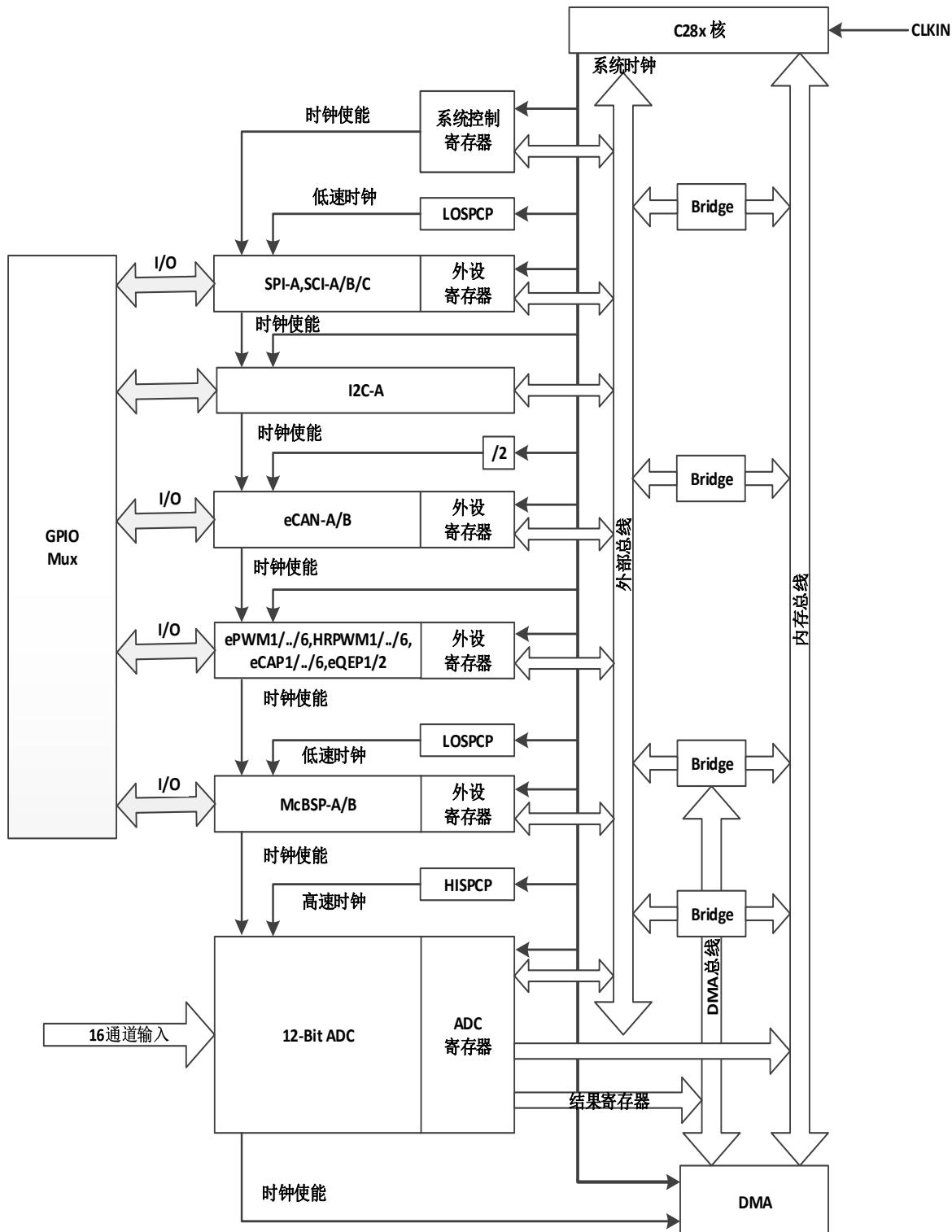


图 5.时钟与复位域

注：从写入 PCLKCR0, PCLKCR1, 和 PCLKCR2 寄存器（启用外设时钟）发生到操作有效，有 两个 SYCLKOUT 周期延迟。在尝试访问外围设备配置寄存器前，必须把该延迟考虑在内。

PLL, 计时, 安全装置和低功耗模式由表 15 中列出的寄存器控制。

表 15. PLL, 时钟, 安全装置, 和低功耗模式寄存器

名称	地址	大小 ($\times 16$)	说明
PLLSTS	0x00 7011	1	PLL 状态寄存器
保留	0x00 7012-0x00 7018	7	保留
保留	0x00 7019	1	保留
HISPCP	0x00 701A	1	高速外设时钟预分频寄存器
LOSPCP	0x00 701B	1	低速外设时钟预分频寄存器
PCLKCR0	0x00 701C	1	外设时钟控制寄存器 0
PCLKCR1	0x00 701D	1	外设时钟控制寄存器 1
LPMCR0	0x00 701E	1	低功耗模式控制寄存器 0
保留	0x00 701F	1	保留
PCLKCR3	0x00 7020	1	外设时钟控制寄存器 3
PLLCR	0x00 7021	1	PLL 控制寄存器
SCSR	0x00 7022	1	系统控制与状态寄存器
WDCNTR	0x00 7023	1	安全装置计数器寄存器
保留	0x00 7024	1	保留
WDKEY	0x00 7025	1	安全装置复位密钥寄存器
保留	0x00 7026-0x00 7028	3	保留
WDCR	0x00 7029	1	安全装置控制寄存器
保留	0x00 702A-0x00 702D	4	保留
MAPCNF	0x00 702E	1	EPWM/HRPWM 重新映射寄存器

OSC和PLL块

图 6 显示了 OSC 和 PLL 块。

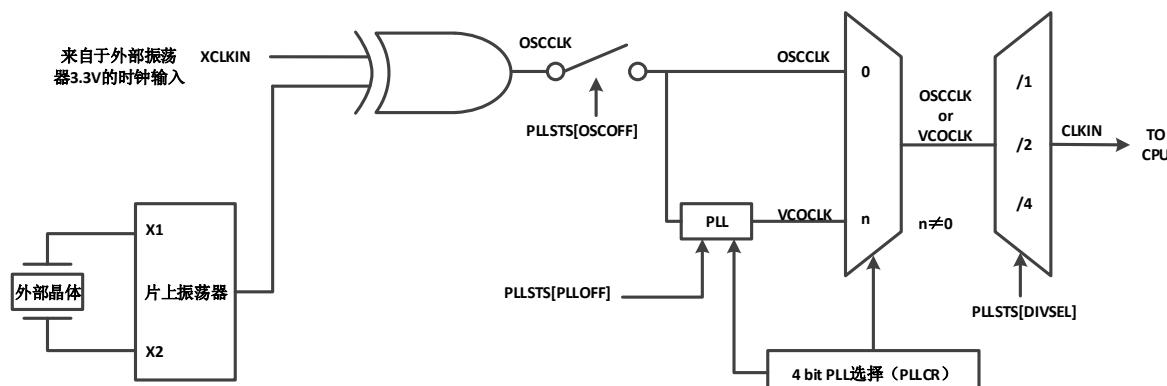


图 6. OSC 和 PLL 块方框图

片载振荡器电路启用一个使用 X1 和 X2 引脚连接至28335器件的晶振/谐振器。

如果片载振荡器未被使用，那么一个外部振荡器可被用在下列配置中：

一个 3.3V 外部振荡器可被直接接至 XCLKIN 引脚。X2 引脚应被悬空，而 X1 引脚应在低电平时。这个情况下的逻辑高电平不用超过 VDDIO。

图 7 至图 8 显示了这两个可能的输入时钟配置。

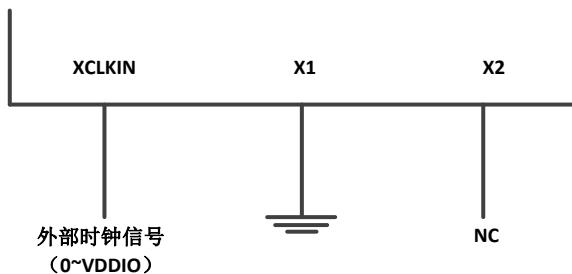


图 7. 使用一个 3.3V 外部振荡器

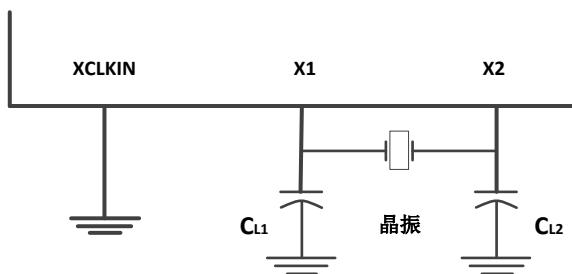


图 8. 使用内部振荡器

外部基准振荡器时钟选项

30MHz 外部石英晶振的典型技术规范如下：

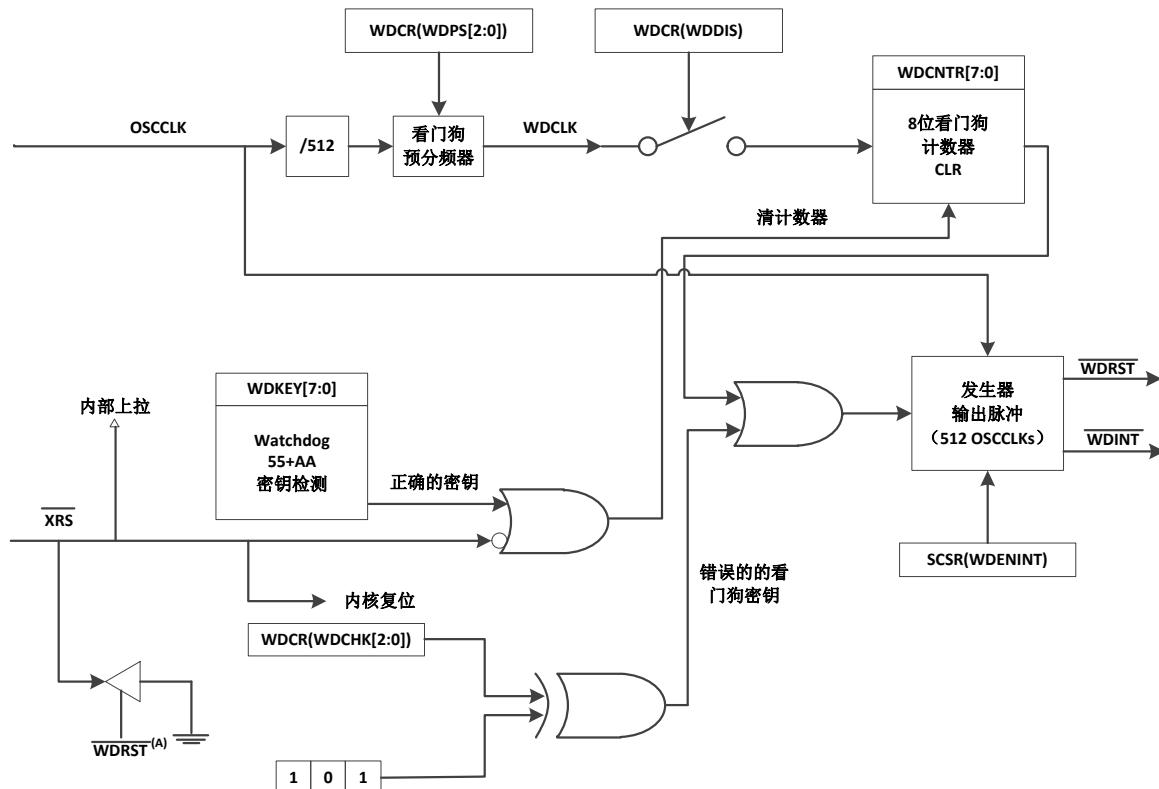
- 基本模式、并联谐振
- CL(负载电容)=12pF
- CL1=CL2=24pF
- C并联=6pF
- ESR 范围 = 25 至 40Ω

基于PLL的时钟模块

此器件有一个片载、基于 PLL 的时钟模块。这个模块为器件提供所有需要的时钟信号，以及对低功耗模式进入的控制。PLL 有一个 4 位比率控制 PLLCR[DIV] 来选择不同的 CPU 时钟速率。在写入 PLLCR 寄存器之前，安全装置模块应该被禁用。在 PLL 模式稳定后，它可被重新启用(如果需要的话)，重新启用的时间为 131072 个 OSCCLK 周期。 输入时钟和 PLLCR[DIV] 位应该在 PLL (VCOCLK) 的输出频率不超过 300MHz 时候选择。

看门狗模块

28335的看门狗模块功能是：只要8位看门狗计数器达到了它的最大值，这个看门狗模块就生成一个输出脉冲，512振荡器时钟宽度(OSCCLK)。要防止这种情况，用户可以禁用该计数器，或者必须通过软件定期将一个0x55+0xAA序列写入至看门狗寄存器中，从而使看门狗计数器复位。图9显示了看门狗模块内的各种功能块。



A. WDRST信号在 512 个OSCCLK 周期内被驱动为低电平。

图 9. 安全装置模块

WDINT信号使得看门狗模块可被用作一个从 IDEL/STANDY 模式的唤醒。

在 STANDBY 模式中，器件上的所有外设关闭。继续工作的唯一外设是看门狗模块。WATCHDOG 模块将关闭 OSCCLK。WDINT信号被馈送到 LPM 块以便它可以将器件从 STANDBY 唤醒(如已启用)。

在 IDLE 模式中，WDINT信号可通过 PIE 来生成一个到 CPU 的中断来将 CPU 从 IDEL 模式中唤醒。在 HALT 模式中，不能使用此功能，这是因为振荡器(和 PLL)关闭，因此看门狗模块也关闭。

低功耗模块

表 16. 低功耗模式

模式	LPMCR0 (1:0)	OSCCLK	CLKIN	SYSCLKOUT	退出条件 ⁽¹⁾
IDLE	00	打开	打开	打开 ⁽²⁾	XRS、看门狗中断、任何启用的中断、XNMI
STANDBY	01	打开 (看门狗模块仍在运行)	关闭	关闭	XRS、看门狗中断、GPIO A端口信号、调试器 ⁽³⁾ 、XNMI
HALT	1X	关闭 (振荡器和 PLL 关闭, 看门狗模块不工作)	关闭	关闭	XRS、GPIO A端口信号、XNMI、调试器 ⁽³⁾

1. 退出条件列出了哪些信号或在哪些情况下会退出低功耗模式。一个低电平信号，或者在任何此类信号的任何一个上，将退出低功耗状态。这个信号必须保持低电平足够长时间以便器件识别中断。否则，将不会退出IDLE模式并且器件将返回到指示的低功耗模式。

2. 在 28335上，来自 CPU 的时钟输出 (SYSCLKOUT) 仍将起作用。
3. 在 28335上，即使 CPU 时钟 (CLKIN) 被关闭，JTAG 端口仍然可以工作。

不同的低功耗模式运行状态如下：

IDLE 模式：通过任一被启用的中断或者由处理器识别的 XNMI 来退出此模式。LPM 块在这个模式期间，只要 LPMCR0 (LPM) 位被设定为 0, 0, LPM 块不执行任何任务。

STANDBY 模式：任一 GPIO A端口信号 (GPIO[31:0]) 能够将器件从 STANDBY 模式中唤醒。用户必须在 GPIOLOPMSEL 寄存器中选择哪一个信号将唤醒器件。在唤醒器件前，所选的信号也由 OSCCLK 限定。在 LPMCR0 寄存器中指定了 OSCCLK 的数量。

HALT 模式：只有 XRS 和任一 GPIO A端口信号 (GPIO[31:0]) 可将器件从 HALT 模式中唤醒。用户在 GPIOLOPMSEL 寄存器中选择信号。

外设

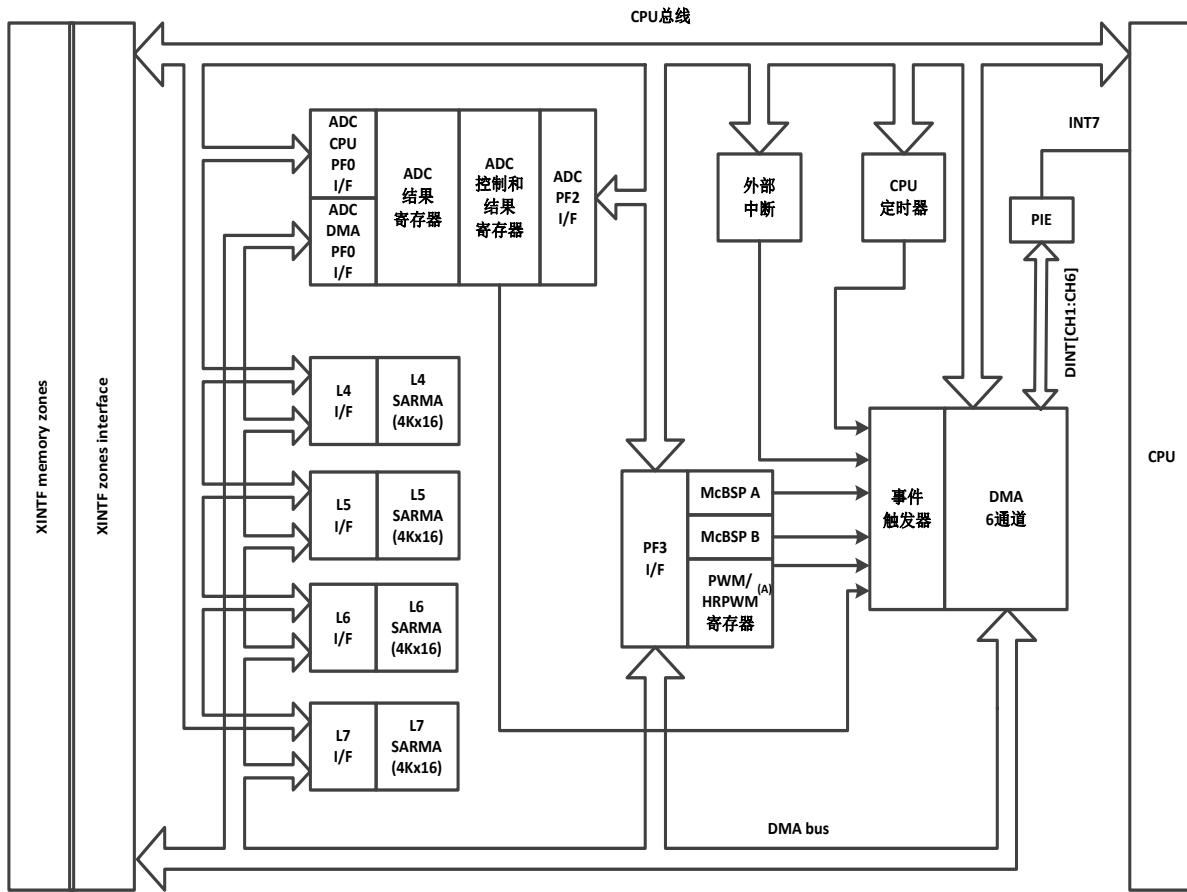
28335 器件的集成外设在以下部分进行了说明：

- 6 通道直接内存存取 (DMA)
- 三个 32 位 CPU 定时器
- 高达 6 个增强型 PWM 模块 (ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6)
- 高达 6 个增强型捕获模块
(eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, eCAP6)
- 高达 2 个增强型 QEP 模块 (eQEP1, eQEP2)
- 增强型模数转换器 (ADC) 模块
- 多达 2 个增强型控制器局域网 (eCAN) 模块 (eCAN-A, eCAN-B)
- 多达 3 个串行通信接口模块(SCI-A, SCI-B, SCI-C)
- 1个串行外设接口 (SPI)模块模块(SPI-A)
- 内部集成电路模块 (I2C)
- 高达两个多通道缓冲串口 (McBSP-A, McBSP-B) 模块
- 数字 I/O 和共用引脚功能
- 外部接口 (XINTF)

DMA概述

特性：

- 6 个具有独立 PIE 中断的通道
- 触发源：
 - ePWM SOCA/SOCB
 - ADC 序列发生器 1 和序列发生器 2
 - McBSP-A 和 McBSP-B 传输和接收逻辑
 - XINT1-7 和 XINT13
 - CPU 定时器
 - 软件
- 数据源/目的地：
 - L4-L7 16K × 16 SARAM
 - 所有 XINTF 区域
 - ADC 内存总线映射结果寄存器
 - McBSP-A 和 McBSP-B 发送和接收缓冲区
 - ePWM 寄存器
- 字大小：16 位或 32 位(McBSPs 限制到 16 位)
- 吞吐量：4 周期/字(McBSP 读取时为 5 周期/字)



A. ePWM 和 HRPWM 寄存器必须重新映射到PF3(通过MAPCNF 寄存器的位0)之后才可以由DMA 访问。

图 10. DMA 功能方框图

32 位 CPU 定时器 0, CPU 定时器 1, CPU 定时器2

在器件上有 3 个 32 位 CPU 定时器 (CPU 定时器 0, CPU 定时器 1, CPU 定时器 2)。定时器 2 为 DSP/BIOS 预留。可以在用户应用程序中使用 CPU 定时器 0 和定时器 1。这些定时器与 ePWM 模块中的定时器不同。

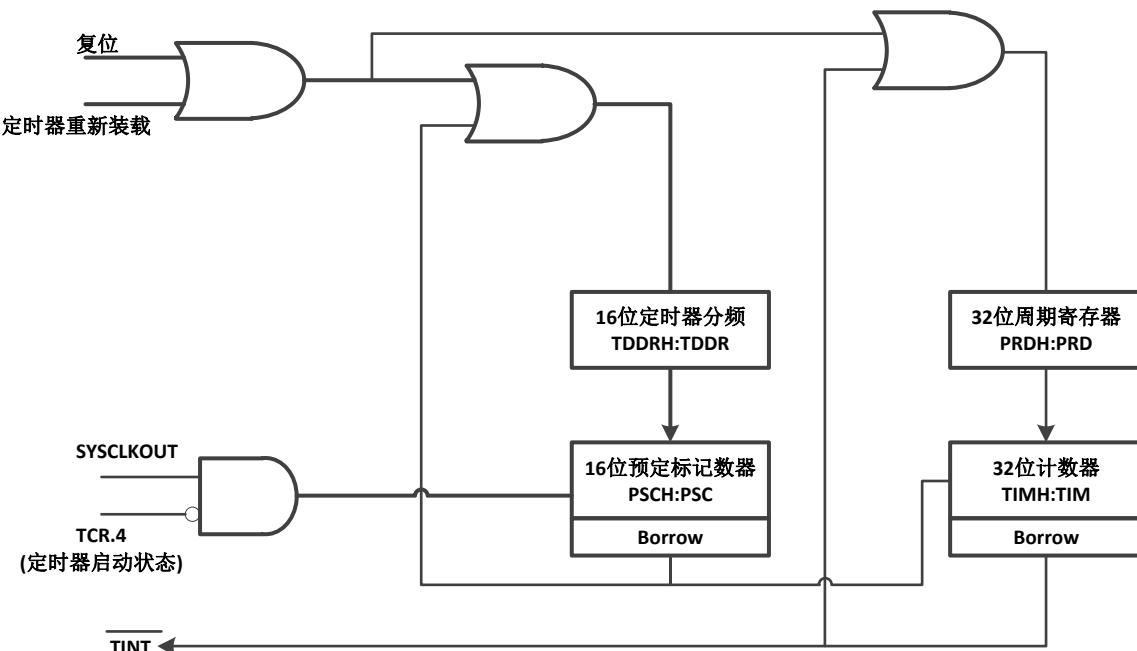
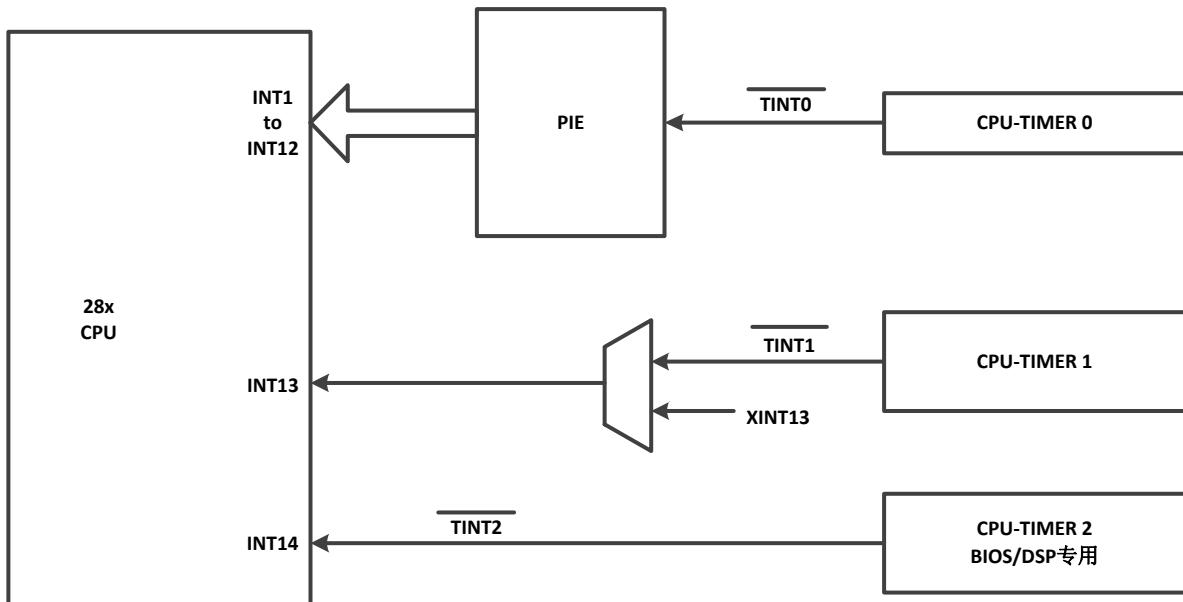


图 11. CPU 定时器

定时器中断信号(TINT0, TINT1, TINT2)的连接如图 12 所示。



- A. 定时器寄存器连接到 CPU 处理器的存储器总线。
- B. 定时器的时序与处理器时钟的 SYSCLKOUT 同步。

图 12. CPU 定时器中断信号和输出信号

定时器的通常操作如下：32 位计数器寄存器 “TIMH:TIM” 被装入周期寄存器

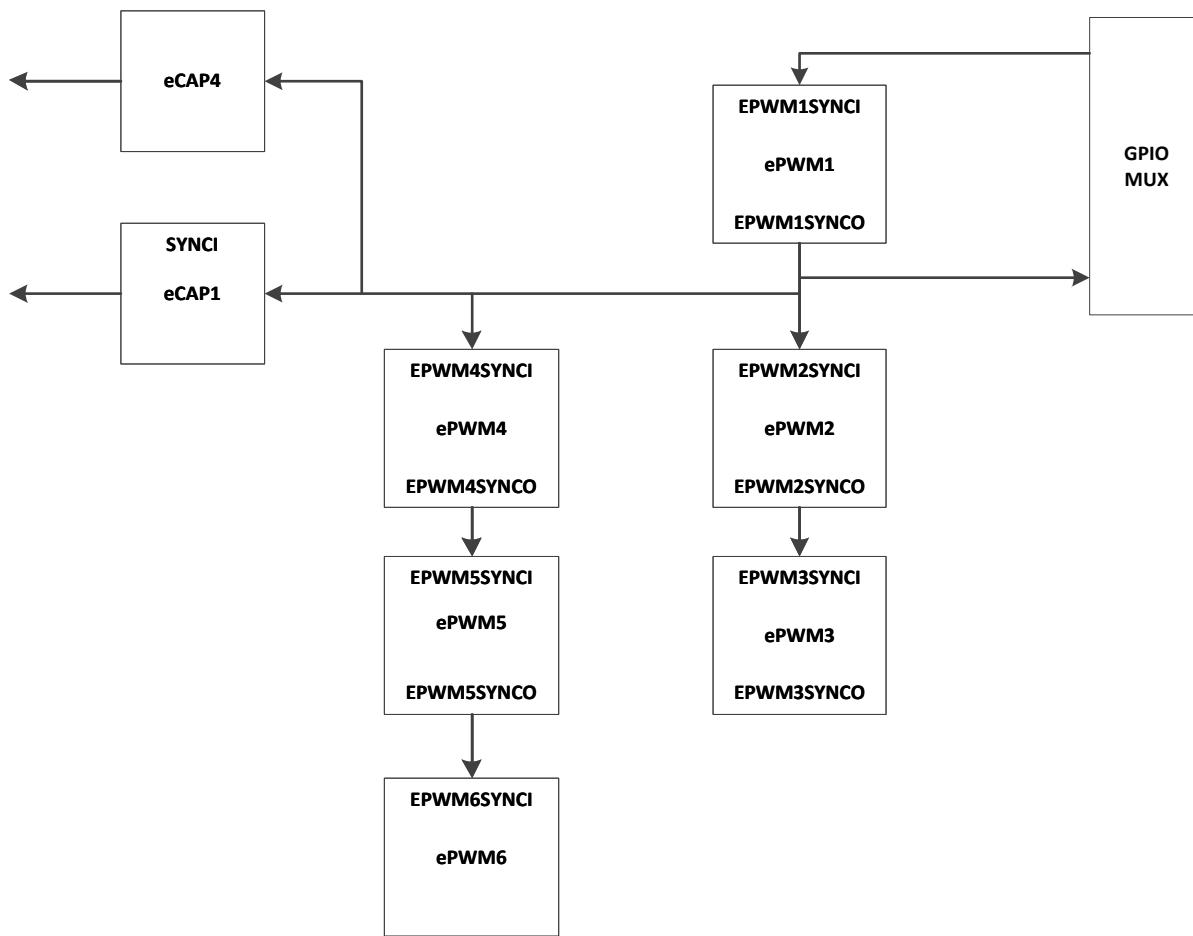
PRDH:PRD 中的值。计数器寄存器按 CPU 的 SYSCLKOUT 速率递减。当计数器到达 0 时，一个定时器中断输出信号生成一个中断脉冲。表 17 中列出的寄存器用于配置定时器。

表 17. CPU 定时器 0, 1, 2 配置和控制寄存器

名称	地址	大小 (x 16)	说明
TIMER0TIM	0x0C00	1	CPU 定时器 0, 计数器寄存器
TIMER0TIMH	0x0C01	1	CPU 定时器 0, 计数器寄存器高电平
TIMER0PRD	0x0C02	1	CPU 定时器 0, 周期寄存器
TIMER0PRDH	0x0C03	1	CPU 定时器 0, 周期寄存器高电平
TIMER0TCR	0x0C04	1	CPU 定时器 0, 控制寄存器
保留	0x0C05	1	
TIMER0TPR	0x0C06	1	CPU 定时器 0, 预分频寄存器
TIMER0TPRH	0x0C07	1	CPU 定时器 0, 预分频寄存器高电平
TIMER1TIM	0x0C08	1	CPU 定时器 1, 计数器寄存器
TIMER1TIMH	0x0C09	1	CPU 定时器 1, 计数器寄存器高电平
TIMER1PRD	0x0C0A	1	CPU 定时器 1, 周期寄存器
TIMER1PRDH	0x0C0B	1	CPU 定时器 1, 周期寄存器高电平
TIMER1TCR	0x0C0C	1	CPU 定时器 1, 控制寄存器
保留	0x0C0D	1	
TIMER1TPR	0x0C0E	1	CPU 定时器 1, 预分频寄存器
TIMER1TPRH	0x0C0F	1	CPU 定时器 1, 预分频寄存器高电平
TIMER2TIM	0x0C10	1	CPU 定时器 2, 计数器寄存器
TIMER2TIMH	0x0C11	1	CPU 定时器 2, 计数器寄存器高电平
TIMER2PRD	0x0C12	1	CPU 定时器 2, 周期寄存器
TIMER2PRDH	0x0C13	1	CPU 定时器 2, 周期寄存器高电平
TIMER2TCR	0x0C14	1	CPU 定时器 2, 控制寄存器
保留	0x0C15	1	
TIMER2TPR	0x0C16	1	CPU 定时器 2, 预分频寄存器
TIMER2TPRH	0x0C17	1	CPU 定时器 2, 预分频寄存器高电平
保留	x0 C18-0x0 0C3F	40	

增强型PWM模块

28335器件包含高达6个增强型 PWM (ePWM) 模块 (ePWM1, ePWM2, ePWM3, ePWM4, ePWM5, ePWM6)。图13显示时基计数器同步方案3。图14显示了与 ePWM 互连的信号。



- A. 默认情况下，ePWM 和 HRPWM 寄存器被映射到外设帧1(PF1)。表18显示该配置。重新映射寄存器至外设帧3(PF3) 来启用DMA 访问，MAPCNF 寄存器(地址0x702E)的位0 (MAPEPWM) 必须被设置为1。表19显示重新映射的配置。

图 13. 时基计数器同步方案 3

表 18. ePWM 控制和状态寄存器(PF1 中的默认配置)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(X16) / 影子寄存器	说明
TBCTL	0x6800	0x6840	0x6880	0x68C0	0x6900	0x6940	1/0	时基控制寄存器
TBSTS	0x6801	0x6841	0x6881	0x68C1	0x6901	0x6941	1/0	时基状态寄存器
TBPHSHR	0x6802	0x6842	0x6882	0x68C2	0x6902	0x6942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x6803	0x6843	0x6883	0x68C3	0x6903	0x6943	1/0	时基相位寄存器
TBCTR	0x6804	0x6844	0x6884	0x68C4	0x6904	0x6944	1/0	时基计数器寄存器
TBPRD	0x6805	0x6845	0x6885	0x68C5	0x6905	0x6945	1/1	时基周期寄存器集
CMPCTL	0x6807	0x6847	0x6887	0x68C7	0x6907	0x6947	1/0	计数器比较控制寄存器
CMPAHR	0x6808	0x6848	0x6888	0x68C8	0x6908	0x6948	1/1	时基比较 A HRPWM 寄存器
CMPA	0x6809	0x6849	0x6889	0x68C9	0x6909	0x6949	1/1	计数器比较 A 寄存器集
CMPB	0x680A	0x684A	0x688A	0x68CA	0x690A	0x694A	1/1	计数器比较 B 寄存器集
AQCTLA	0x680B	0x684B	0x688B	0x68CB	0x690B	0x694B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x680C	0x684C	0x688C	0x68CC	0x690C	0x694C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFRC	0x680D	0x684D	0x688D	0x68CD	0x690D	0x694D	1/0	操作限定器软件强制寄存器
AQCSFRC	0x680E	0x684E	0x688E	0x68CE	0x690E	0x694E	1/1	操作限定器连续 S/W 强制寄存器集
DBCTL	0x680F	0x684F	0x688F	0x68CF	0x690F	0x694F	1/1	死区生成器控制寄存器
DBRED	0x6810	0x6850	0x6890	0x68D0	0x6910	0x6950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x6811	0x6851	0x6891	0x68D1	0x6911	0x6951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x6812	0x6852	0x6892	0x68D2	0x6912	0x6952	1/0	触发区选择寄存器(1)
TZCTL	0x6814	0x6854	0x6894	0x68D4	0x6914	0x6954	1/0	触发区控制寄存器(1)
TZEINT	0x6815	0x6855	0x6895	0x68D5	0x6915	0x6955	1/0	触发区启用中断寄存器(1)
TZFLG	0x6816	0x6856	0x6896	0x68D6	0x6916	0x6956	1/0	触发区标志寄存器
TZCLR	0x6817	0x6857	0x6897	0x68D7	0x6917	0x6957	1/0	触发区清除寄存器(1)
TZFRC	0x6818	0x6858	0x6898	0x68D8	0x6918	0x6958	1/0	触发区强制寄存器(1)
ETSEL	0x6819	0x6859	0x6899	0x68D9	0x6919	0x6959	1/0	事件触发器选择寄存器
ETPS	0x681A	0x685A	0x689A	0x68DA	0x691A	0x695A	1/0	事件触发器预分频寄存器
ETFLG	0x681B	0x685B	0x689B	0x68DB	0x691B	0x695B	1/0	事件触发器标志寄存器
ETCLR	0x681C	0x685C	0x689C	0x68DC	0x691C	0x695C	1/0	事件触发器清除寄存器
ETFRC	0x681D	0x685D	0x689D	0x68DD	0x691D	0x695D	1/0	事件触发器强制寄存器
PCCTL	0x681E	0x685E	0x689E	0x68DE	0x691E	0x695E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x6820	0x6860	0x68A0	0x68E0	0x6920	0x6960	1/0	HRPWM 配置寄存器(1)

(1) 寄存器受 EALLOW 保护。

表 19. ePWM 控制和状态寄存器(在 PF3 中重新映射的配置-可由 DMA 访问)

名称	ePWM1	ePWM2	ePWM3	ePWM4	ePWM5	ePWM6	大小(X16) / 影子寄存器	说明
TBCTL	0x5800	0x5840	0x5880	0x58C0	0x5900	0x5940	1/0	时基控制寄存器
TBSTS	0x5801	0x5841	0x5881	0x58C1	0x5901	0x5941	1/0	时基状态寄存器
TBPHSHR	0x5802	0x5842	0x5882	0x58C2	0x5902	0x5942	1/0	时基相位 HRPWM 寄存器
TBPHS	0x5803	0x5843	0x5883	0x58C3	0x5903	0x5943	1/0	时基相位寄存器
TBCTR	0x5804	0x5844	0x5884	0x58C4	0x5904	0x5944	1/0	时基计数器寄存器
TBPRD	0x5805	0x5845	0x5885	0x58C5	0x5905	0x5945	1/1	时基周期寄存器集
CMPCTL	0x5807	0x5847	0x5887	0x58C7	0x5907	0x5947	1/0	计数器比较控制寄存器
CMPAHR	0x5808	0x5848	0x5888	0x58C8	0x5908	0x5948	1/1	时基比较 A HRPWM 寄存器
CMPA	0x5809	0x5849	0x5889	0x58C9	0x5909	0x5949	1/1	计数器比较 A 寄存器设置
CMPB	0x580A	0x584A	0x588A	0x58CA	0x590A	0x594A	1/1	计数器比较 B 寄存器设置
AQCTLA	0x580B	0x584B	0x588B	0x58CB	0x590B	0x594B	1/0	用于输出 A 的操作限定器控制寄存器
AQCTLB	0x580C	0x584C	0x588C	0x58CC	0x590C	0x594C	1/0	用于输出 B 的操作限定器控制寄存器
AQSFR	0x580D	0x584D	0x588D	0x58CD	0x590D	0x594D	1/0	操作限定器软件强制寄存器
AQCSFR	0x580E	0x584E	0x588E	0x58CE	0x590E	0x594E	1/1	操作限定器连续 S/W 强制寄存器设置
DBCTL	0x580F	0x584F	0x588F	0x58CF	0x590F	0x594F	1/1	死区生成器控制寄存器
DBRED	0x5810	0x5850	0x5890	0x58D0	0x5910	0x5950	1/0	死区生成器上升沿延迟计数寄存器
DBFED	0x5811	0x5851	0x5891	0x58D1	0x5911	0x5951	1/0	死区生成器下降沿延迟计数寄存器
TZSEL	0x5812	0x5852	0x5892	0x58D2	0x5912	0x5952	1/0	触发区选择寄存器(1)
TZCTL	0x5814	0x5854	0x5894	0x58D4	0x5914	0x5954	1/0	触发区控制寄存器(1)
TZEINT	0x5815	0x5855	0x5895	0x58D5	0x5915	0x5955	1/0	触发区启用中断寄存器(1)
TZFLG	0x5816	0x5856	0x5896	0x58D6	0x5916	0x5956	1/0	触发区标志寄存器
TZCLR	0x5817	0x5857	0x5897	0x58D7	0x5917	0x5957	1/0	触发区清除寄存器(1)
TZFRC	0x5818	0x5858	0x5898	0x58D8	0x5918	0x5958	1/0	触发区强制寄存器(1)
ETSEL	0x5819	0x5859	0x5899	0x58D9	0x5919	0x5959	1/0	事件触发器选择寄存器
ETPS	0x581A	0x585A	0x589A	0x58DA	0x591A	0x595A	1/0	事件触发器预分频寄存器
ETFLG	0x581B	0x585B	0x589B	0x58DB	0x591B	0x595B	1/0	事件触发器标志寄存器
ETCLR	0x581C	0x585C	0x589C	0x58DC	0x591C	0x595C	1/0	事件触发器清除寄存器
ETFRC	0x581D	0x585D	0x589D	0x58DD	0x591D	0x595D	1/0	事件触发器强制寄存器
PCCTL	0x581E	0x585E	0x589E	0x58DE	0x591E	0x595E	1/0	PWM 斩波器控制寄存器
HRCNFG	0x5820	0x5860	0x58A0	058E0	0x5920	0x5960	1/0	HRPWM 配置寄存器(1)

(2) 寄存器受 EALLOW 保护。

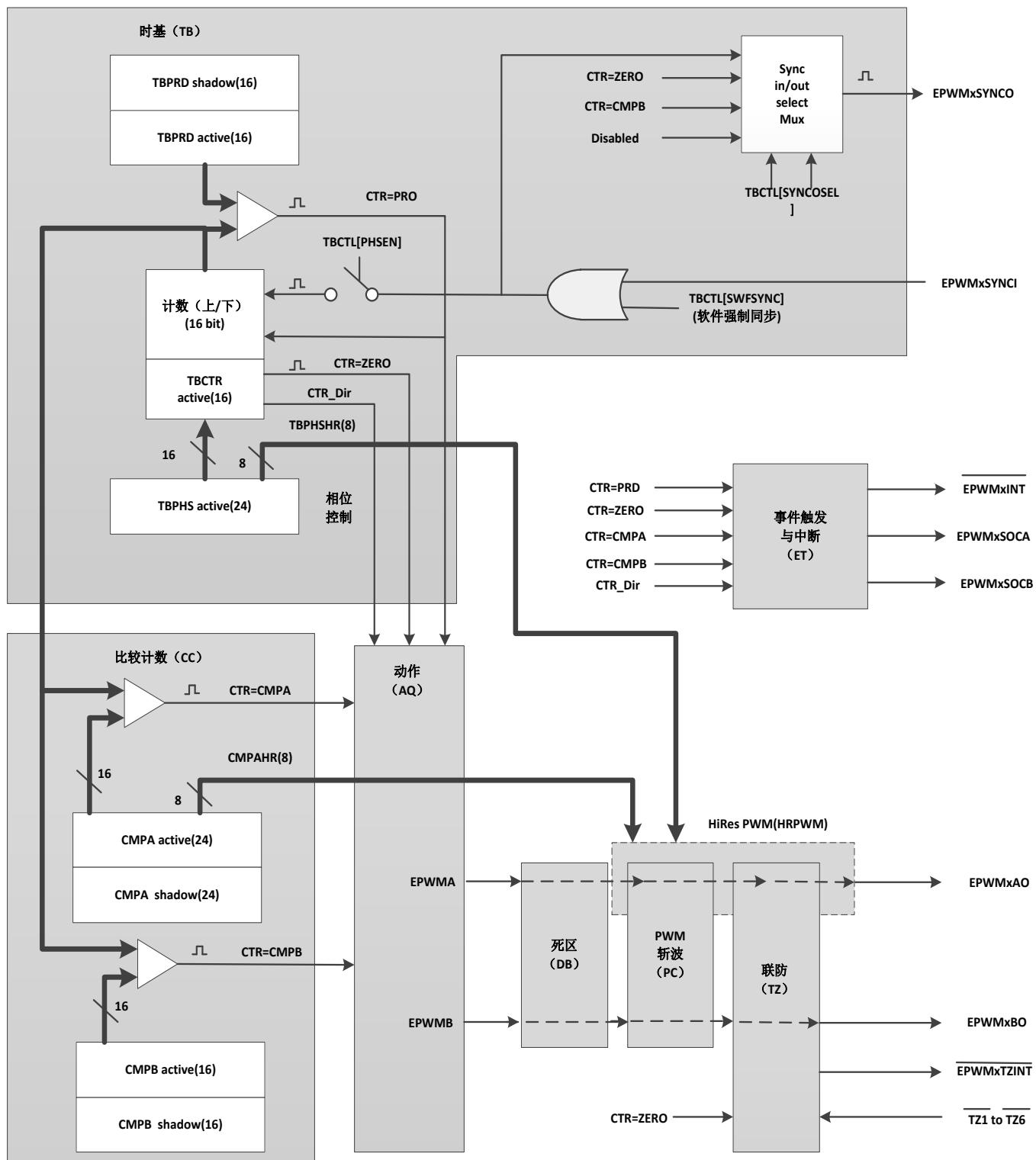


图 14. ePWM 子模块显示关键内部信号互连

高分辨率PWM (HRPWM)

HRPWM 模块提供 PWM 分辨率(时间粒度)，此分辨率好于使用传统数字 PWM 方法所能实现的分辨率。HRPWM 模块的关键点为：

- 扩展了传统数字 PWM 的时间分辨率能力。
- 通常在有效 PWM 分辨率下降到低于大约 9-10 位时使用。当用一个 100MHz 的CPU / 系统时钟时，PWM 频率大于大约 200kHz 时会发生这种情况。
- 这个功能可被用在占空比和相移控制方法中。
- 通过对 ePWM 模块的比较 A 和相位寄存器的扩展来控制更加精细的时间粒度控制或者边沿定位。
- HRPWM 功能，只在 ePWM 模块的 A 信号路径上提供(也就是说，在 EPWMxA 输出上提供)。EPWMxB 输出具有传统 PWM 功能。

增强型CAP模块

28335器件包括 6 个增强型捕获 (eCAP) 模块 (eCAP1, eCAP2, eCAP3, eCAP4, eCAP5, 和eCAP6)。图 15 显示了一个模块的功能方框图。

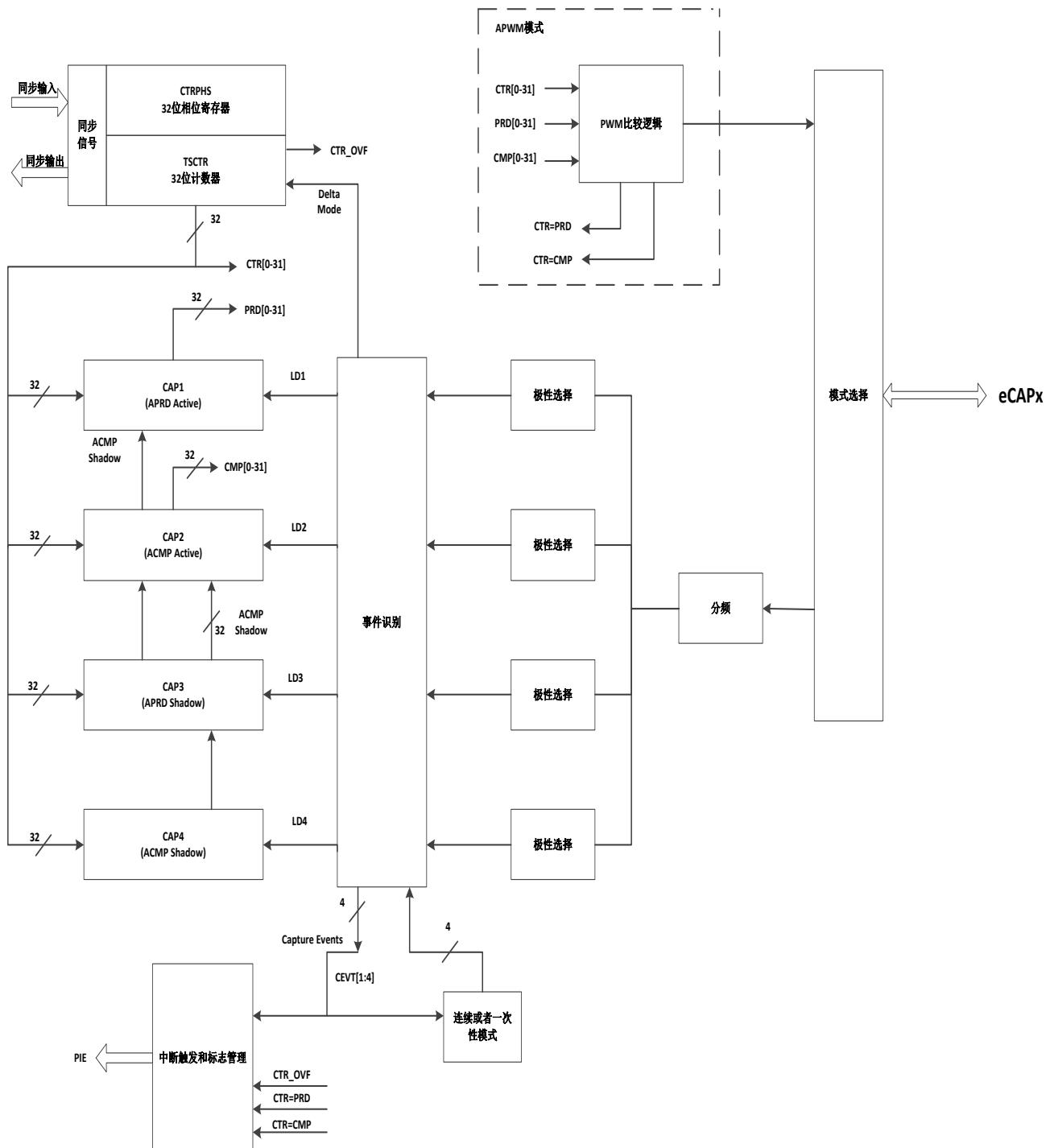


图 15. eCAP 功能方框图

eCAP 模块以 SYSCLKOUT 速率计时。

PCLKCR1 寄存器中的时钟使能位(ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK, ECAP6ENCLK)被单独用来关闭 eCAP 模块(针对低功耗运行)。复位后，ECAP1ENCLK, ECAP2ENCLK, ECAP3ENCLK, ECAP4ENCLK, ECAP5ENCLK 和 ECAP6ENCLK被设为低电平，表明外设时钟关闭。

表 20. eCAP 控制和状态寄存器

名称	eCAP1	eCAP2	eCAP3	eCAP4	eCAP5	eCAP6	大小 (x 16)	说明
TSCTR	0x6A00	0x6A20	0x6A40	0x6A60	0x6A80	0x6AA0	2	时间戳计数器
CTRPHS	0x6A02	0x6A22	0x6A42	0x6A62	0x6A82	0x6AA2	2	计数器相位偏移值寄存器
CAP1	0x6A04	0x6A24	0x6A44	0x6A64	0x6A84	0x6AA4	2	捕捉 1 寄存器
CAP2	0x6A06	0x6A26	0x6A46	0x6A66	0x6A86	0x6AA6	2	捕捉 2 寄存器
CAP3	0x6A08	0x6A28	0x6A48	0x6A68	0x6A88	0x6AA8	2	捕捉 3 寄存器
CAP4	0x6A0A	0x6A2A	0x6A4A	0x6A6A	0x8A6A	0x6AAA	2	捕捉 4 寄存器
保留	0x6A0C- 0x6A12	0x6A2C- 0x6A32	0x6A4C- 0x6A52	0x6A6C- 0x6A72	0x6A8C- 0x6A92	0x6AAC- 0x6AB2	8	保留
ECCTL1	0x6A14	0x6A34	0x6A54	0x6A74	0x6A94	0x6AB4	1	捕捉控制寄存器 1
ECCTL2	0x6A15	0x6A35	0x6A55	0x6A75	0x6A95	0x6AB5	1	捕捉控制寄存器 2
ECEINT	0x6A16	0x6A36	0x6A56	0x6A76	0x6A96	0x6AB6	1	捕捉中断使能寄存器
ECFLG	0x6A17	0x6A37	0x6A57	0x6A77	0x6A97	0x6AB7	1	捕捉中断标志寄存器
ECCLR	0x6A18	0x6A38	0x6A58	0x6A78	0x6A98	0x6AB8	1	捕捉中断清除寄存器
ECFRC	0x6A19	0x6A39	0x6A59	0x6A79	0x6A99	0x6AB9	1	捕捉中断强制寄存器
保留	0x6A1A- 0x6A1F	0x6A3A- 0x6A3F	0x6A5A- 0x6A5F	0x6A7A- 0x6A7F	0x6A9A- 0x6A9F	0x6ABA- 0x6ABF	6	保留

增强型QEP模块

该器件包括高达2个增强型正交编码器(eQEP) 模块(eQEP1, eQEP2)。图16显示了 eQEP 模块的方框图。

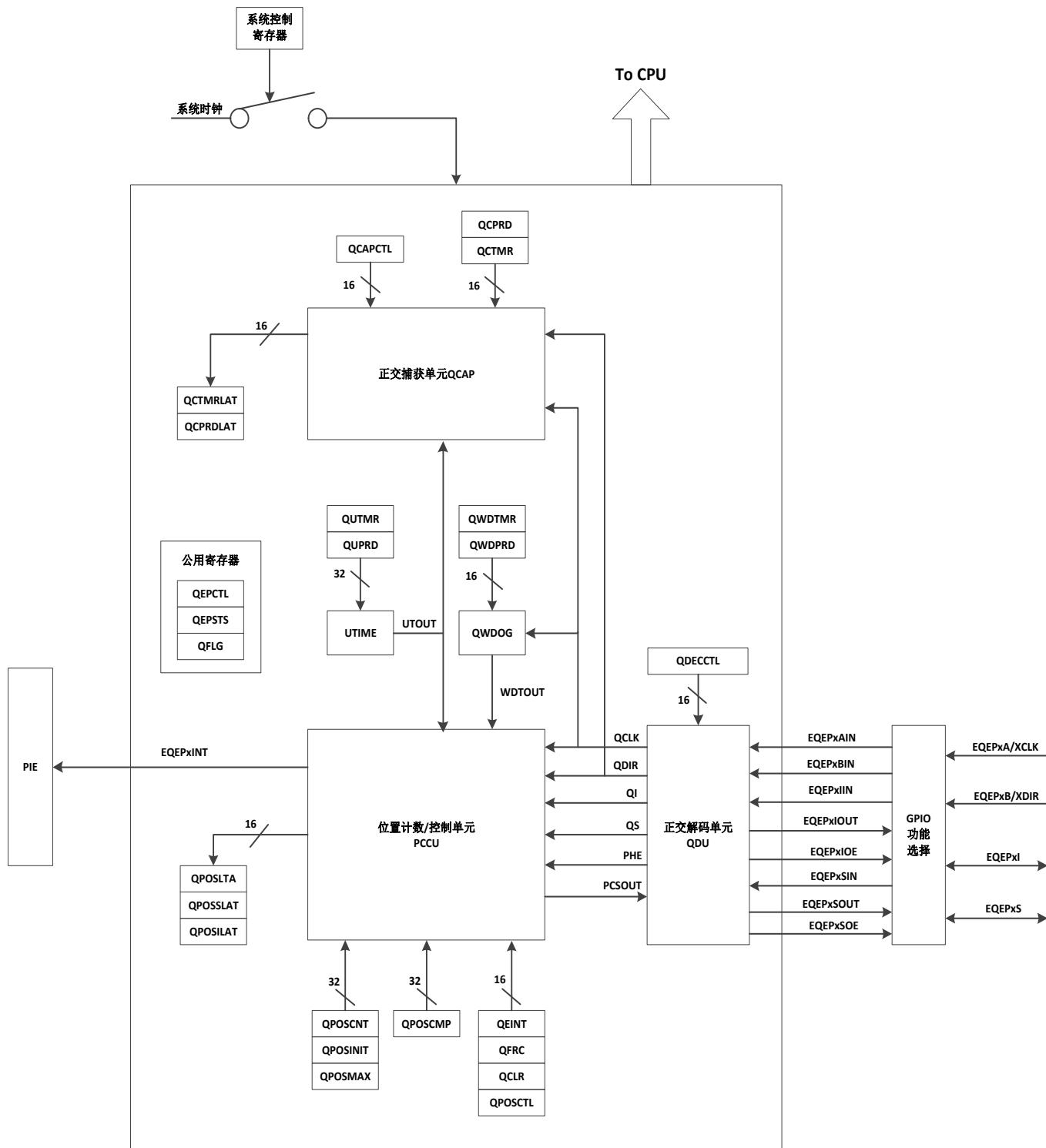


图 16. eQEP 功能方框图

表21提供了eQEP寄存器的汇总。

表 21. eQEP 控制和状态寄存器

名称	eQEP1 地址	eQEP2 地址	eQEP1 大小 (x16)/ #SHADOW	寄存器说明
QPOSCNT	0x6B00	0x6B40	2/0	eQEP 位置计数器
QPOSINIT	0x6B02	0x6B42	2/0	eQEP 初始化位置计数
QPOSMAX	0x6B04	0x6B44	2/0	eQEP 最大位置计数
QPOSCMP	0x6B06	0x6B46	2/1	eQEP 位置比较
QPOSILAT	0x6B08	0x6B48	2/0	eQEP 索引位置锁存
QPOSSLAT	0x6B0A	0x6B4A	2/0	eQEP 选通脉冲位置锁存
QPOSLAT	0x6B0C	0x6B4C	2/0	eQEP 位置锁存
QUTMR	0x6B0E	0x6B4E	2/0	eQEP 单位定时器
QUPRD	0x6B10	0x6B50	2/0	eQEP 单位周期寄存器
QWDTMR	0x6B12	0x6B52	1/0	eQEP 安全装置定时器
QWDPRD	0x6B13	0x6B53	1/0	eQEP 安全装置周期寄存器
QDECCTL	0x6B14	0x6B54	1/0	eQEP 解码器控制寄存器
QEPCCTL	0x6B15	0x6B55	1/0	eQEP 控制寄存器
QCAPCTL	0x6B16	0x6B56	1/0	eQEP 捕捉控制寄存器
QPOSCTL	0x6B17	0x6B57	1/0	eQEP 位置比较控制寄存器
QEINT	0x6B18	0x6B58	1/0	eQEP 中断使能寄存器
QFLG	0x6B19	0x6B59	1/0	eQEP 中断标志寄存器
QCLR	0x6B1A	0x6B5A	1/0	eQEP 中断清除寄存器
QFRC	0x6B1B	0x6B5B	1/0	eQEP 中断强制寄存器
QEPSTS	0x6B1C	0x6B5C	1/0	eQEP 状态寄存器
QCTMR	0x6B1D	0x6B5D	1/0	eQEP 捕捉定时器
QCPRD	0x6B1E	0x6B5E	1/0	eQEP 捕捉周期寄存器
QCTMRLAT	0x6B1F	0x6B5F	1/0	eQEP 捕捉定时器锁存
QCPRDLAT	0x6B20	0x6B60	1/0	eQEP 捕捉周期锁存
保留	0x6B21- 0x6B3F	0x6B61- 0x6B7F	31/0	

模数转换器(ADC模块)

图17显示了一个 ADC 模块的简化功能方框图 ADC 模块由一个带有内置采样保持 (S/H) 电
路的 12 位 ADC组成。ADC 模块的功能包括：

- 具有内置 S/H 的 12 位 ADC 内核。
- 模拟输入：0.0V 至 3.0V(高于 3.0V 的电压产生满刻度转换结果)。
- 快速转换率：在25MHz ADC 时钟12.5MSPS上时高达80ns。
- 16 个专用 ADC 通道。每次采样/保持都有复用的 8 通道。
- 自动定序功能在单次会话中可提供多达 16 次“自动转换”。 可将每次转换编程为选择 16 个输入信道中的任何一个。
- 序列发生器可运行为 2 个独立的 8 态序列发生器，或作为 1 个较大的 16 态序列发生器 (即 2 个级联的8态序列发生器)。
- 用于存储转换值的 16 个结果寄存器(可分别寻址)

- 输入模拟电压的数值源自：

$$\text{Digital Value} = 0$$

When input \leq 0V

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3}$$

When 0V < input < 3V

$$\text{Digital Value} = 4095$$

When input \geq 3V

- 作为转换开始 (SOC) 序列源的多个触发器

- S/W - 软件立即启动

- ePWMM 转换开始

- XINT2 ADC 转换开始

- 灵活的中断控制允许每个序列结束 (EOS) 或每个其它 EOS 上的中断请求。

- 序列发生器可运行于“启/停”模式，从而实现多个“时序触发器”同步转换。

- SOCA 和 SOCB 触发器可独立运行在双序列发生器模式中。
- 采样保持 (S/H) 采集时间窗口具有独立的预分频控制。

28335 器件中的 ADC 模块已经被增强以便为 ePWM 外设提供灵活接口。ADC 接口被建立在一个快速，12 位 ADC 模块上，此模块在25MHzADC 时钟上的快速转换率高达80ns。ADC 模块有 16 个通道，可配置为两个独立的 8 通道模块。可将 2 个独立的 8 信道模块级联成 1 个 16信道模块。尽管有多个输入通道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。图17显示了 ADC 模块的方框图。

2 个 8 通道模块可自动对一系列转换定序，每个模块可以通过模拟 MUX 选择其中一个可用 8 信道。在级联模式中，自动序列发生器将作为一个单个 16 通道序列发生器使用。在每个序列发生器上，一旦转换完成，所选的通道值将存储在各自的 RESULT 寄存器中。系统可使用自动定序功能多次转换同一信道，以便用户执行过采样算法。这种过采样算法可提供比传统的单一采样转换结果更高的分辨率。

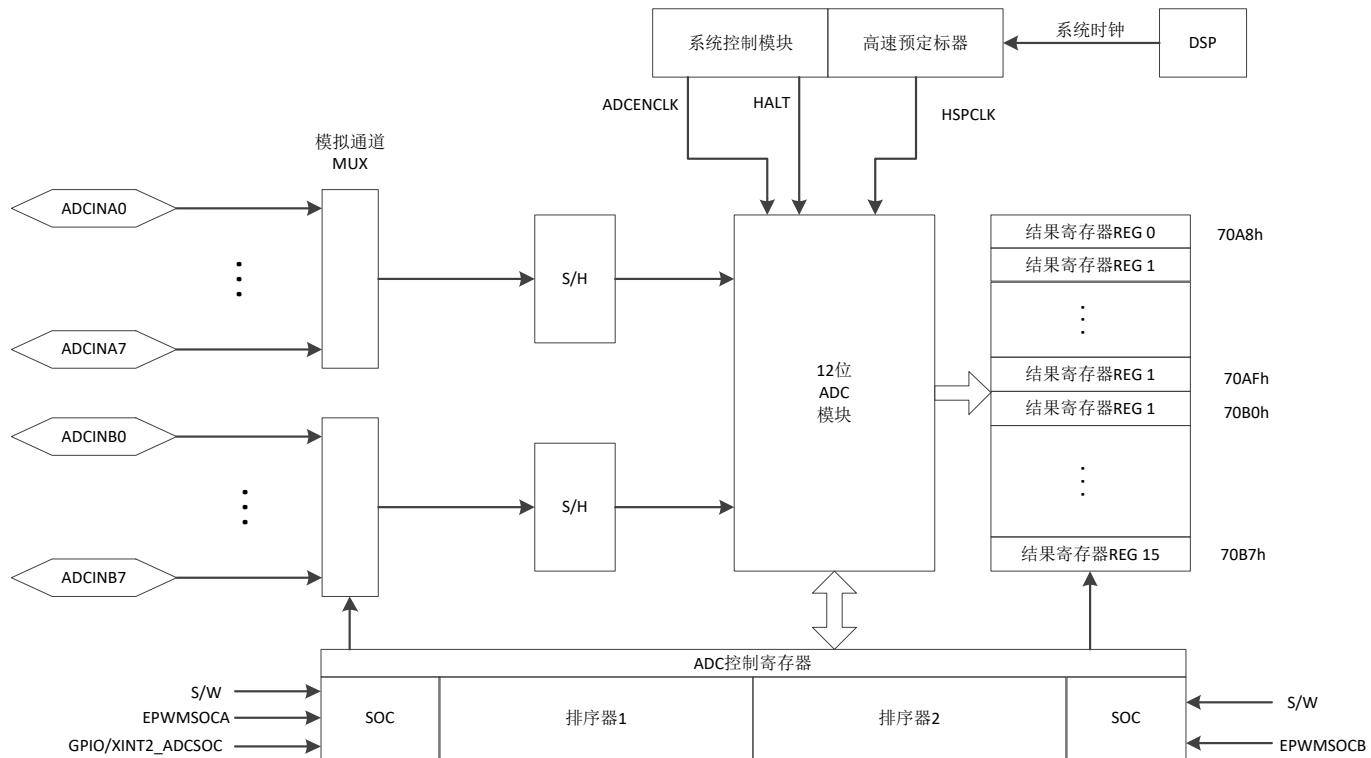
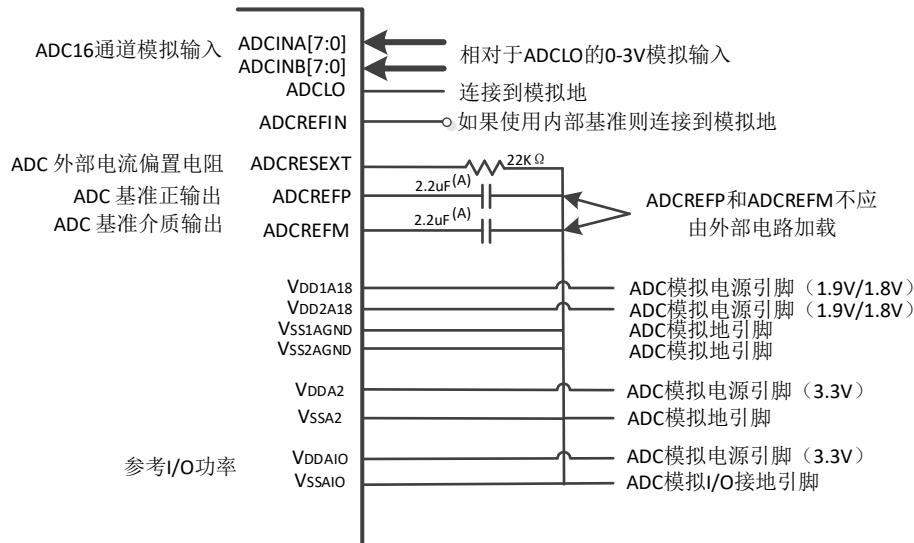


图 17. ADC 模块的方框图

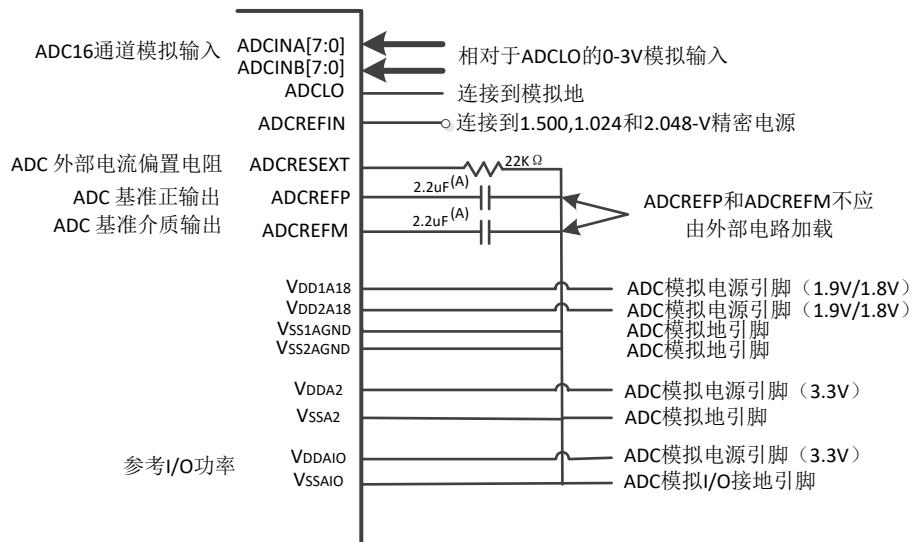
要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产

生的开关噪声。而且，适当的隔离技术必须被用来将数字电源从ADC 模块电源引脚 (VDD1A18, VDD2A18, VDDA2, VDDAIO) 上隔离。图 18显示针对器件的 ADC 引脚。



- A. TAIYO YUDEN LMK212BJ225MG-T 或等效器件.
- B. 建议在所有电源引脚上使用外部去耦合电容器.
- C. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入.

图 18. 带有内部基准的 ADC 引脚连接



- A. TAIYO YUDEN LMK212BJ225MG-T 或者等效器件.
- B. 建议在所有电源引脚上使用外部去耦合电容器.
- C. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低 ADC 性能.
- D. 根据这个引脚上的电压，通过改变 ADC 基准选择寄存器中的位 15:14 可启用 ADCREFIN 上的外部电压。总体增益精度将由这个电压源的精度确定.

图 19. 带有外部基准的 ADC 引脚连接

多通道缓冲串行端口 (McBSP) 模块

McBSP 模块有以下特性:

- 全双工通信
- 允许连续数据流的双缓冲数据寄存器
- 用于接收和发送的独立成帧和时钟
- 外部移位时钟生成或者一个内部可设定频率移位时钟
- 包括8, 12, 16, 20, 24, 或者 32 位在内的宽数据尺寸选择
- 以 LSB 或者 MSB 开头的 8 位数据传输
- 用于帧同步和数据时钟的可编程极性
- 高度可编程内部时钟和帧生成
- 到工业标准 CODEG、模拟接口芯片 (AIC)、和其它串行连接的 A/D 和 D/A 器件的直接接口
- 与 SPI 兼容器件一起工作
- McBSP 上支持下列应用接口:
 - T1/E1 成帧器
 - 符合 IOM-2 的器件
 - AC97 - 兼容器件(提供所需的多相位帧同步功能)
 - IIS - 兼容器件
 - 串行外设接口 (SPI)
- McBSP 时钟速率,

$$CLKG = \frac{CLKSRG}{1 + CLKGDV}$$

在这里, CLKSRG 时钟源可以是 LSPCLK, CLKX, 或者 CLKR。串行端口性能受到 I/O 缓冲器开关速度的影响。 内部预分频器必须被调整, 这样, 外设速度将低于 I/O 缓冲器速度限制。

图 20 显示了 McBSP 模块的方框图。

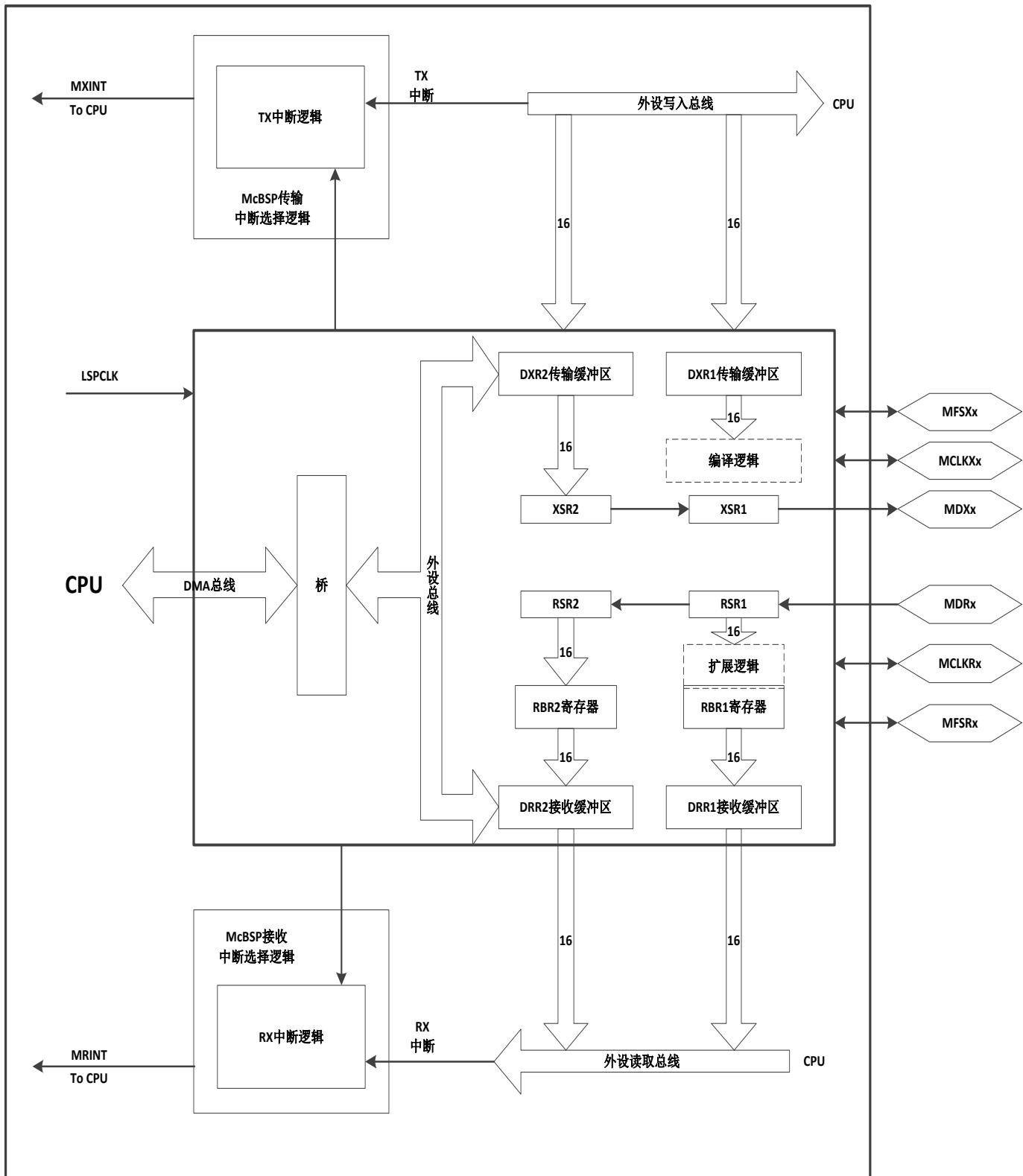


图 20. McBSP 模块

表22提供了 McBSP 寄存器的汇总。

表 22. McBSP 寄存器汇总

名称	McBSP-A 地址	McBSP-B 地址	类型	复位值	说明
数据寄存器, 接收、发送					
DRR2	0x5000	0x5040	R	0x0000	McBSP 数据接收寄存器 2
DRR1	0x5001	0x5041	R	0x0000	McBSP 数据接收寄存器 1
DXR2	0x5002	0x5042	W	0x0000	McBSP 数据发送寄存器 2
DXR1	0x5003	0x5043	W	0x0000	McBSP 数据发送寄存器 1
McBSP 控制寄存器					
SPCR2	0x5004	0x5044	读/写	0x0000	McBSP 串行端口控制寄存器 2
SPCR1	0x5005	0x5045	读/写	0x0000	McBSP 串行端口控制寄存器 1
RCR2	0x5006	0x5046	读/写	0x0000	McBSP 接收控制寄存器 2
RCR1	0x5007	0x5047	读/写	0x0000	McBSP 接收控制寄存器 1
XCR2	0x5008	0x5048	读/写	0x0000	McBSP 发送控制寄存器 2
XCR1	0x5009	0x5049	读/写	0x0000	McBSP 发送控制寄存器 1
SRGR2	0x500A	0x504A	读/写	0x0000	McBSP 采样率发生器寄存器 2
SRGR1	0x500B	0x504B	读/写	0x0000	McBSP 采样率发生器寄存器 1
多通道控制寄存器					
MCR2	0x500C	0x504C	读/写	0x0000	McBSP 多通道寄存器 2
MCR1	0x500D	0x504D	读/写	0x0000	McBSP 多通道寄存器 1
RCERA	0x500E	0x504E	读/写	0x0000	McBSP 接收通道使能寄存器分区 A
RCERB	0x500F	0x504F	读/写	0x0000	McBSP 接收通道使能寄存器分区 B
XCERA	0x5010	0x5050	读/写	0x0000	McBSP 发送通道使能寄存器分区 A
XCERB	0x5011	0x5051	读/写	0x0000	McBSP 发送通道使能寄存器分区 B
PCR	0x5012	0x5052	读/写	0x0000	McBSP 引脚控制寄存器
RCERC	0x5013	0x5053	读/写	0x0000	McBSP 接收通道使能寄存器分区 C
RCERD	0x5014	0x5054	读/写	0x0000	McBSP 接收通道使能寄存器分区 D
XCERC	0x5015	0x5055	读/写	0x0000	McBSP 发送通道使能寄存器分区 C
XCERD	0x5016	0x5056	读/写	0x0000	McBSP 发送通道使能寄存器分区 D
RCERE	0x5017	0x5057	读/写	0x0000	McBSP 接收通道使能寄存器分区 E
RCERF	0x5018	0x5058	读/写	0x0000	McBSP 接收通道使能寄存器分区 F
XCERE	0x5019	0x5059	读/写	0x0000	McBSP 发送通道使能寄存器分区 E

XCERF	0x501A	0x505A	读/写	0x0000	McBSP 发送通道使能寄存器分区 F
RCERG	0x501B	0x505B	读/写	0x0000	McBSP 接收通道使能寄存器分区 G
RCERH	0x501C	0x505C	读/写	0x0000	McBSP 接收通道使能寄存器分区 H
XCERG	0x501D	0x505D	读/写	0x0000	McBSP 发送通道使能寄存器分区 G
XCERH	0x501E	0x505E	读/写	0x0000	McBSP 发送通道使能寄存器分区 H
MFFINT	0x5023	0x5063	读/写	0x0000	McBSP 中断使能寄存器

增强型控制器局域网 (eCAN) 模块 (eCAN-A 和 eCAN-B)

CAN 模块有下列特性:

- 与 CAN 协议, 版本 2.0B 完全兼容
- 支持高达 1Mbps 的数据速率
- 32 个邮箱, 每一个邮箱有下列属性:
 - 可配置为接收或者发送
 - 可使用标准或者扩展标识符进行配置
 - 有一个可编辑接收屏蔽
 - 支持数据和远程帧
 - 由 0 至 8 字节数据组成
 - 在接收和发送消息上使用一个 32 位时间戳
 - 防止接收新消息
 - 保持发送消息的动态可编辑优先级
 - 采用一个具有两个中断级别的可编辑中断机制
 - 在发送或者接收超时采用一个可编辑报警
- 低功耗模式
- 总线活动上的可编辑唤醒
- 对远程请求消息的自动答复

- 丢失仲裁或者错误情况下的帧自动重传
- 由一个特定消息同步的 32 位本地网络时间计数器(与邮箱 6 协同通信)
- 自测模式
 - 运行在接收其自身消息的回路模式。提供一个“假”确认，从而无需另外节点提供确认位。

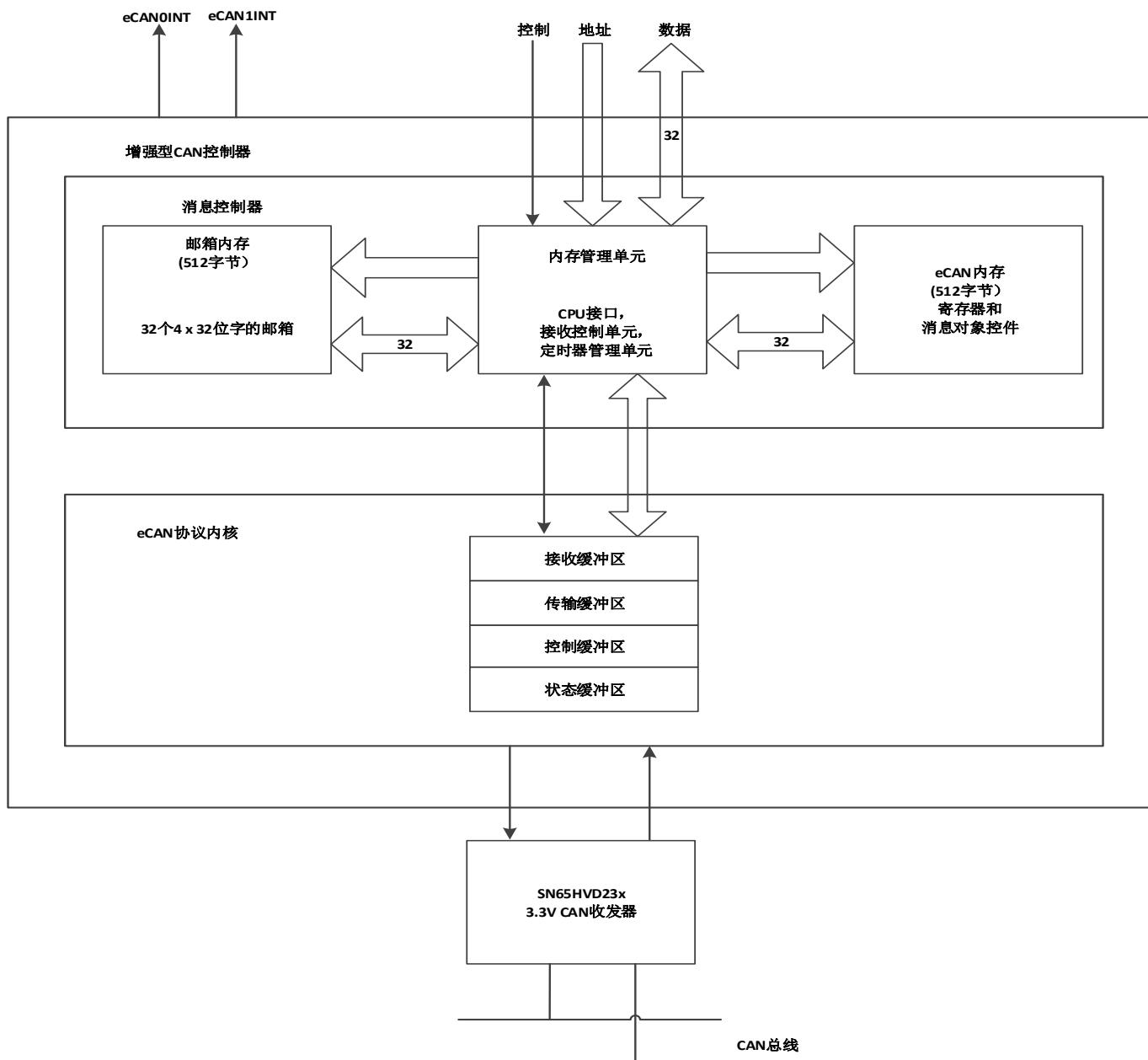


图 21. eCAN 方框图和接口电路图

表 23. 3.3V eCAN 收发器

器件型号	电源电压	低功耗模式	斜率控制	VREF	其它	TA
SN65HVD230	3.3V	待机	可调节	支持	-	-40°C 至 85°C
SN65HVD230Q	3.3V	待机	可调节	支持	-	-40°C 至 125°C
SN65HVD231	3.3V	睡眠	可调节	支持	-	-40°C 至 85°C
SN65HVD231Q	3.3V	睡眠	可调节	支持	-	-40°C 至 125°C
SN65HVD232	3.3V	无	无	无	-	-40°C 至 85°C
SN65HVD232Q	3.3V	无	无	无	-	-40°C 至 125°C
SN65HVD233	3.3V	待机	可调节	无	诊断回路	-40°C 至 125°C
SN65HVD234	3.3V	待机和休眠	可调节	无	-	-40°C 至 125°C
SN65HVD235	3.3V	待机	可调节	无	自动波特率回路	-40°C 至 125°C

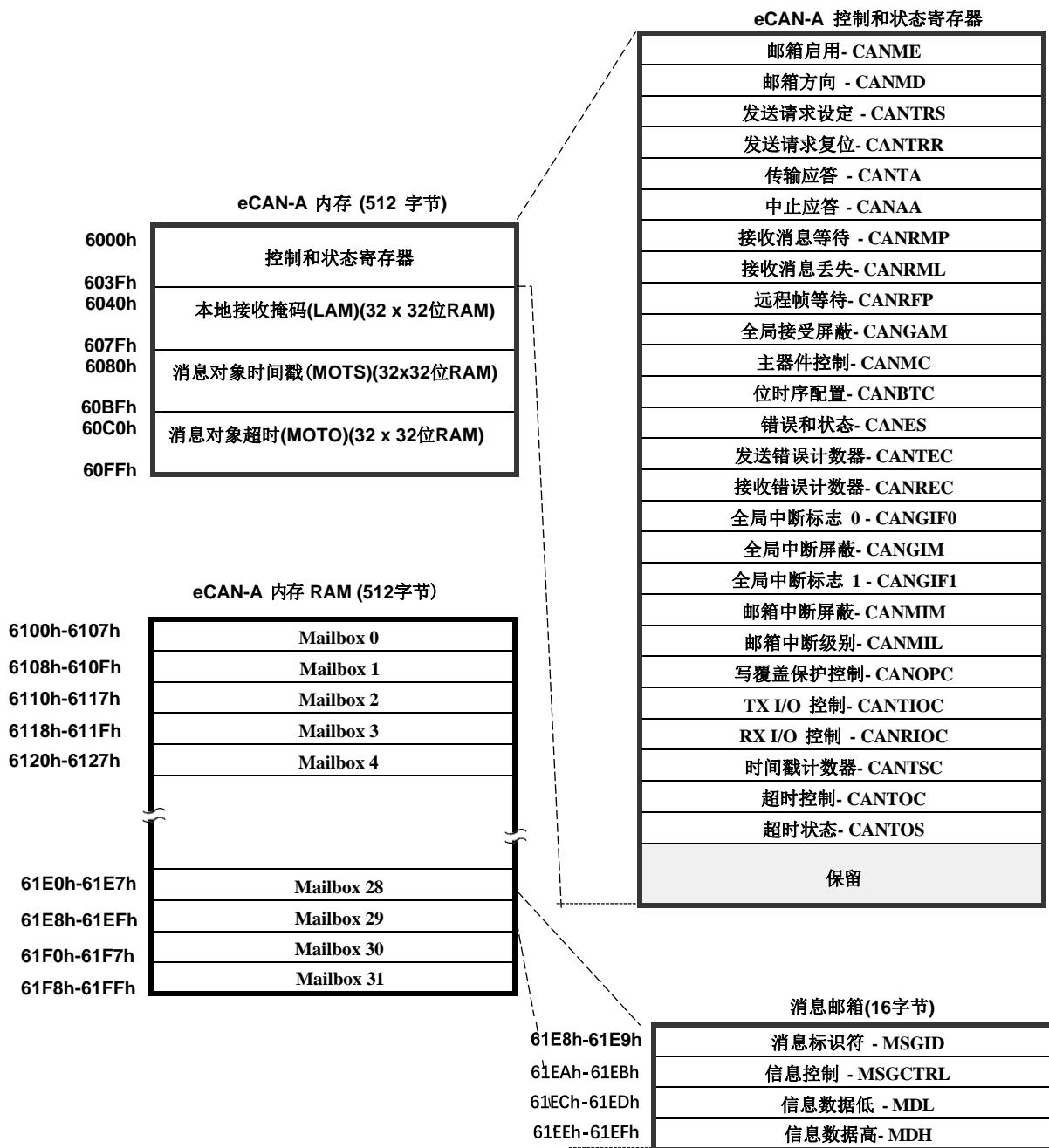


图 22. eCAN-A 内存映射

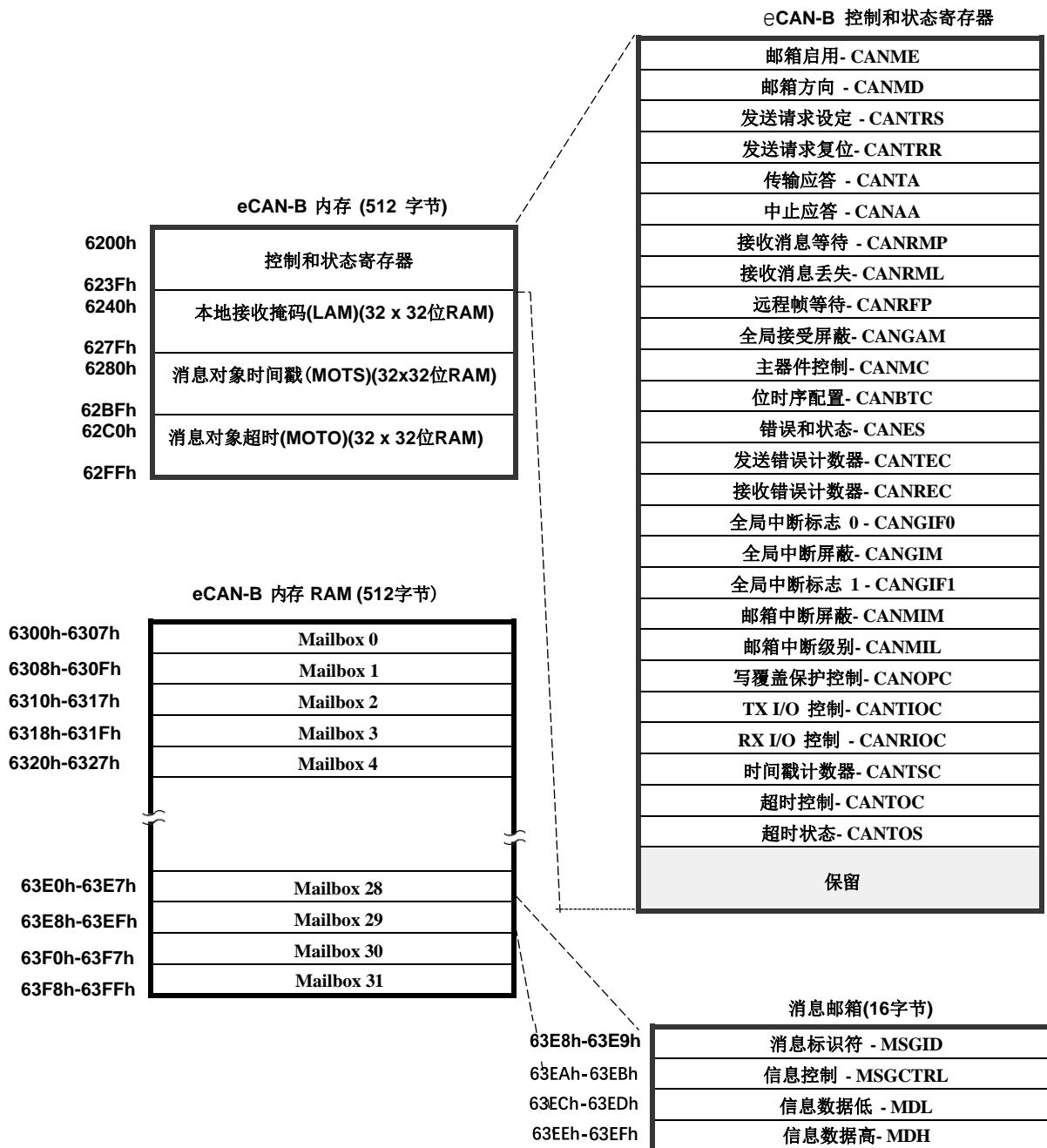


图 23. eCAN-B 内存映射

表24中列出的 CAN 寄存器由 CPU 用于配置和控制 CAN 控制器和消息目标。eCAN 控制寄存器只支持 32位读取/写入操作。邮箱 RAM 可进行 16 位或者 32 位访问。32 位访问与一个偶边界对齐。

表 24. CAN 寄存器映射⁽¹⁾

寄存器名称	eCAN-A 地址	eCAN-B 地址	大小 (x32)	说明
CANME	0x6000	0x6200	1	邮箱启用
CANMD	0x6002	0x6202	1	邮箱方向
CANTRS	0x6004	0x6204	1	发送请求设定
CANTRR	0x6006	0x6206	1	发送请求复位
CANTA	0x6008	0x6208	1	传输确认
CANAA	0x600A	0x620A	1	中止确认
CANRMP	0x600C	0x620C	1	接收消息等待
CANRML	0x600E	0x620E	1	接收消息丢失
CANRFP	0x6010	0x6210	1	远程帧等待
CANGAM	0x6012	0x6212	1	全局接受屏蔽
CANMC	0x6014	0x6214	1	主器件控制
CANBTC	0x6016	0x6216	1	位时序配置
CANES	0x6018	0x6218	1	错误和状态
CANTEC	0x601A	0x621A	1	发送错误计数器
CANREC	0x601C	0x621C	1	接收错误计数器
CANGIF0	0x601E	0x621E	1	全局中断标志 0
CANGIM	0x6020	0x6220	1	全局中断屏蔽
CANGIF1	0x6022	0x6222	1	全局中断标志 1
CANMIM	0x6024	0x6224	1	邮箱中断屏蔽
CANMIL	0x6026	0x6226	1	邮箱中断级别
CANOPC	0x6028	0x6228	1	写覆盖保护控制
CANTIOC	0x602A	0x622A	1	TX I/O 控制
CANRIOC	0x602C	0x622C	1	RX I/O 控制
CANTSC	0x602E	0x622E	1	时间戳计数器(在 SCC 模式中保留)
CANTOC	0x6030	0x6230	1	超时控制(在 SCC 模式中保留)
CANTOS	0x6032	0x6232	1	超时状态(在 SCC 模式中保留)

(1) 这些寄存器被映射至外设帧 1.

串行通信接口 (SCI) 模块 (SCI-A, SCI-B, SCI-C)

该器件包括三个串行通信接口(SCI)模块。SCI 模块支持 CPU 与其它异步外设之间的使用标准非归零码 (NRZ) 格式的数字通信。SCI 接收器和发射器是双缓冲的，并且它们中的每一个有其自身独立的使能和中断位。两个器件都可独立或者同时地运行在全双工模式。为了确保数据完整性，SCI 在中断检测、奇偶校验、超载、和组帧错误方面对接收到的数据进行检查。通过一个 16 位波特率选择寄存器，可将比特率设定为超过 65000 个不同的速度。

每个 SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD: SCI 发送-输出引脚
 - SCIRXD: SCI 接收-输入引脚

注释：两个引脚如果不被用于 SCI 的话，可被用作 GPIO。

- 波特率被设定为 64K 个不同速率：

$$\text{Baudrate} = \frac{\text{LSPCLK}}{(\text{BRR}+1)*8} \quad \text{When } \text{BRR} \neq 0$$

$$\text{Baudrate} = \frac{\text{LSPCLK}}{16} \quad \text{When } \text{BRR}=0$$

- 数据-字格式
 - 一个开始位
 - 数据-字长度可被设定为 1 至 8 位
 - 可选偶/奇/无奇偶校验位
 - 一个或者两个停止位
- 四个错误检测标志：奇偶、超载、组帧、和中断检测
- 两个唤醒多处理器模式：空闲线路和地址位
- 半双工或者全双工运行
- 双缓冲接收和发送功能

- 可通过带有状态标志的中断驱动或者轮询算法来完成发射器和接收器操作。
 - 发射器: TXRDY 标志(发射器缓冲寄存器已经准备好接收另外字符)和 TX EMPTY (TX 空)标志(发射器移位寄存器已空)
 - 接收器: RXRDY 标志(接收器缓冲寄存器已经准备好接收另外的字符), BRKDT 标志(发生了中断条件), 和 RX ERROR 错误标志(监控四个中断条件)
- 用于发射器和接收器中断的独立使能位(除了 BRKDT)
- NRZ(非归零码)格式

增强型特性:

- 自动波特率检测硬件逻辑电路
- 16 级发送/接收 FIFO

SCI 端口运行由表25, 表26 和表27中列出的寄存器配置和控制。

表 25. SCI-A 寄存器⁽¹⁾

名称	地址	大小 (x 16)	说明
SCICCRA	0x7050	1	SCI-A 通信控制寄存器
SCICTL1A	0x7051	1	SCI-A 控制寄存器 1
SCIHBAUDA	0x7052	1	SCI-A 波特率寄存器, 高位
SCILBAUDA	0x7053	1	SCI-A 波特率寄存器, 低位
SCICTL2A	0x7054	1	SCI-A 控制寄存器 2
SCIRXSTA	0x7055	1	SCI-A 接收状态寄存器
SCIRXEMUA	0x7056	1	SCI-A 接收仿真数据缓冲寄存器
SCIRXBUFA	0x7057	1	SCI-A 接收数据缓冲寄存器
SCITXBUFA	0x7059	1	SCI-A 发送数据缓冲寄存器
SCIFFTXA ⁽²⁾	0x705A	1	SCI-A FIFO 发送寄存器
SCIFFRXA ⁽²⁾	0x705B	1	SCI-A FIFO 接收寄存器
SCIFFCTA ⁽²⁾	0x705C	1	SCI-A FIFO 控制寄存器
SCIPRIA	0x705F	1	SCI-A 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 26. SCI-B 寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (x 16)	说明
SCICCRB	0x7750	1	SCI-B 通信控制寄存器
SCICTL1B	0x7751	1	SCI-B 控制寄存器 1
SCIHBAUDB	0x7752	1	SCI-B 波特率寄存器, 高位
SCILBAUDB	0x7753	1	SCI-B 波特率寄存器, 低位
SCICTL2B	0x7754	1	SCI-B 控制寄存器 2
SCIRXSTB	0x7755	1	SCI-B 接收状态寄存器
SCIRXEMUB	0x7756	1	SCI-B 接收仿真数据缓冲寄存器
SCIRXBUFB	0x7757	1	SCI-B 接收数据缓冲寄存器
SCITXBUFB	0x7759	1	SCI-B 发送数据缓冲寄存器
SCIFFTXB ⁽²⁾	0x775A	1	SCI-B FIFO 发送寄存器
SCIFFRXB ⁽²⁾	0x775B	1	SCI-B FIFO 接收寄存器
SCIFFCTB ⁽²⁾	0x775C	1	SCI-B FIFO 控制寄存器
SCIPRIB	0x775F	1	SCI-B 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

表 27. SCI-C 寄存器⁽¹⁾⁽²⁾

名称	地址	大小 (x 16)	说明
SCICCRC	0x7770	1	SCI-C 通信控制寄存器
SCICCTL1C	0x7771	1	SCI-C 控制寄存器 1
SCIHBaudC	0x7772	1	SCI-B 波特率寄存器, 高位
SCIHLBaudC	0x7773	1	SCI-C 波特率寄存器, 低位
SCICCTL2C	0x7774	1	SCI-C 控制寄存器 2
SCIRXSTC	0x7775	1	SCI-C 接收状态寄存器
SCIRXEMUC	0x7776	1	SCI-C 接收仿真数据缓冲寄存器
SCIRXBUFC	0x7777	1	SCI-C 接收数据缓冲寄存器
SCITXBUFC	0x7779	1	SCI-C 传输数据缓冲寄存器
SCIFFTXC ⁽²⁾	0x777A	1	SPI-C FIFO 发送寄存器
SCIFFRXC ⁽²⁾	0x777B	1	SPI-C FIFO 接收寄存器
SCIFFCTC ⁽²⁾	0x777C	1	SPI-C FIFO 控制寄存器
SCIPRC	0x777F	1	SPI-C 优先级控制寄存器

(1) 这个表中的寄存器被映射到外设帧 2 空间。这空间只允许 16 位访问。32 位访问会产生未定义的后果。

(2) 这些寄存器是用于 FIFO 模式的全新寄存器。

图 24 显示了 SCI 模块方框图。

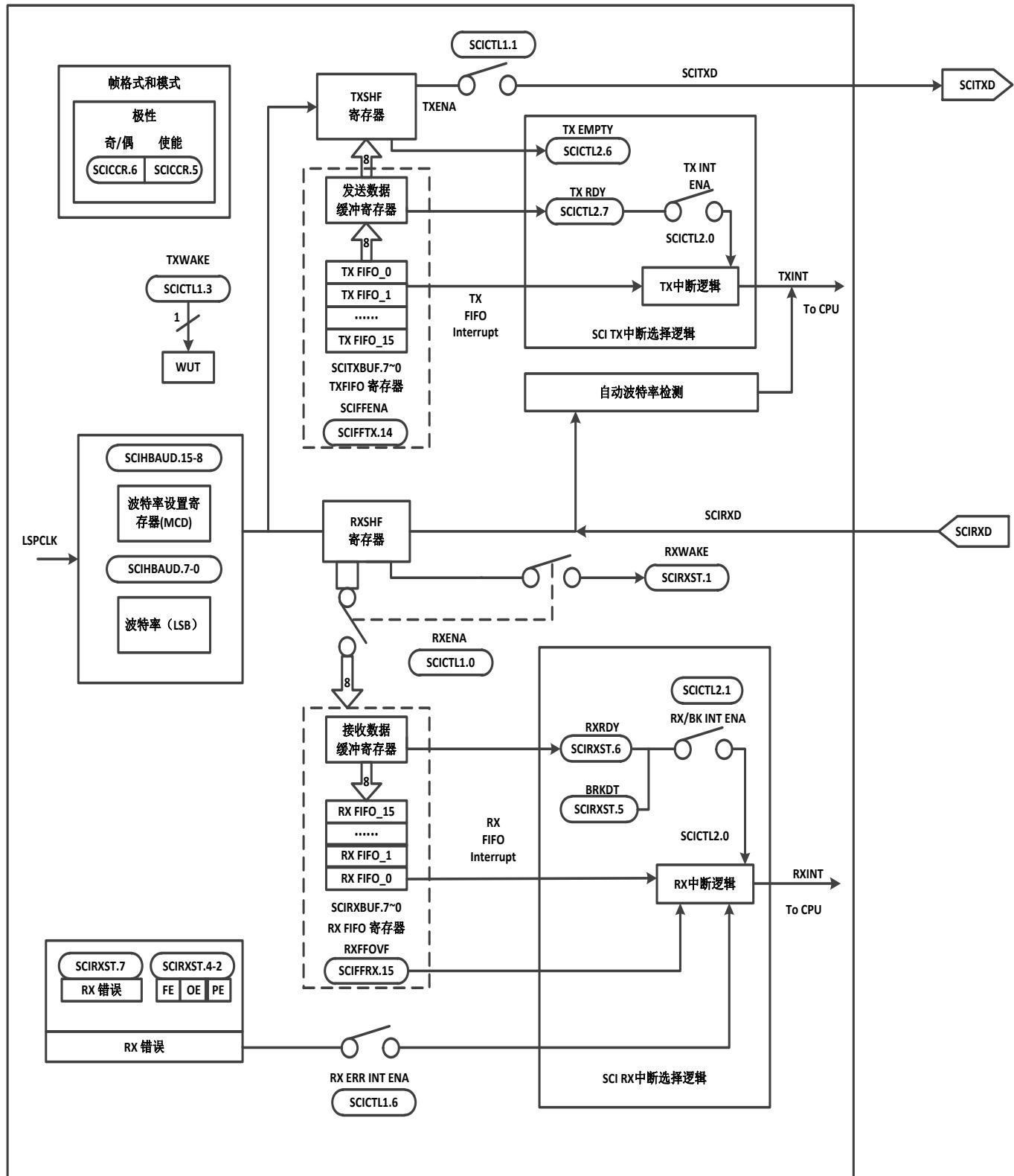


图 24. 串行通信接口 (SCI) 模块方框图

串行外设接口 (SPI) 模块 (SPI-A)

此器件包括四引脚串行外设接口 (SPI) 模块。一个 SPI 模块 (SPI-A) 可用。SPI 是一个高速、同步串行 I/O 端口，此端口可在设定的位传输速率上将一个设定长度(1 至 16 位)的串行比特流移入和移出器件。SPI 用于 DSC 控制器和外部外设或者其它处理器之间的通信。典型应用包括外部 I/O 或者从诸如移位寄存器、显示驱动器、和 ADC 等器件的外设扩展。多器件通信由 SPI 的主控/受控操作支持。

SPI 模块的特性包括：

- 四个外部引脚：
 - SPISOMI: SPI 从器件输出/主器件输入引脚
 - SPISIMO: SPI 从器件输入/主器件输出引脚
 - SPISTE: SPI 从器件发送使能引脚
 - SPICLK: SPI 串行时钟引脚

请注意：如果 SPI 模块未被使用，所有四个引脚可被用作 GPIO。

- 两个运行模式：主控和受控

波特率：125 个不同的可编辑速率。

$$\text{Baudrate} = \frac{\text{LSPCLK}}{(\text{SPIBRR}+1)} \quad \text{When SPIBRR}=3 \text{ to } 127$$

$$\text{Baudrate} = \frac{\text{LSPCLK}}{4} \quad \text{When SPIBRR}=0, 1, 2$$

- 数据字长度：一到十六数据位

- 包括四个计时机制(由时钟极性和时钟相位的位控制)：

- 无相位延迟的下降沿：SPICLK 高电平有效。 SPI 在 SPICLK 信号的下降沿上传送数据，而在 SPICLK 信号的上升沿上接收数据。
- 有相位延迟的下降沿：SPICLK 高电平有效。 SPI 在 SPICLK 信号下降沿的一半周期之前发送数据，而在 SPICLK 信号的下降沿上接收数据。
- 无相位延迟的上升沿：SPICLK 低电平无效。 SPI 在 SPICLK 信号的上升沿上发送

数据，而在 SPICLK 信号的下降沿上接收数据。

- 有相位延迟的上升沿： SPICLK 低电平无效。 SPI 在 SPICLK 信号下降沿之前的半个周期发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作(发送功能可在软件中被禁用)
- 通过中断驱动或者轮询算法来完成发射器和接收器运行。
- 9 个 SPI 模块控制寄存器：位于控制寄存器内，帧开始地址 7040h。

增强型特性：

- 16 级发送/接收 FIFO
- 经延迟的发射控制

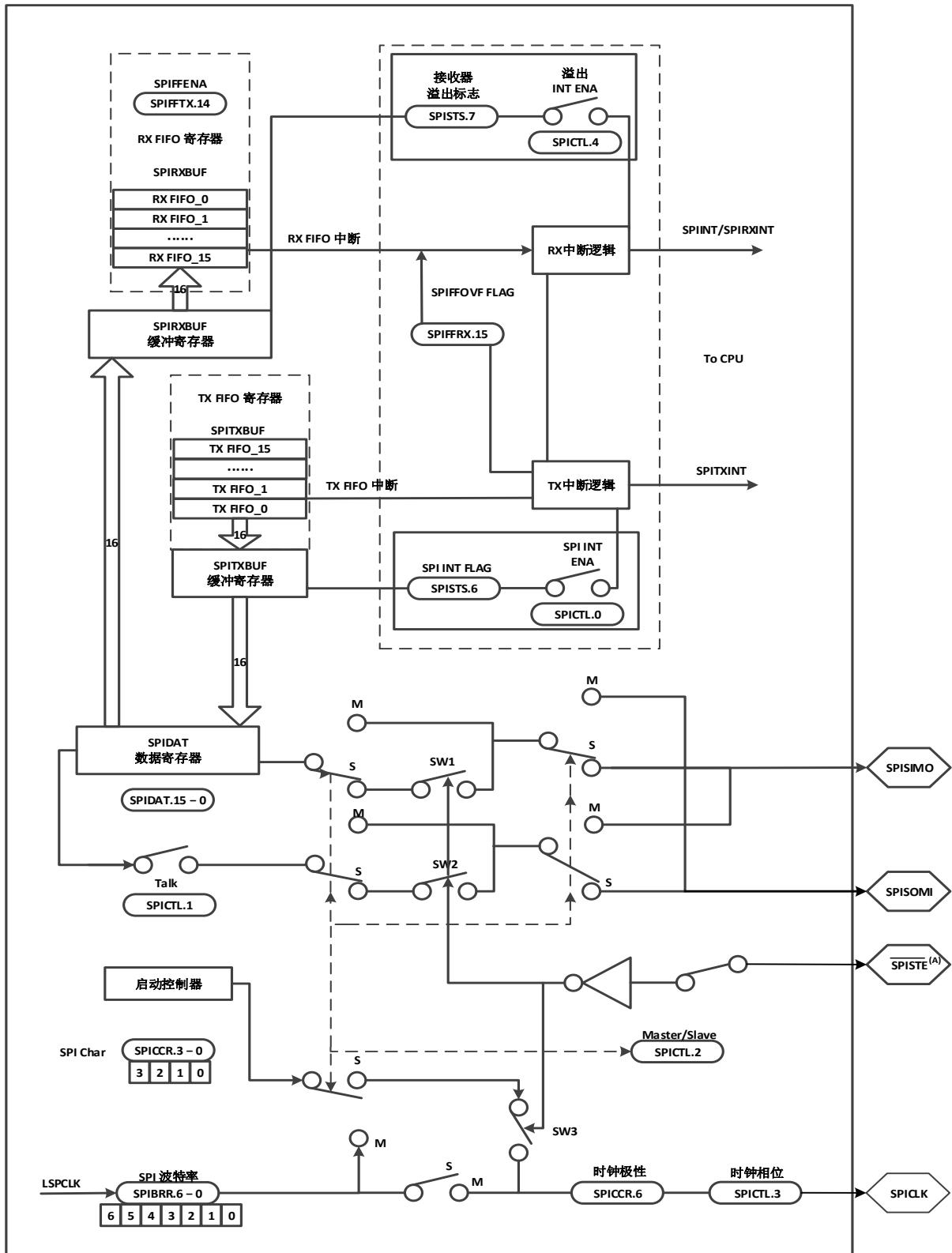
SPI 端口运行由表28中列出的寄存器配置和控制。

表 28. SPI-A 寄存器

名称	地址	大小 (x 16)	说明(1)
SPICCR	0x7040	1	SPI-A 配置控制寄存器
SPICTL	0x7041	1	SPI-A 运行控制寄存器
SPISTS	0x7042	1	SPI-A 状态寄存器
SPIBRR	0x7044	1	SPI-A 波特率寄存器
SPIRXEMU	0x7046	1	SPI-A 接收仿真缓冲寄存器
SPIRXBUF	0x7047	1	SPI-A 串行输入缓冲寄存器
SPITXBUF	0x7048	1	SPI-A 串行输出缓冲寄存器
SPIDAT	0x7049	1	SPI-A 串行数据寄存器
SPIFFTX	0x704A	1	SPI-A FIFO 发送寄存器
SPIFFRX	0x704B	1	SPI-A FIFO 接收寄存器
SPIFFCT	0x704C	1	SPI-A FIFO 控制寄存器
SPIPRI	0x704F	1	SPI-A 优先级控制寄存器

(1) 这个表中寄存器被映射到外设帧 2。这空间只允许 16 位访问。32 位访问会生成未定义的后果。

图25是一个处于受控模式下 SPI 的方框图。

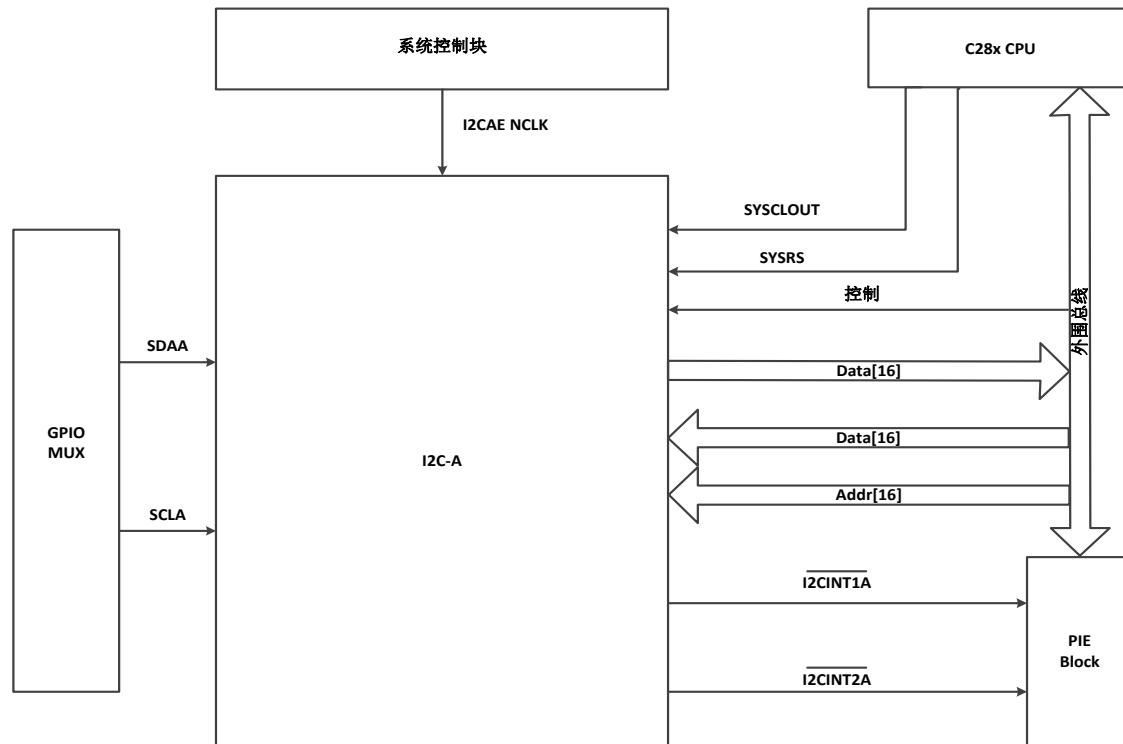


A. SPISTE被主控器件驱动为用于受控器件的低电平。

图 25. SPI 模块方框图(受控模式)

内部集成电路(I2C)

此器件包含一个 I2C 串行端口。图 26 显示了此器件内的 I2C 外设模块接口。



- A. 在SYSCLKOUT 速率上对 I2C 寄存器进行访问。I2C 端口的内部时序和信号波形也为 SYSCLKOUT 速率。
- B. PCLKCRO 寄存器内的时钟使能位 (I2CAENCLK) 关闭到 I2C 端口的时钟以实现低功耗运行。复位时, I2CAENCLK 被清除, 这表明外设内部时钟被关闭。

图 26. I2C 外设模块接口

I2C 模块具有以下特性:

- 符合飞利浦半导体 I2C 总线规格(版本 2.1):
 - 支持 1 位至 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个主发送器和从接收器
 - 支持多个从发送器和主接收器
 - 组合主器件发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400kbps(I2C 快速模式速率)
- 一个 16 字接收 FIFO 和一个 16 字发送 FIFO

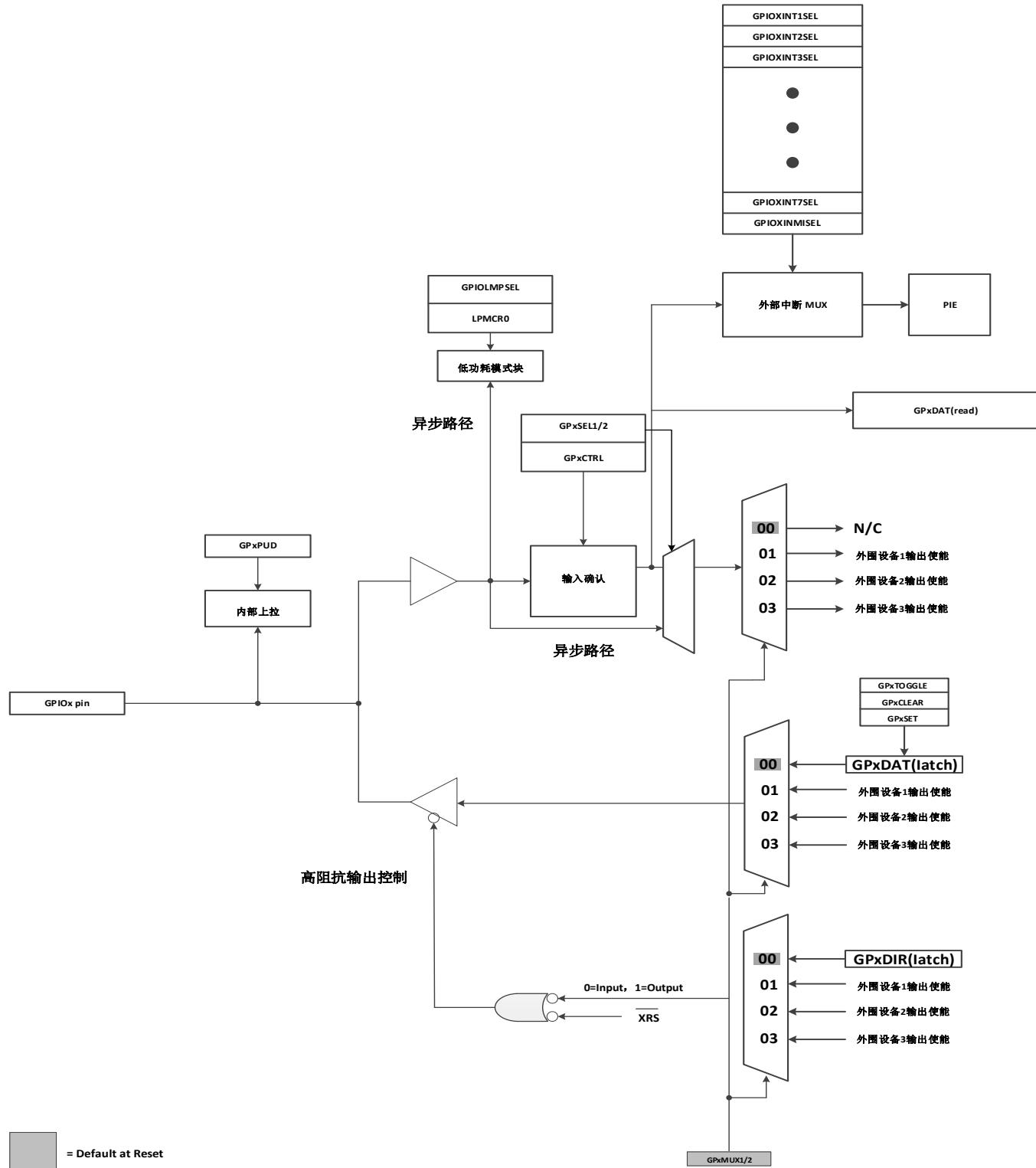
- 可以由 CPU 使用的一个中断。这个中断可由下列条件中的一个生成：
 - 发送数据准备好
 - 接收数据准备好
 - 寄存器访问准备好
 - 没有接收到确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为从器件
- 在 FIFO 模式下，CPU 可以使用附加的中断
- 模块启用和模块禁用功能
- 自由数据格式模式

表 29 中的寄存器配置并且控制 I2C 端口操作。

表 29. I2C-A 寄存器

名称	地址	说明
I2COAR	0x7900	I2C 自身地址寄存器
I2CIER	0x7901	I2C 中断使能寄存器
I2CSTR	0x7902	I2C 状态寄存器
I2CCLKL	0x7903	I2C 时钟低电平时间分频器寄存器
I2CCLKH	0x7904	I2C 时钟高电平时间分频器寄存器
I2CCNT	0x7905	I2C 数据计数寄存器
I2CDRR	0x7906	I2C 数据接收寄存器
I2CSAR	0x7907	I2C 从器件地址寄存器
I2CDXR	0x7908	I2C 数据发送寄存器
I2CMDR	0x7909	I2C 模式寄存器
I2CISRC	0x790A	I2C 中断源寄存器
I2CPSC	0x790C	I2C 预分频器寄存器
I2CFFTX	0x7920	I2C FIFO 发送寄存器
I2CFFRX	0x7921	I2C FIFO 接收寄存器
I2CRSR	-	I2C 接收移位寄存器 (CPU 不可访问)
I2CXSR	-	I2C 发送移位寄存器 (CPU 不可访问)

GPIO MUX



- A. x 代表端口，A 或 B。例如，GPxDIR 是指 GPADIR 或者 GPBDIR 寄存器，至于是哪一个寄存器则取决于所选择的特定 GPIO 引脚。
- B. 在相同的存储器位置存取 GPxDAT 锁定/读取。
- C. 这是一个通用的 GPIO MUX 方框图。并不是所有选项都可用于所有 GPIO 引脚。

图 27. GPIO MUX 方框图

器件支持 88 个 GPIO 引脚。GPIO 控制和数据寄存器被映射到外设帧 1 以便在寄存器上启用 32 位运行(连同 16 位运行)。表 30 显示了 GPIO 寄存器映射。

表 30. GPIO 寄存器

名称	地址	大小 (× 16)	说明
GPIO 控制寄存器(受 EALLOW 保护)			
GPACTRL	0x6F80	2	GPIO A 控制寄存器(GPIO0 至 31)
GPAQSEL1	0x6F82	2	GPIO A 限定器选择 1 寄存器(GPIO0 至 15)
GPAQSEL2	0x6F84	2	GPIO A 限定器选择 2 寄存器(GPIO16 至 31)
GPAMUX1	0x6F86	2	GPIO A MUX 1 寄存器(GPIO0 至 15)
GPAMUX2	0x6F88	2	GPIO A MUX 2 寄存器(GPIO16 至 31)
GPADIR	0x6F8A	2	GPIO A 方向寄存器(GPIO0 至 31)
GPAPUD	0x6F8C	2	GPIO A 上拉禁用寄存器(GPIO0 至 31)
保留	0x6F8E-0x6F8F	2	
GPBCTRL	0x6F90	2	GPIO B 控制寄存器(GPIO32 至 63)
GPBQSEL1	0x6F92	2	GPIO B 限定器选择 1 寄存器(GPIO32 至 47)
GPBQSEL2	0x6F94	2	GPIOB 限定符选择 2 寄存器(GPIO48 至 63)
GPBMUX1	0x6F96	2	GPIO B MUX 1 寄存器(GPIO32 至 47)
GPBMUX2	0x6F98	2	GPIO B MUX 2 寄存器(GPIO48 至 63)
GPBDIR	0x6F9A	2	GPIO B 方向寄存器(GPIO32 至 63)
GPBPUD	0x6F9C	2	GPIO B 上拉电阻器禁用寄存器(GPIO32 至 38)
保留	0x6F9E-0x6FA5	8	
GPCMUX1	0x6FA6	2	GPIO C MUX1 寄存器(GPIO64 至 79)
GPCMUX2	0x6FA8	2	GPIO C MUX2 寄存器(GPIO80 至 87)
GPCDIR	0x6FAA	2	GPIO C 方向寄存器 (GPIO64 至 GPIO 87)
GPCPUD	0x6FAC	2	GPIO C 上拉电阻器禁用寄存器(GPIO64 至 87)
保留	0x6FAE-0x6FBF	18	
GPIO 数据寄存器(不受 EALLOW 保护)			
GPADAT	0x6FC0	2	GPIO A 数据寄存器(GPIO0 至 31)
GPASET	0x6FC2	2	GPIO A 数据设定寄存器(GPIO0 至 31)
GPACLEAR	0x6FC4	2	GPIO A 数据清除寄存器(GPIO0 至 31)
GPATOGGLE	0x6FC6	2	GPIO A 数据切换寄存器(GPIO0 至 31)
GPBDAT	0x6FC8	2	GPIO B 数据寄存器(GPIO32 至 63)

GPBSET	0x6FCA	2	GPIO B 数据设定寄存器(GPIO32 至 63)
GPBCLEAR	0x6FCC	2	GPIO B 数据清除寄存器(GPIO32 至 63)
GPBToggle	0x6FCE	2	GPIO B 数据切换寄存器(GPIO32 至 63)
GPCDAT	0x6FD0	2	GPIO C 数据寄存器(GPIO64 至 87)
GPCSET	0x6FD2	2	GPIO C 数据设定寄存器(GPIO64 至 87)
GPCCLEAR	0x6FD4	2	GPIO C 数据清除寄存器(GPIO64 至 87)
GPCTOGGLE	0x6FD6	2	GPIO C 数据切换寄存器(GPIO64 至 87)
保留	0x6FD8-0x6fdf	8	

GPIO 中断和低功耗模式选择寄存器(受 EALLOW 护)

GPIOXINT1SEL	0x6FE0	1	XINT1 GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXINT2SEL	0x6FE1	1	XINT2 GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXNMISEL	0x6FE2	1	XNMI GPIO 输入选择寄存器(GPIO0 至 31)
GPIOXINT3SEL	0x6FE3	1	XINT3 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT4SEL	0x6FE4	1	XINT4 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT5SEL	0x6FE5	1	XINT5 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOXINT6SEL	0x6FE6	1	XINT6 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOINT7SEL	0x6FE7	1	XINT7 GPIO 输入选择寄存器(GPIO32 至 63)
GPIOLOPMSEL	0x6FE8	2	LPM GPIO 选择寄存器(GPIO0 至 31)
保留	0x6fea-0x6fff	22	

表 31. GPIO 复用器外设选择矩阵

寄存器位		外设选择				
GPADIR GPADAT	GPASET GPACLR GPATOGGLE	GPAMUX1 GPAQSEL1	GPIOx GPAMUX1 = 0,0	PER1 GPAMUX1 = 0,1	PER2 GPAMUX1 = 1,0	PER3 GPAMUX1 = 1,1
QUALPRD0	0	1, 0	GPIO0 (I/O)	EPWM1A (O)	保留	保留
	1	3, 2	GPIO1 (I/O)	EPWM1B (O)	ECAP6 (I/O)	MFSRB (I/O)
	2	5, 4	GPIO2 (I/O)	EPWM2A (O)	保留	保留
	3	7, 6	GPIO3 (I/O)	EPWM2B (O)	ECAP5 (I/O)	MCLKRB (I/O)
	4	9, 8	GPIO4 (I/O)	EPWM3A (O)	保留	保留
	5	11, 10	GPIO5 (I/O)	EPWM3B (O)	MFSRA (I/O)	ECAP1 (I/O)
	6	13, 12	GPIO6 (I/O)	EPWM4A (O)	EPWMSYNCI(I)	EPWMSYNCO(O)
	7	15, 14	GPIO7 (I/O)	EPWM4B (O)	MCLKRA (I/O)	ECAP2 (I/O)
QUALPRD1	8	17, 16	GPIO8 (I/O)	EPWM5A (O)	CANTXB (O)	ADCSOCDAO (O)
	9	19, 18	GPIO9 (I/O)	EPWM5B (O)	SCITXDB (O)	ECAP3 (I/O)
	10	21, 20	GPIO10 (I/O)	EPWM6A (O)	CANRXB (I)	ADCSOCBO (O)
	11	23, 22	GPIO11 (I/O)	EPWM6B (O)	SCIRXDB (I)	ECAP4 (I/O)
	12	25, 24	GPIO12 (I/O)	<u>TZ1</u> (I)	CANTXB (O)	MDXB (O)
	13	27, 26	GPIO13 (I/O)	<u>TZ2</u> (I)	CANRXB (I)	MDRB (I)
	14	29, 28	GPIO14 (I/O)	<u>TZ3</u> (I)/ <u>XHOLD</u> (I)	SCITXDB (O)	MCLKXB (I/O)
	15	31, 30	GPIO15 (I/O)	<u>TZ4</u> (I)/ <u>XHOLDA</u> (O)	SCIRXDB (I)	MFSXB (I/O)
		GPAMUX2 GPAQSEL2	GPAMUX2 = 0, 0	GPAMUX2 = 0, 1	GPAMUX2 = 1, 0	GPAMUX2 = 1, 1
QUALPRD2	16	1, 0	GPIO16 (I/O)	SPISIMOA (I/O)	CANTXB (O)	<u>TZ5</u> (I)
	17	3, 2	GPIO17 (I/O)	SPISOMIA (I/O)	CANRXB (I)	<u>TZ6</u> (I)
	18	5, 4	GPIO18 (I/O)	SPICLKA (I/O)	SCITXDB (O)	CANRXA (I)
	19	7, 6	GPIO19 (I/O)	<u>SPISTEAE</u> (I/O)	SCIRXDB (I)	CANTXA (O)
	20	9, 8	GPIO20 (I/O)	EQEP1A (I)	MDXA (O)	CANTXB (O)
	21	11, 10	GPIO21 (I/O)	EQEP1B (I)	MDRA (I)	CANRXB (I)

QUALPRD3	22	13, 12	GPIO22 (I/O)	EQEP1S (I/O)	MCLKXA (I/O)	SCITXDB (O)
	23	15, 14	GPIO23 (I/O)	EQEP1I (I/O)	MFSXA (I/O)	SCIRXDB (I)
	24	17, 16	GPIO24 (I/O)	ECAP1 (I/O)	EQEP2A (I)	MDXB (O)
	25	19, 18	GPIO25 (I/O)	ECAP2 (I/O)	EQEP2B (I)	MDRB (I)
	26	21, 20	GPIO26 (I/O)	ECAP3 (I/O)	EQEP2I (I/O)	MCLKXB (I/O)
	27	23, 22	GPIO27 (I/O)	ECAP4 (I/O)	EQEP2S (I/O)	MFSXB (I/O)
	28	25, 24	GPIO28 (I/O)	SCIRXDA (I)	<u>XZCS6</u> (O)	
	29	27, 26	GPIO29 (I/O)	SCITXDA (O)	XA19(O)	
	30	29, 28	GPIO30 (I/O)	CANRXA (I)	XA18(O)	
	31	31, 30	GPIO31 (I/O)	CANTXA (O)	XA17(O)	

表 32. GPIO-B 复用器外设选择矩阵

寄存器位		外设选择			
GPBDIR GPBDAT GPBSET GPBCLR GPBToggle	GPBMUX1 GPBQSEL1	GPIOx GPBMUX1 = 0,0	PER1 GPBMUX1 = 0,1	PER2 GPBMUX1 = 1,0	PER3 GPBMUX1 = 1,1
QUALPRD0	0	1, 0	GPIO32(I/O)	SDAA (I/OC) ⁽¹⁾	EPWMSYNCI (I) ADCSOCAO (O)
	1	3, 2	GPIO33(I/O)	SCLA (I/OC) ⁽¹⁾	EPWMSYNCO(O) ADCSOCBO (O)
	2	5, 4	GPIO34 (I/O)	ECAP1 (I/O)	XREADY (I)
	3	7, 6	GPIO35(I/O)	SCITXDA (O)	XR/ \overline{W} (O)
	4	9, 8	GPIO36(I/O)	SCIRXDA (I)	$\overline{XZCS0}$ (O)
	5	11, 10	GPIO37(I/O)	ECAP2 (I/O)	$\overline{XZCS7}$ (O)
	6	13, 12	GPIO38(I/O)	保留	$\overline{XWE0}$ (O)
	7	15, 14	GPIO39(I/O)		XA16(O)
QUALPRD1	8	17, 16	GPIO40(I/O)	保留	XA0/ $\overline{XWE1}$ (O)
	9	19, 18	GPIO41 (I/O)		XA1(O)
	10	21, 20	GPIO42(I/O)		XA2(O)
	11	23, 22	GPIO43(I/O)		XA3(O)
	12	25, 24	GPIO44(I/O)		XA4(O)
	13	27, 26	GPIO45 (I/O)		XA5(O)
	14	29, 28	GPIO46(I/O)		XA6(O)
	15	31, 30	GPIO47(I/O)		XA7(O)
		GPBMUX2 GPBQSEL2	GPBMUX2 = 0,0	GPBMUX2 = 0, 1	GPBMUX2 = 1, 0 GPBMUX2 = 1, 1
QUALPRD2	16	1, 0	GPIO48 (I/O)	ECAP5 (I/O)	XD31(I/O)
	17	3, 2	GPIO49 (I/O)	ECAP6 (I/O)	XD30 (I/O)
	18	5, 4	GPIO50 (I/O)	EQEP1A (I)	XD29 (I/O)
	19	7, 6	GPIO51 (I/O)	EQEP1B (I)	XD28 (I/O)
	20	9, 8	GPIO52 (I/O)	EQEP1S (I/O)	XD27 (I/O)
	21	11, 10	GPIO53 (I/O)	EQEP1I (I/O)	XD26 (I/O)
	22	13, 12	GPIO54 (I/O)	SPISIMOA (I/O)	XD25 (I/O)
	23	15, 14	GPIO55 (I/O)	SPISOMIA (I/O)	XD24 (I/O)
QUALPRD3	24	17, 16	GPIO56 (I/O)	SPICLKA (I/O)	XD23 (I/O)
	25	19, 18	GPIO57 (I/O)	$\overline{SPISTEAI}$ (I/O)	XD22(I/O)
	26	21, 20	GPIO58 (I/O)	MCLKRA (I/O)	XD21 (I/O)

27	23, 22	GPIO59 (I/O)	MFSRA (I/O)	XD20 (I/O)
28	25, 24	GPIO60(I/O)	MCLKRB (I/O)	XD19(I/O)
29	27, 26	GPIO61 (I/O)	MFSRB (I/O)	XD18 (I/O)
30	29, 28	GPIO62 (I/O)	SCIRXDC (I)	XD17 (I/O)
31	31, 30	GPIO63 (I/O)	SCITXDC (O)	XD16 (I/O)

(1) 开漏.

表 33. GPIO-C 复用器外设选择矩阵

寄存器位		外设选择		
		GPIOx或PER1 GPCMUX1 = 0, 0 or 0, 1	PER2或PER3 GPCMUX1 = 1, 0 or 1, 1	
GPCDIR				
GPCDAT				
GPCSET				
GPCCLR				
GPCTOGGLE				
no qual	0	1, 0	GPIO64 (I/O)	XD15 (I/O)
	1	3, 2	GPIO65 (I/O)	XD14 (I/O)
	2	5, 4	GPIO66 (I/O)	XD13 (I/O)
	3	7, 6	GPIO67 (I/O)	XD12 (I/O)
	4	9, 8	GPIO68 (I/O)	XD11 (I/O)
	5	11, 10	GPIO69 (I/O)	XD10 (I/O)
	6	13, 12	GPIO70 (I/O)	XD9 (I/O)
	7	15, 14	GPIO71 (I/O)	XD8 (I/O)
no qual	8	17, 16	GPIO72 (I/O)	XD7 (I/O)
	9	19, 18	GPIO73 (I/O)	XD6 (I/O)
	10	21, 20	GPIO74 (I/O)	XD5 (I/O)
	11	23, 22	GPIO75 (I/O)	XD4 (I/O)
	12	25, 24	GPIO76 (I/O)	XD3 (I/O)
	13	27, 26	GPIO77 (I/O)	XD2 (I/O)
	14	29, 28	GPIO78 (I/O)	XD1 (I/O)
	15	31, 30	GPIO79 (I/O)	XD0 (I/O)
		GPCMUX2	GPCMUX2 = 0, 0 或 0, 1	GPCMUX2 = 1, 0 或 1, 1
no qual	16	1, 0	GPIO80 (I/O)	XA8 (O)
	17	3, 2	GPIO81 (I/O)	XA9 (O)
	18	5, 4	GPIO82 (I/O)	XA10 (O)
	19	7, 6	GPIO83 (I/O)	XA11 (O)
	20	9, 8	GPIO84 (I/O)	XA12 (O)
	21	11, 10	GPIO85 (I/O)	XA13 (O)
	22	13, 12	GPIO86 (I/O)	XA14 (O)
	23	15, 14	GPIO87 (I/O)	XA15 (O)

通过四个选择中的 GPxQSEL1/2 寄存器，用户可为每一个 GPIO 引脚选择输入限定的类型：

- 只同步至 SYSCLKOUT (GPxQSEL1/2=0,0): 这是复位时所有 GPIO 引脚的缺省模式并且它只是将输入信号同步至系统时钟 (SYSCLKOUT)。
- 使用采样窗口的限定条件(GPxQSEL1/2=0, 1 和 1, 0): 这个模式中，在与系统时钟 (SYSCLKOUT)同步后，输入信号在输入被允许改变前，被一定数量的周期所限定。

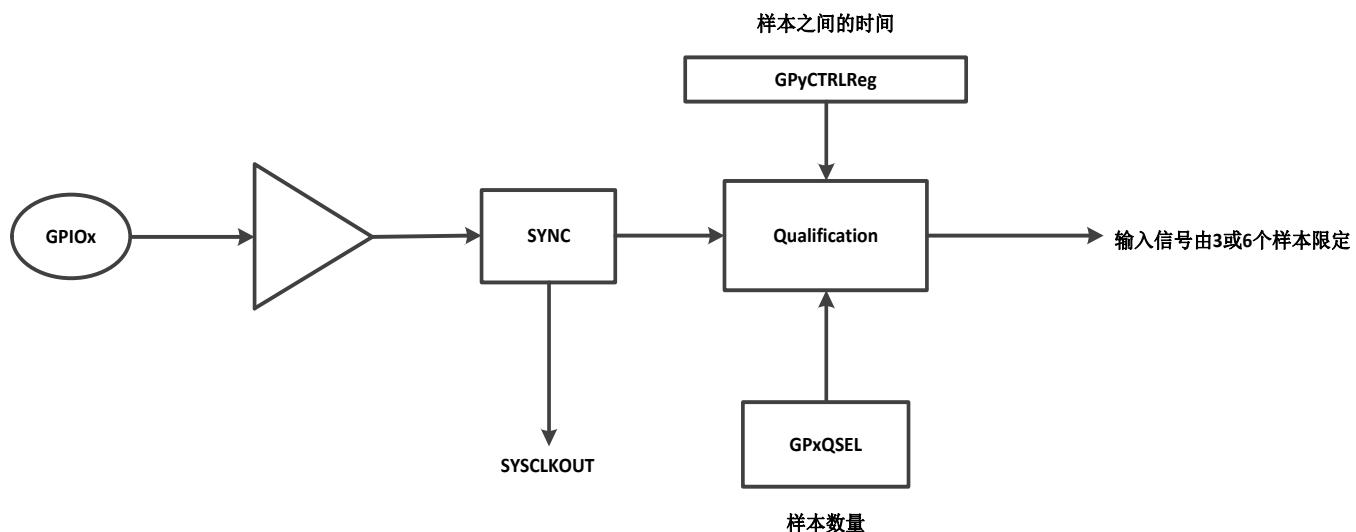


图 28. 使用采样窗口的限定

- 采样周期由 GPxCTRL 寄存器内的 QUALPRD 位所指定并且可在一组 8 个信号中进行配置。它为采样输入信号指定了多个 SYSCLKOUT 周期。采样窗口为 3个 样本或者 6个 样本宽并且只有当所有样本与图28所显示的一样时(全 0 或者全 1)(对于 6 个样本模式)，输出才会改变。
- 无同步 (GPxQSEL1/2=1, 1): 这个模式用于无需同步的外设(同步不在外设内执行)。

由于器件上所要求的多级复用，有可能会有一个外设输入信号被映射到多于一个 GPIO 引脚的情况。此外，当一个输入信号未被选择时，输入信号将缺省为一个 0 或者 1 状态，这由外设而定。

外部接口(XINTF)

本节给出了在28335器件上执行的外部接口(XINTF)的顶视图。XINTF 是一个非复用的异步总线，被映射到图 29 中所示的三个固定区域。

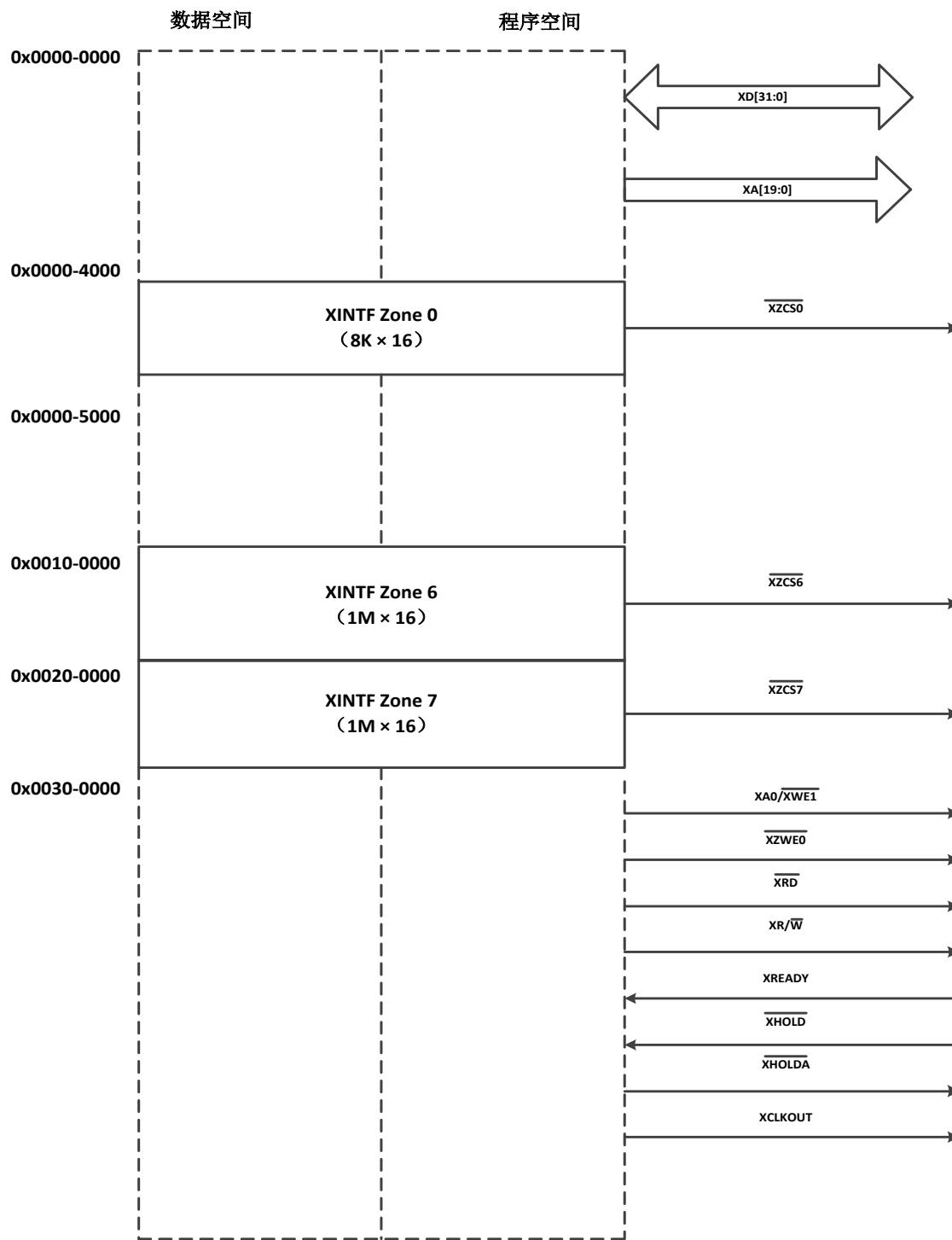


图 29. 外部接口方框图

图30展示了典型 16 位和 32 位 数据总线 XINTF 连接，说明了 XA0 和 $\overline{XWE1}$ 的信号功能是如何根据具体的配置变化的。表34定义了 XINTF 配置和控制寄存器。

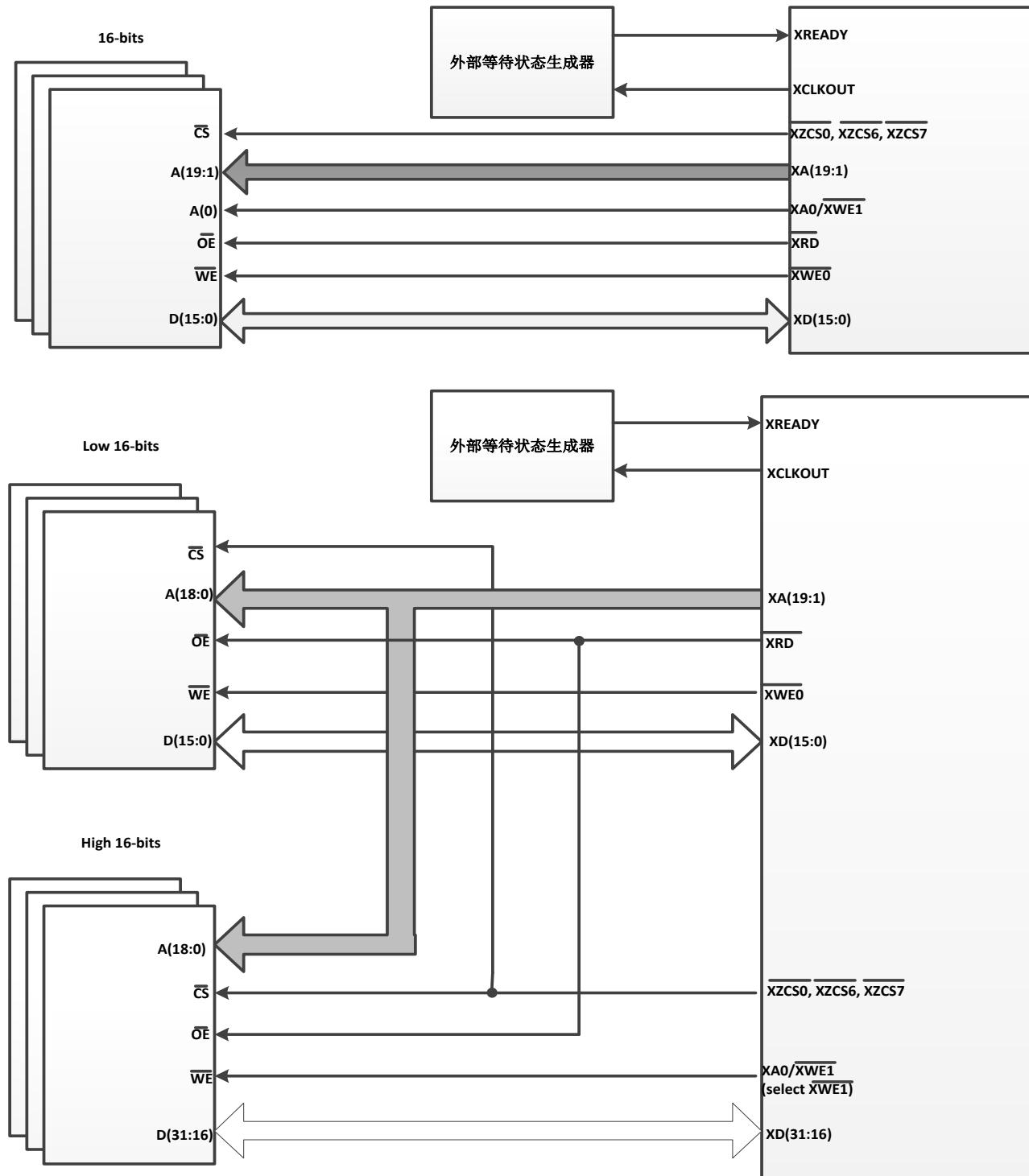


图 30 典型的 16 和 32 位数据总线 XINTF 连接

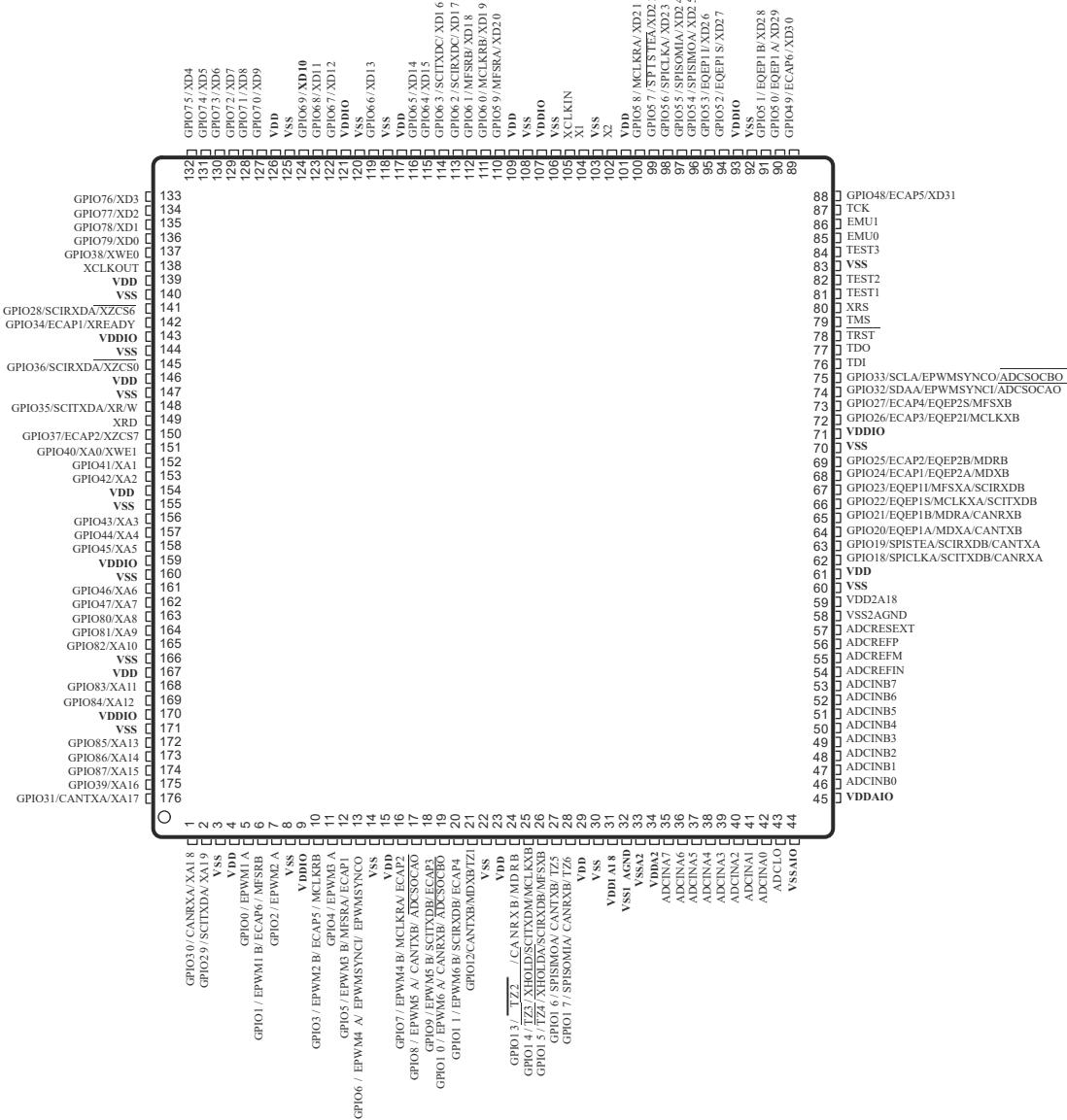
表 34. XINTF 配置和控制寄存器映射

名称	地址	大小 (x 16)	说明
XTIMING0	0x00–0B20	2	XINTF 定时寄存器, 区域 0
XTIMING6 ⁽¹⁾	0x00–0B2C	2	XINTF 定时寄存器, 区域 6
XTIMING7	0x00–0B2E	2	XINTF 定时寄存器, 区域 7
XINTCNF2 ⁽²⁾	0x00–0B34	2	XINTF 配置寄存器
XBANK	0x00–0B38	1	XINTF 组控制寄存器
XREVISION	0x00–0B3A	1	XINTF 修订版本寄存器
XRESET	0x00–0B3D	1	XINTF 复位寄存器

引脚功能描述

176 引脚薄型四方扁平封装(LQFP)引脚分配显示在图 31 中。176 焊球塑料球状引脚栅格阵列(PBGA)端子分配将显示在图 32 中。表 35 说明了每个引脚的功能。

引脚分配



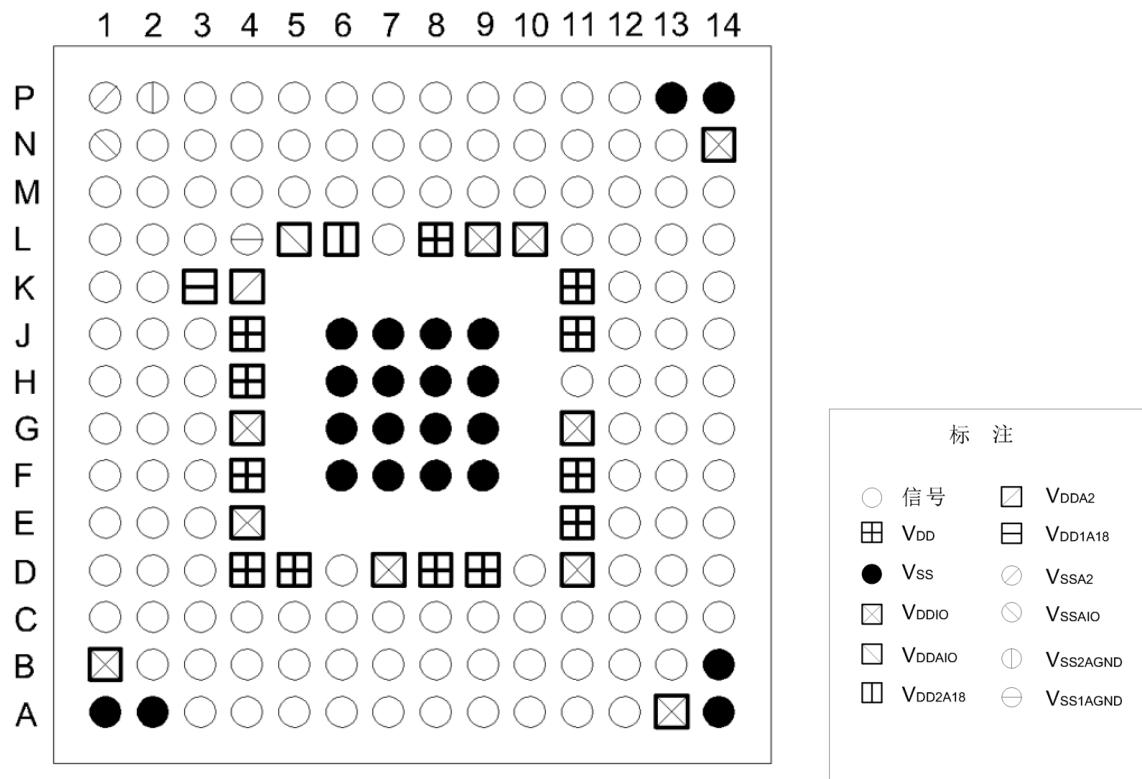


图 32. 28335 176 焊球球状引脚栅格阵列(BGA)

信号说明

表 35 对这些信号进行了说明。GPIO 功能(用粗斜体显示)在复位时为缺省值。它们下面列出的外设信号是供替代的功能。输入不是 5V 耐压。所有能够产生 XINTF 输出功能的引脚有 8mA(典型)的驱动强度。即使引脚没有配置 XINTF 功能，也有此驱动能力。所有其他引脚有一个 4mA 驱动力的驱动典型值(除另有注明外)。所有 GPIO 引脚为 I/O/Z 且有一个内部上拉电阻器，此内部上拉电阻器可在每个引脚上有选择性的启用/禁用。这一特性只适用于 GPIO 引脚。GPIO0-GPIO11 引脚上的上拉电阻器在复位时并不启用。GPIO12-GPIO87 引脚上的上拉电阻器复位时被启用。

表35. 信号说明

引出端编号		功能	符号	引出端编号		功能	符号
LQFP	PBGA			LQFP	PBGA		
1	C2	通用输入/输出 30 增强型 CAN-A 接收 外部接口地址线 18	GPIO30 CANRXA XA18	89	L13	通用输入/输出 49 增强型捕捉输入/输出 6 外部接口数据线 30	GPIO49 ECAP6 XD30
2	C1	通用输入/输出 29 SCI 传输数据 外部接口地址线 19	GPIO29 SCITXDA XA19	90	L12	通用输入/输出 50 增强型 QEP1 输入 A 外部接口数据线 29	GPIO50 EQEP1A XD29
3	A1	数字逻辑地引脚	V_{SS}	91	K14	通用输入/输出 51 增强型 QEP1 输入 B 外部接口数据线 28	GPIO51 EQEP1B XD28
4	D4	内核与数字逻辑电源	V_{DD}	92	G6	数字逻辑地引脚	V_{SS}
5	D1	通用输入/输出 0 增强型 PWM1 输出 A 和 HRPWM 通道	GPIO0 EPWM1A	93	D7	数字 I/O 电源	V_{DDIO}
6	D2	通用输入/输出 1 增强型 PWM1 输出 B 增强型捕捉输入输出 6 McBSP-B 接收帧同步	GPIO1 EPWM1B ECAP6 MFSRB	94	K13	通用输入/输出 52 增强型 QEP1 选通脉冲 外部接口数据线 27	GPIO52 EQEP1S XD27
7	D3	通用输入/输出 2 增强型 PWM2 输出 A 和 HRPWM 通道	GPIO2 EPWM2A	95	K12	通用输入/输出 53 增强型 QEP1 索引 外部接口数据线 26	GPIO53 EQEP1I XD26
8	A2	数字逻辑地引脚	V_{SS}	96	J14	通用输入/输出 54 SPI-A 从输入主输出 外部接口数据线 25	GPIO54 SPISIMOA XD25
9	A13	数字 I/O 电源	V_{DDIO}	97	J13	通用输入/输出 55 SPI-A 从输出主输入 外部接口数据线 24	GPIO55 SPISOMIA XD24
10	E1	通用输入/输出 3 增强型 PWM2 输出 B 增强型捕捉 5 输入输出 McBSP-B 接收帧同步	GPIO3 EPWM2B ECAP5 MCLKRB	98	J12	通用输入/输出 56 SPI-A 时钟 外部接口数据线 23	GPIO56 SPICLKA XD23

11	E2	通用输入/输出 4 增强型 PWM3 输出 A 和 HRPWM 通道	GPIO4 EPWM3A	99	H13	通用输入/输出 57 SPI-A 从发送使能 外部接口数据线 22	GPIO57 SPISTEAXD22
12	E3	通用输入/输出 5 增强型 PWM3 输出 B McBSP-B 接收帧同步 增强型捕捉输入输出 1	GPIO5 EPWM3B MFSRA ECAP1	100	H12	通用输入/输出 58 McBSP-A 接收时钟 外部接口数据线 21	GPIO58 MCLKRA XD21
13	F1	通用输入/输出 6 增强型 PWM4 输出 A 和 HRPWM 通道 ePWM 同步脉冲输入 ePWM 同步脉冲输出	GPIO6 EPWM4A EPWMSYNCI EPWMSNCO	101	F4	内核与数字逻辑电源	V_{DD}
14	A14	数字逻辑地引脚	V_{SS}	102	H14	内部振荡器输出	X2
15	D5	内核与数字逻辑电源	V_{DD}	103	G7	数字逻辑地引脚	V_{SS}
16	F2	通用输入/输出 7 增强型 PWM4 输出 B McBSP-B 接收时钟 增强型捕捉输入输出 2	GPIO7 EPWM4B MCLKRA ECAP2	104	G14	内部振荡器输入	X1
17	F3	通用输入/输出 8 增强型 PWM5 输出 A 和 HRPWM 通道 增强型 CAN-B 传输 ADC 转换启动 A	GPIO8 EPWM5A CANTXB ADCSOCACO	105	G13	外部振荡器输入	XCLKIN
18	G1	通用输入/输出 9 增强型 PWM5 输出 B SCI-B 发送数据 增强型捕捉输入/输出 3	GPIO9 EPWM5B SCITXDB ECAP3	106	G8	数字逻辑地引脚	V_{SS}
19	G2	通用输入/输出 10 增强型 PWM6 输出 A 和 HRPWM 通道 增强型 CAN-B 接收 ADC 转换启动 B	GPIO10 EPWM6A CANRXB ADCSOCBO	107	D11	数字 I/O 电源	V_{DDIO}
20	G3	通用输入/输出 11 增强型 PWM6 输出 B SCI-B 接收数据 增强型捕捉输入/输出 4	GPIO11 EPWM6B SCIRXDB ECAP4	108	G9	数字逻辑地引脚	V_{SS}
21	H1	通用输入/输出 12 触发区输入 1 增强型 CAN-B 传输 McBSP-B 串行数据传输	GPIO12 TZ1 CANTXB MDXB	109	F11	内核与数字逻辑电源	V_{DD}
22	B14	数字逻辑地引脚	V_{SS}	110	H11	通用输入/输出 59 McBSP-A 接收帧同步 外部接口数据线 20	GPIO59 MFSRA XD20
23	D8	内核与数字逻辑电源	V_{DD}	111	G12	通用输入/输出 60 McBSP-B 接收时钟 外部接口数据线 19	GPIO60 MCLKRB XD19
24	H2	通用输入/输出 13 触发区输入 2 增强型 CAN-B 接收 McBSP-B 串行数据接收	GPIO13 TZ2 CANRXB MDRB	112	F14	通用输入/输出 61 McBSP-B 接收帧同步 外部接口数据线 18	GPIO61 MFSRB XD18

25	H3	通用输入/输出 14 触发区输入 3/外部保持请求 SCI-B 传输 McBSP-B 传输时钟	GPIO14 <u>TZ3/XHOLD</u> <u>SCITXDB</u> <u>MCLKXB</u>	113	F13	通用输入/输出 62 SCI-C 接收数据 外部接口数据线 17	GPIO62 SCIRXDC XD17
26	J1	通用输入/输出 15 触发区输入 4/外部保持确 SCI-B 接收 McBSP-B 传输帧同步	GPIO15 <u>TZ3/XHOLDA</u> <u>SCIRXDB</u> <u>MFSXB</u>	114	F12	通用输入/输出 63 SCI-C 发送数据 外部接口数据线 16	GPIO63 SCITXDC XD16
27	J2	通用输入/输出 16 SPI 从输入/主输出 增强型 CAN-B 发送 触发区输入 5	GPIO16 <u>SPISIMOA</u> <u>CANTXBX</u> <u>TZ5</u>	115	E14	通用输入/输出 64 外部接口数据线 15	GPIO64 XD15
28	J3	通用输入/输出 17 SPI-A 从输出/主输入 增强型 CAN-B 接收 触发区输入 6	GPIO17 <u>SPISOMIA</u> <u>CANRXB</u> <u>TZ6</u>	116	E13	通用输入/输出 65 外部接口数据线 14	GPIO65 XD14
29	D9	内核与数字逻辑电源	V_{DD}	117	H4	内核与数字逻辑电源	V_{DD}
30	F6	数字逻辑地引脚	V_{SS}	118	H6	数字逻辑地引脚	V_{SS}
31	K3	ADC 模拟低电源引脚 1	V_{DD1A18}	119	E12	通用输入/输出 66 外部接口数据线 13	GPIO66 XD13
32	L4	ADC 模拟地引脚	V_{SS1AGND}	120	H7	数字逻辑地引脚	V_{SS}
33	P1	ADC 模拟地引脚	V_{SSA2}	121	E4	数字 I/O 电源	V_{DDIO}
34	K4	ADC 模拟高电源引脚	V_{DDA2}	122	D14	通用输入/输出 67 外部接口数据线 12	GPIO67 XD12
35	K1	ADC 组 A, 通道 7 输入	ADCINA7	123	D13	通用输入/输出 68 外部接口数据线 11	GPIO68 XD11
36	K2	ADC 组 A, 通道 6 输入	ADCINA6	124	D12	通用输入/输出 69 外部接口数据线 10	GPIO69 XD10
37	L1	ADC 组 A, 通道 5 输入	ADCINA5	125	H8	数字逻辑地引脚	V_{SS}
38	L2	ADC 组 A, 通道 4 输入	ADCINA4	126	J4	内核与数字逻辑电源	V_{DD}
39	L3	ADC 组 A, 通道 3 输入	ADCINA3	127	C14	通用输入/输出 70 外部接口数据线 9	GPIO70 XD9
40	M1	ADC 组 A, 通道 2 输入	ADCINA2	128	C13	通用输入/输出 71 外部接口数据线 8	GPIO71 XD8
41	M2	ADC 组 A, 通道 1 输入	ADCINA1	129	B13	通用输入/输出 72 外部接口数据线 7	GPIO72 XD7
42	M3	ADC 组 A, 通道 0 输入	ADCINA0	130	A12	通用输入/输出 73 外部接口数据线 6	GPIO73 XD6
43	N2	ADC 基准 0 电平	ADCLO	131	B12	通用输入/输出 74 外部接口数据线 5	GPIO74 XD5
44	N1	ADC 模拟 IO 地引脚	V_{SSAIO}	132	C12	通用输入/输出 75 外部接口数据线 4	GPIO75 XD4
45	L5	ADC 模拟 IO 电源引脚	V_{DDAIO}	133	A11	通用输入/输出 76 外部接口数据线 3	GPIO76 XD3
46	P3	ADC 组 B, 通道 0 输入	ADCINB0	134	B11	通用输入/输出 77 外部接口数据线 2	GPIO77 XD2
47	N3	ADC 组 B, 通道 1 输入	ADCINB1	135	C11	通用输入/输出 78 外部接口数据线 1	GPIO78 XD1

48	M4	ADC 组 B, 通道 2 输入	ADCINB2	136	B10	通用输入/输出 79 外部接口数据线 0	GPIO79 XD0
49	N4	ADC 组 B, 通道 3 输入	ADCINB3	137	C10	通用输入/输出 38 外部接口写入使能 0	GPIO38 XWE0
50	M5	ADC 组 B, 通道 4 输入	ADCINB4	138	A10	SYSCLKOUT 的输出时钟	XCLKOUT
51	N5	ADC 组 B, 通道 5 输入	ADCINB5	139	J11	内核与数字逻辑电源	V_{DD}
52	M6	ADC 组 B, 通道 6 输入	ADCINB6	140	H9	数字逻辑地引脚	V_{SS}
53	N6	ADC 组 B, 通道 7 输入	ADCINB7	141	D10	通用输入/输出 28 SCI 接收数据 外部接口 6 芯片选择	GPIO28 SCIRXDA XZCS6
54	P7	ADC 外部基准输入	ADCREFIN	142	A9	通用输入/输出 34 增强型捕捉输入/输出 1 外部接口就绪信号	GPIO34 ECAP1 XREADY
55	P4	ADC 内部基准中输出	ADCREFM	143	G4	数字 I/O 电源	V_{DDIO}
56	P5	ADC 内部基准正输出	ADCREFP	144	J6	数字逻辑地引脚	V_{SS}
57	P6	ADC 电流偏置外接电 阻管脚, 接 22kΩ 精确 电阻至模拟地。	ADCRESEX T	145	C9	通用输入/输出 36 SCI 接收数据 外部接口 0 区芯片选择	GPIO36 SCIRXDA XZCS0
58	P2	ADC 模拟地引脚	V_{SS2AGND}	146	K11	内核与数字逻辑电源	V_{DD}
59	L6	ADC 模拟低电源引脚 2	V_{DD2A18}	147	J7	数字逻辑地引脚	V_{SS}
60	F7	数字逻辑地引脚	V_{SS}	148	B9	通用输入/输出 35 SCI 传输数据 外部接口读取	GPIO35 SCITXDA XR/W
61	E11	内核与数字逻辑电源	V_{DD}	149	A8	外部接口读取使能	XRD
62	N8	通用输入/输出 18 SPI-A 时钟输入/输出 SCI-B 传输 增强型 CAN-A 接收	GPIO18 SPICLKA SCITXDB CANRXA	150	B8	通用输入/输出 37 增强型捕获输入/输出 2 外部接口 7 区芯片选择	GPIO37 ECAP2 XZCS7
63	M8	通用输入/输出 19 SPI-A 从器件发送使能 SCI-B 接收 增强型 CAN-A 传输	GPIO19 SPISTEA SCIRXDB CANTXA	151	C8	通用输入/输出 40 外部接口地址线路 0/外 部接口写入使能 1	GPIO40 XA0/XWE1
64	P9	通用输入/输出 20 增强型 QEP1 输入 A McBSP-A 串行数据传 输 增强型 CAN-B 传输	GPIO20 EQEP1A MDXA CANTXB	152	A7	通用输入/输出 41 外部接口地址线 1	GPIO41 XA1
65	N9	通用输入/输出 21 增强型 QEP1 输入 B McBSP-A 串行数据接 收 增强型 CAN-B 接收	GPIO21 EQEP1B MDRA CANRXB	153	B7	通用输入/输出 42 外部接口地址线 2	GPIO42 XA2
66	M9	通用输入/输出 22 增强型 QEP1 选通脉冲 McBSP-A 传输时钟 SCI-B 传输	GPIO22 EQEP1S MCLKXA SCITXDB	154	L8	内核与数字逻辑电源	V_{DD}

67	P10	通用输入/输出 23 增强型 QEP1 索引 McBSP-A 传输帧同步 SCI-B 接收	GPIO23 EQEP1I MFSXA CIRXDB	155	J8	数字逻辑地引脚	V_{ss}
68	N10	通用输入/输出 24 增强型捕获 1 增强型 QEP2 输入 A McBSP-B 串行数据传输	GPIO24 ECAP1 EQEP2A MDXB	156	C7	通用输入/输出 43 外部接口地址线 3	GPIO43 XA3
69	M10	通用输入/输出 25 增强型捕获 2 增强型 QEP2 输入 B McBSP-B 串行数据接收	GPIO25 ECAP2 EQEP2B MDRB	157	A6	通用输入/输出 44 外部接口地址线 4	GPIO44 XA4
70	F8	数字逻辑地引脚	V_{ss}	158	B6	通用输入/输出 45 外部接口地址线路 5	GPIO45 XA5
71	B1	数字 I/O 电源	V_{DDIO}	159	G11	数字 I/O 电源	V_{DDIO}
72	P11	通用输入/输出 26 增强型捕获 3 增强型 QEP2 索引 McBSP-B 传输时钟	GPIO26 ECAP3 EQEP2I MCLKXB	160	J9	数字逻辑地引脚	V_{ss}
73	N11	通用输入/输出 27 增强型捕获 4 增强型 QEP2 选通脉冲 McBSP-B 传输帧同步	GPIO27 ECAP4 EQEP2S MFSXB	161	C6	通用输入/输出 46 外部接口地址线路 6	GPIO46 XA6
74	M11	通用输入/输出 32 I2C 数据开漏双向端口 增强型 PWM 同步脉冲 输入 ADC 转换启动 A	GPIO32 SDA EPWMSYN CI ADCSOCDAO	162	D6	通用输入/输出 47 外部接口地址线路 7	GPIO47 XA7
75	P12	通用输入/输出 33 I2C 时钟开漏双向端口) 增强型 PWM 同步脉冲 输出 ADC 转换启动 B	GPIO33 SCL EPWMSYN CO ADCSOCBDO	163	A5	通用输入/输出 80 外部接口地址线 8	GPIO80 XA8
76	N12	JTAG 测试数据输入	TDI	164	B5	通用输入/输出 81 外部接口地址线 9	GPIO81 XA9
77		JTAG 测试数据输出	TDO	165	C5	通用输入/输出 82 外部接口地址线 10	GPIO82 XA10
78	L11	JTAG 测试复位	TRST	166	P13	数字逻辑地引脚	V_{ss}
79	M12	JTAG 测试模式选择	TMS	167	-	内核与数字逻辑电源	V_{dd}
80	M13	器件复位输入和安全 装置复位输出	XRS	168	A4	通用输入/输出 83 外部接口地址线 11	GPIO83 XA11
81	M7	测试引脚 1	TEST1	169	B4	通用输入/输出 84 外部接口地址线 12	GPIO84 XA12
82	L7	测试引脚 2	TEST2	170	L10	数字 I/O 电源	V_{DDIO}
83	F9	数字逻辑地引脚	V_{ss}	171	P14	数字逻辑地引脚	V_{ss}
84	L9	测试引脚 3	TEST3	172	C4	通用输入/输出 85 外部接口地址线 13	GPIO85 XA13
85	N7	仿真器引脚 0	EMU0	173	A3	通用输入/输出 86 外部接口地址线 14	GPIO86 XA14

86	P8	仿真器引脚 1	EMU1	174	B3	通用输入/输出 87 外部接口地址线路 15	GPIO87 XA15
87	M14	JTAG 测试时钟	TCK	175	C3	通用输入/输出 39 外部接口地址线 16	GPIO39 XA16
88	L14	通用输入/输出 48 增强型捕捉输入/输出 5 外部接口数据线 31	GPIO48 ECAP5 XD31	176	B2	通用输入/输出 31 增强型 CAN-A 传输 外部接口地址线 17	GPIO31 CANTXA XA17
-	-	-	-	-	N14	数字 I/O 电源	VDDIO

电气规范

最大绝对额定值⁽¹⁾⁽²⁾

除非另外说明，绝对最大额定值的列表在运行温度范围内指定。

电源电压范围, VDDIO,	相对于 V _{SS}	-0.3V 至 4.6V
电源电压范围, V _{DDA2} , V _{DDAO}	相对于 V _{SSA}	-0.3V 至 4.6V
电源电压范围, V _{DD}	相对于 V _{SS}	-0.3V 至 2.5V
电源电压范围, V _{DD1A18} , V _{DD2A18}	相对于 V _{SSA}	-0.3V 至 2.5V
电源电压范围, V _{SSA2} , V _{SSAIO} , V _{SS1AGND} , V _{SS2AGND}	相对于 V _{SS}	-0.3V 至 0.3V
输入电压范围, V _{IN}		-0.3V 至 4.6V
输出电压范围, V _O		-0.3V 至 4.6V
输入钳制电流, I _{IK} (V _{IN} <0 或者 V _{IN} >V _{DDIO}) ⁽³⁾		±20mA
输出钳制电流, I _{OK} (V _O <0 或者 V _O >V _{DDIO})		±20mA
运行环境温度范围, T _A	A 版本 (4)	-40°C 至 85°C
	C 版本	-40°C 至 125°C
	Q 版本	-40°C 至 125°C
结温范围, T _J ⁽⁴⁾		-40°C 至 150°C
贮存温度范围, T _{stg} ⁽⁴⁾		-65°C 至 150°C

- (1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值，在这些值或者任何超过所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性.
- (2) 所有电压值都是相对于 V_{SS} 的值，除非额外注明.
- (3) 每个引脚上的持续钳制电流为 ±2mA。这包括模拟输入，此模拟输入有一个内部钳制电路，此电路能够将电压固定在一个高于 V_{DDA2} 或者低于 V_{SSA2} 的二极管压降上.
- (4) 下列一个或两个条件可能会导致整体设备的使用寿命降低:
 - 长期高温储存
 - 长时间在最高温度下使用

建议的运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位
器件电源电压, I/O, V _{DDIO}		3.135	3.3	3.465	V
器件电源电压 CPU, V _{DD}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	V
电源接地, V _{SS} , V _{SSIO} , V _{SSAIO} , V _{SSA2} , V _{SS1AGND} , V _{SS2AGND}			0		V
ADC 电源电压 (3.3V), V _{DDA2} , V _{DDAIO}		3.135	3.3	3.465	V
ADC 电源电压, V _{DD1A18} , V _{DD2A18}	器件操作@ 150MHz	1.805	1.9	1.995	V
	器件操作@ 100MHz	1.71	1.8	1.89	V
器件时钟频率(系统 时钟), f _{SYSCLKOUT}	28335	2		150	MHz
高电平输入电压, V _{IH}	除 X1 之外的所有输入	2		V _{DDIO}	V
	X1	0.7 * V _{DD} -0.05		V _{DD}	
低电平输入电压, V _{IL}	除 X1 之外的所有输入	0.8			V
	X1	0.3 * V _{DD} +0.05			
高电平输出源电流, V _{OH} =2.4V, I _{OH}	除组 2 之外的所有 I/O	-4			mA
	组 2(1)	-8			
低电平输出灌电流, V _{OL} =V _{OOL} (最大值), I _{OL}	除组 2 之外的所有 I/O	4			mA
	组 2 ⁽¹⁾	8			
环境温度, T _A	A 版本	-40	85		°C
	S 版本	-40	125		
	Q 版本	-40	125		
结温, T _J		125			°C

(1) 组 2 引脚如下: GPIO28, GPIO29, GPIO30, GPIO31, TDO, XCLKOUT, EMU0, EMU1, XINTF pins, GPIO35-87,XRD.

电气特性

在推荐的运行条件下（除非额外注明）

参数	测试条件		最小值	典型值	最大值	单位
VOH 高电平输出电压	$I_{OH}=I_{OL}$ 最大值		2.4		V	
	$I_{OH}=50\mu A$		$V_{DDIO}-0.2$			
VOL 低电平输出电压	$I_{OL}=I_{OH}$ 最大值		0.4		V	
III L 输入电流 (低电平)	上拉电阻器启用的引脚	$V_{DDIO}=3.3V$, $V_{IN}=0V$	所有 I/O (包括 XRS)	-80	-140 -190	μA
	下拉电阻器被启用的引脚	$V_{DDIO}=3.3V$, $V_{IN}=0V$		± 2		
III H 输入电流 (高电平)	上拉电阻器被启用的引脚	$V_{DDIO}=3.3V$, $V_{IN}=V_{DDIO}$		± 2		μA
	下拉电阻器被启用的引脚	$V_{DDIO}=3.3V$, $V_{IN}=V_{DDIO}$		28 50 80		
IOZ 输出电流, 上拉电阻器或者下拉电阻器被禁用	$V_O=V_{DDIO}$ 或者 $0V$		± 2			μA
CI 输入电容			2		pF	

时序参数符号安排

所用的时序参数符号按照 JEDEC 标准 100 创建。为了缩短符号，一些引脚的名称和其它相关的术语名已经按如下方法缩减：

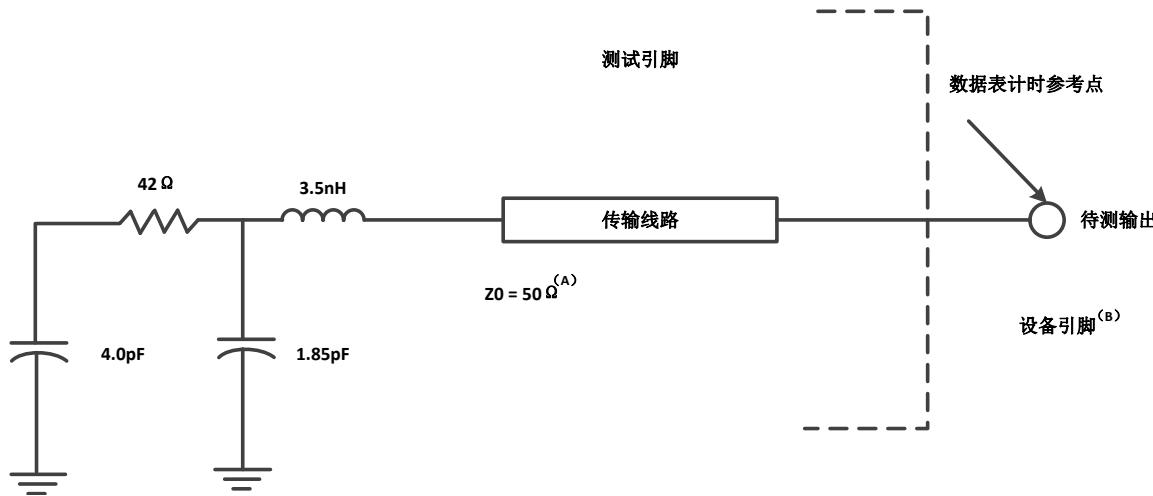
小写下标和它们的含意：

- a 访问时间
- c 周期时间 (周期)
- d 延迟时间
- f 下降时间
- h 保持时间
- r 上升时间
- su 建立时间
- t 转换时间
- v 有效时间
- w 脉冲持续时间 (宽度)

字母和符号符号和它们的含意：

- H 高
- L 低
- V 有效
- X 未知、改变、或者无关电平
- Z 高阻抗

测试负载电路



- A. 使用一个器件引脚上小于每纳秒 4 伏 ($4V/ns$) 的输入转换率对这个数据表中的输入要求进行测试。
- B. 此数据表在器件引脚上提供时序。对于输出时序分析，必须将测试器引脚电子特性和传输线路效应考虑在内。一个带有 2ns 或者更长时间延迟的传输线路可被用于生成所需的传输线路效应。传输线路只用作一个负载。无需从数据表时序中增加或者减少传输线路延迟 (2ns 或者更长)。

图 33. 3.3V 测试负载电路

器件时钟表

这个部分提供针可用的多种时钟选项的定时要求和开关特性。

表36. 计时和命名规则

		最小值	标称值	最大值	单位
片载振荡器时钟	tc(OSC), 周期时间	28.6	50	ns	
	频率	20	35	MHz	
XCLKIN ⁽¹⁾	tc(CI), 周期时间	6.67	250	ns	
	频率	4	150	MHz	
SYSCLKOUT	tc(SCO), 周期时间	6.67	500	ns	
	频率	2	150	MHz	
XCLKOUT	t _(XCO) , 周期时间	6.67	2000	ns	
	频率	0.5	150	MHz	
HSPCLK ⁽²⁾	tc(LCO), 周期时间	6.67	13.3 ⁽³⁾		ns
	频率		75 ⁽³⁾	150	MHz
LSPCLK ⁽²⁾	tc(LCO), 周期时间	13.3	26.7 ⁽³⁾		ns
	频率		37.5 ⁽³⁾	75 ⁽⁴⁾	MHz
ADC 时钟	tc(ADCCLK), 周期时间		40		ns
	频率		25		MHz

(1) 如果使用一个 3.3V 振荡器，这也应用于 X1 引脚.

(2) 更低的 LSPCLK 和 HSPCLK 将减少器件功耗.

时钟要求和特性

表37. 输入时钟频率

参数		最小值	典型值	最大值	单位
输入时钟频率	谐振器 (X1/X2)	20		35	MHz
	晶振 (X1/X2)	20		35	
	外部振荡器/时钟源 (XCLKIN)	150MHz 器件	4		MHz
		100MHz 器件	4		
跛行模式 SYSCLKOUT 频率范围 (/2 启用时)		1-5			MHz

表38. XCLKIN时序要求- PLL 被启用

编号				最小值	最大值	单位
C8	tc(CI)	周期时间, XCLKIN			33.3	200
C9	tf(CI)	下降时间, XCLKIN(1)				ns
C10	tr(CI)	上升时间, XCLKIN(1)				ns
C11	tw(CIL)	脉冲持续时间, XCLKIN 低电平作为 tc(CI)(1) 的一部分的时间			45	55
C12	tw(CIH)	脉冲持续时间, XCLKIN 高电平是 tc(CI)(1) 的一部分时间			45	55

(1) 这也被应用到 X1 引脚.

表39. XCLKIN时序要求- PLL 被禁用

编号				最小值	最大值	单位
C8	tc(CI)	周期时间, XCLKIN		150MHz 器件	6.67	250
C9	tf(CI)	下降时间, XCLKIN ⁽¹⁾		高达 30 MHz		6
				30MHz 至 150MHz		2
C10	tr(CI)	上升时间, XCLKIN ⁽¹⁾		高达 30 MHz		6
				30MHz 至 150MHz		2
C11	tw(CIL)	脉冲持续时间, XCLKIN 低电平作为 tc(CI) ⁽¹⁾ 的一部分的时间			45	55
C12	tw(CIH)	脉冲持续时间, XCLKIN 高电平是 tc(CI) ⁽¹⁾ 的一部分时间			45	55

(1) 这也被应用到 X1 引脚.

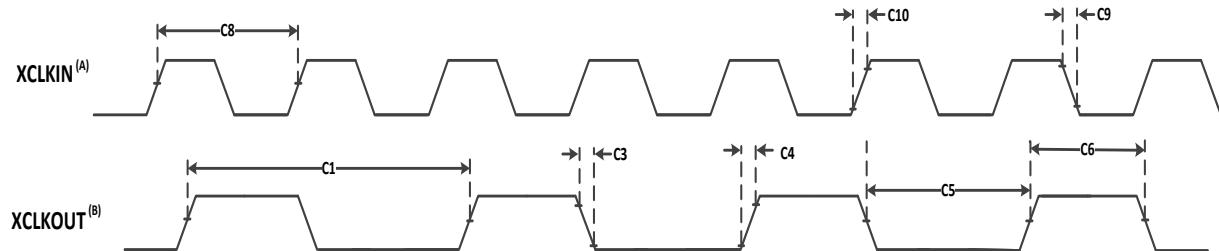
表40. XCLKOUT 开关特性(PLL 旁通或者被禁用)⁽¹⁾⁽²⁾

编号	参数		最小值	典型值	最大值	单位
C1	tc(XCO)	周期时间, XCLKOUT	150MHz	6.67		ns
			100MHz	10		
C3	tf(XCO)	下降时间, XCLKOUT		2		ns
C4	tr(XCO)	上升时间, XCLKOUT		2		ns
C5	tw(XCOL)	脉冲持续时间, XCLKOUT 低电平的时间		H-2		ns
C6	tw(XCOH)	脉冲持续时间, XCLKOUT 高电平的时间		H-2		ns
	t_p	PLL 锁定时间	131072tc(OSCCLK) ⁽³⁾			周期

(1) 假定这些参数有 40pF 的负载.

(2) $H=0.5t_{tf(XCO)}$.

(3) OSCCLK 或者为片载振荡器的输出, 或者是来自一个外部振荡器的输出.



A. XCLKIN 与 XCLKOUT 的关系取决于所选择的分频因子。 所显示的波形只用于说明时序参数并且根据实际配置会有所不同.

B. XCLKOUT 被配置成反映 SYSCLKOUT.

图 34. 时钟时序

电源排序

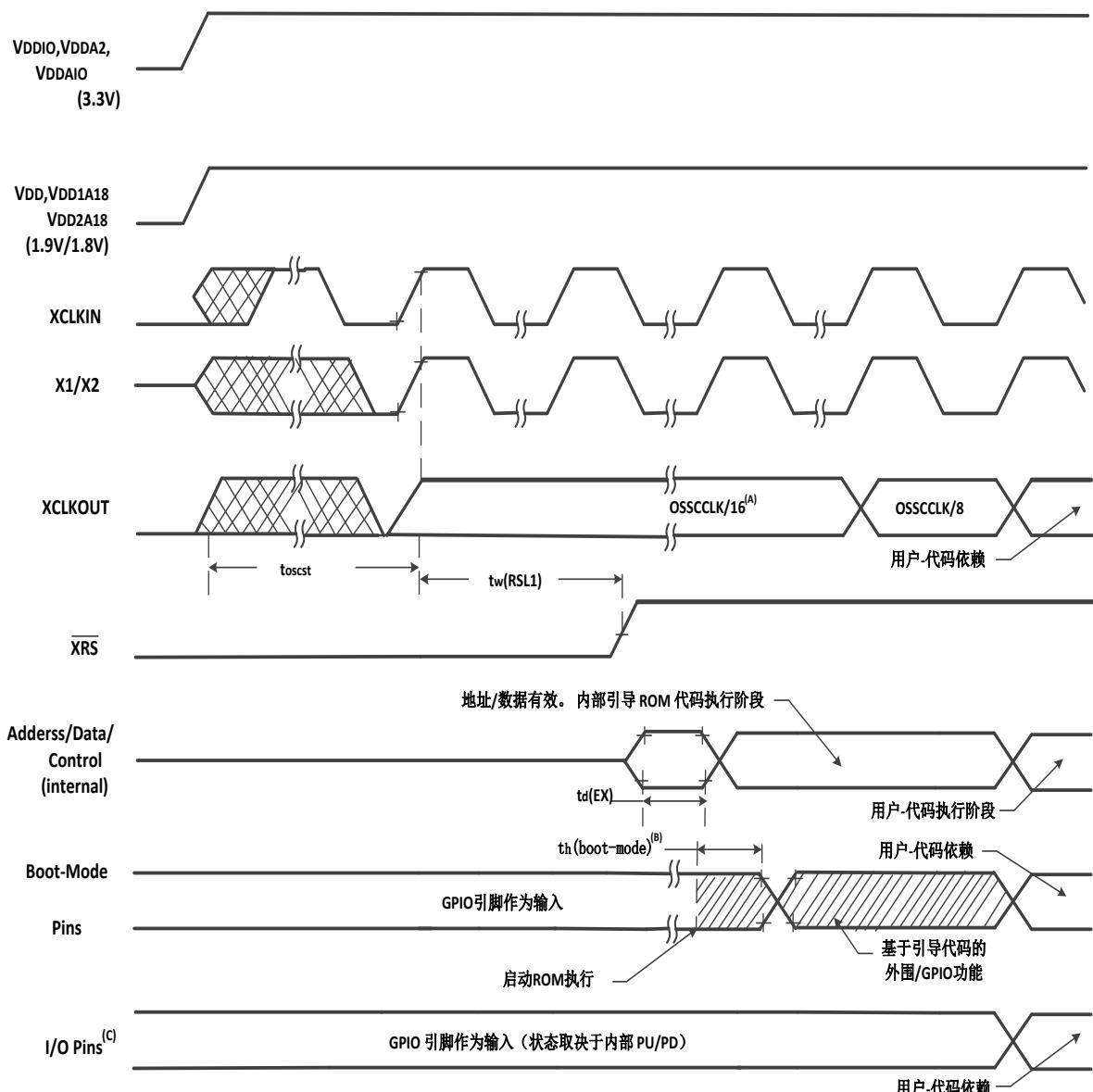
对于不同电源引脚的加电/断电序列无特别要求以确保针对所有模块的正确复位。然而, 如果 I/O 引脚的电平移动输出缓冲器中的 3.3V 晶体管在 1.8V/1.9V 晶体管之前加电, 输出缓冲器有可能打开, 这会在加电期间导致引脚上的毛刺脉冲。为了避免这一运行状态, 给 VDD 引脚加电应早于对 VDDIO 引脚供电, 或者与之同时, 以确保 VDD 引脚在 VDDIO 引脚达到 0.7V 之前达到 0.7V。

有一些对于 \overline{XRS} 引脚的要求:

1. 加电期间, \overline{XRS} 引脚必须在输入时钟稳定之后的 $tw(RSL1)$ 内保持低电平。这使得整个器件从一个已知的条件启动。
2. 断电期间, \overline{XRS} 引脚必须至少在 VDD 达到 1.5V 之前的 8 μ s 内被下拉至低电

平。这样做提高了闪存可靠性。

在为器件加电之前，不应将 VDDIO 之上大于二极管压降 (0.7V) 的电压应用于任何数字引脚上(对于模拟引脚，这个值是比 VDDA 高 0.7V 的电压值)。此外，VDDIO 和 VDDA 之间的差距应一直在 0.3V 之内。 应用于未加电器件的引脚上的电压会以一种无意的方式偏置内部 p-n 接头并产生无法预料的结果。



- A. 加电时, SYSCLKOUT 为 $\text{OSCCLK}/4$ 。由于 XINTCNF2 寄存器内的 XTIMCLK 和 CLKMODE 位出现时的状态为复位状态 1, SYSCLKOUT 在它出现在 XCLKOUT 上之前被进一步 4 频。这就是在这个阶段 $\text{XCLKOUT}=\text{OSCCLK}/16$ 的原因。随后, 引导 ROM 要把 YSCLKOUT 改为 $\text{OSCCLK}/2$ 。因为 XTIMCLK 存器不能被引导 ROM 改变, 所以此阶段, XCLKOUT 为 $\text{OSCCLK}/8$ 。
- B. 复位后, 引导 ROM 代码采样引导模式引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。
- C. 对于加电期间, 确保一个 GPIO 引脚为高阻抗状态的要求

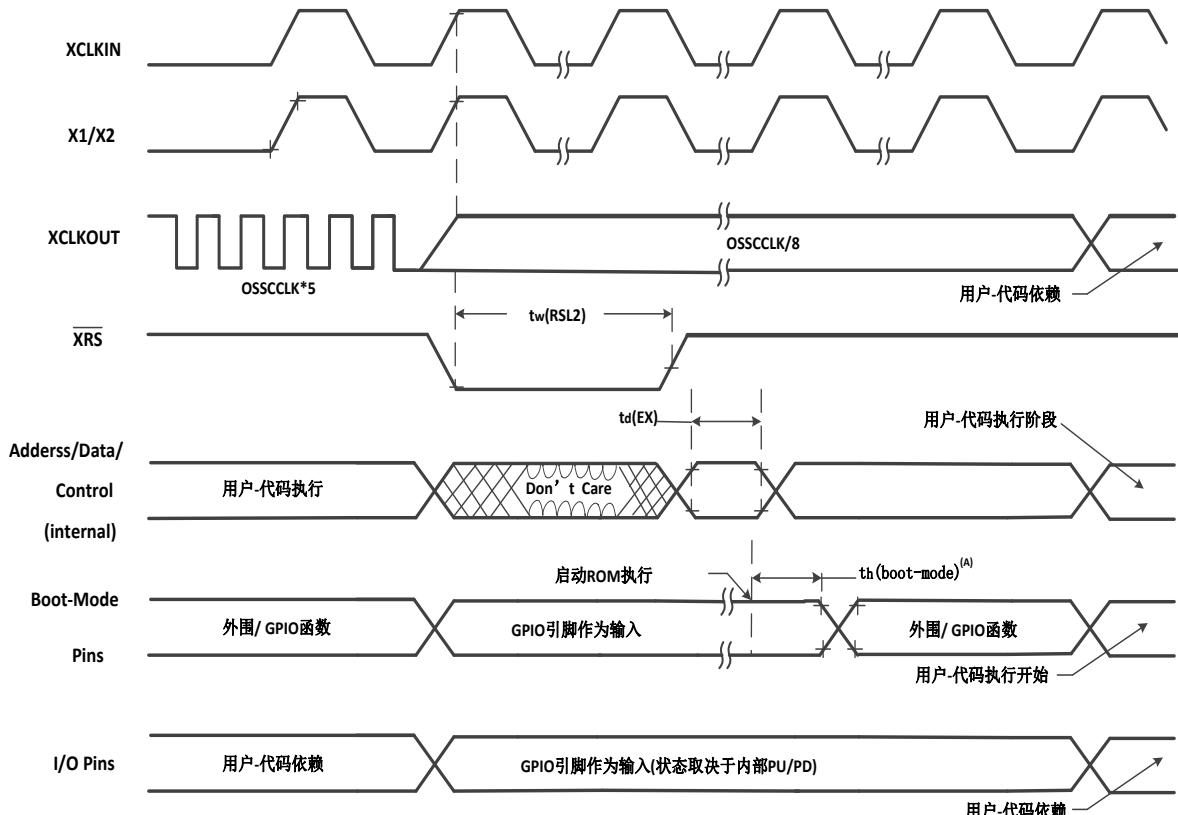
图 35. 加电复位

表 41. 复位 (\overline{XRS}) 序要求

		最小值	标称值	最大值	单位
tw(RSL1) ⁽¹⁾	脉冲持续时间, 稳定输入时钟至 XRS 高电平的时间		32tc(OSCCLK)		周期
tw(RSL2)	脉冲持续时间, XRS 低电平的时间	热复位	32 tc(OSCCLK)		周期
tw(WDRS)	脉冲持续时间, 由安全装置生成复位脉冲的时间		512tc(OSCCLK)		周期
td(EX)	延迟时间, XRS 高电平后, 地址/数据有效的时间		32tc(OSCCLK)		周期
tOSCST ⁽²⁾	振荡器启动时间		1	10	ms
th (引导模式)	引导模式引脚的保持时间		200tc(OSCCLK)		周期

(1) 另外, $t_w(RSL1)$ 要求, \overline{XRS} 必须在 V_{DD} 达到 1.5V 后的 1ms 内为低电平.

(2) 取决于晶振/谐振器和电路板设计.

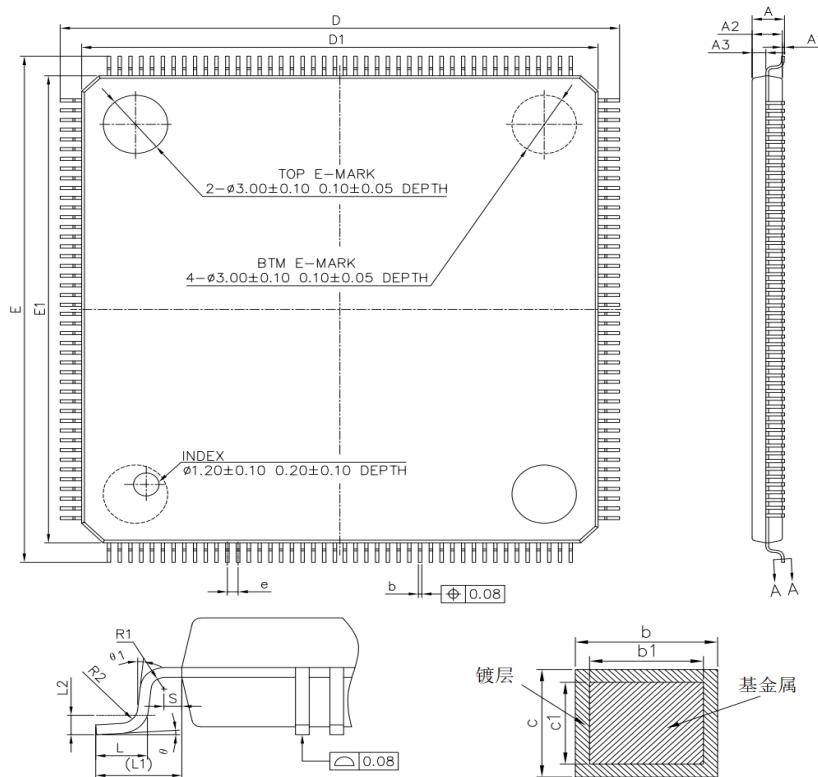


A. 复位后, 引导 ROM 代码采样 BOOT 模式 引脚。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在加电条件后 (在调试器环境中) 执行代码, 引导代码执行时间由当前的 SYSCLKOUT 的速度而定。SYSCLKOUT 将基于用户环境并可在 PLL 启用或者不启用时使用。

图 36. 热复位

封装尺寸数据

下图 38 显示了塑料薄型四方扁平封装 (LQFP176) 尺寸数据。

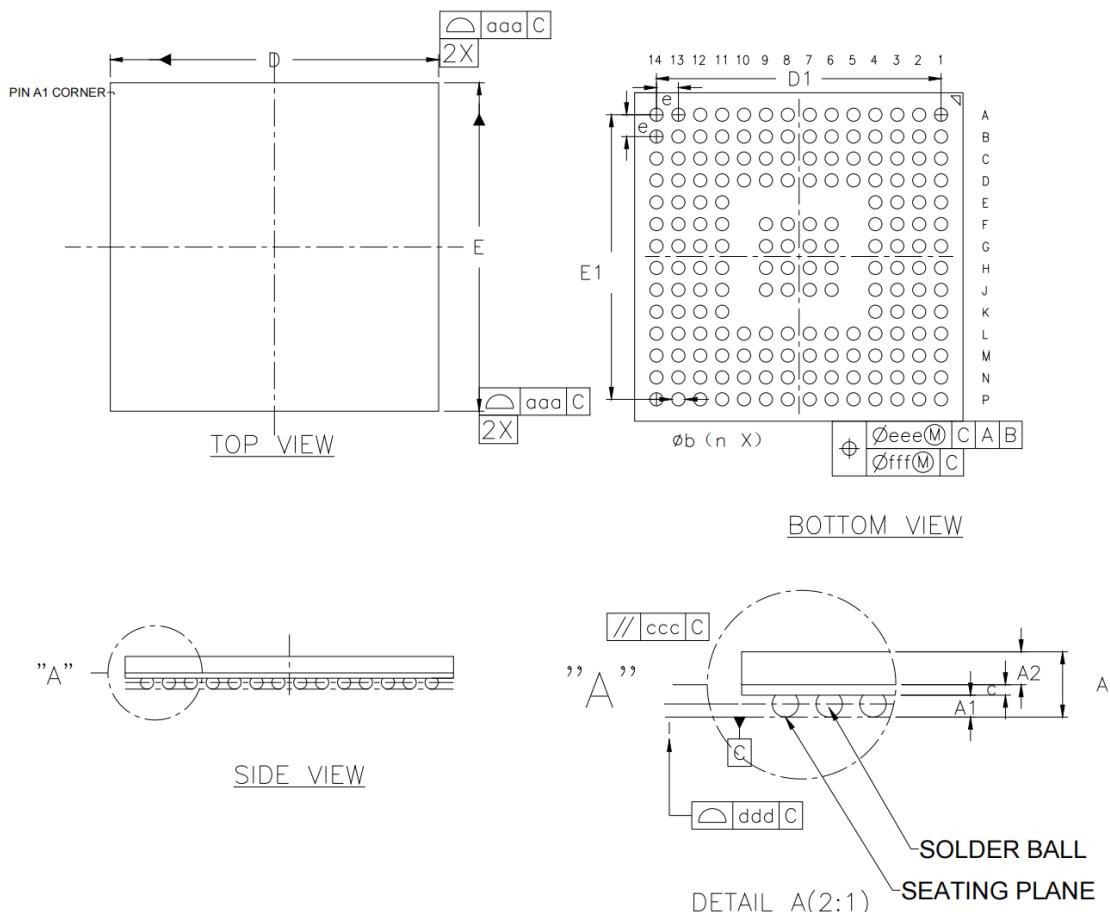


单位为毫米

尺寸符号	最小	公称	最大
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	-	0.27
b1	0.17	-	0.23
c	0.127	-	0.18
c1	0.119	0.127	0.135
D	25.90	26.00	26.10
D1	23.90	24.00	24.10
E	25.90	26.00	26.10
E1	23.90	24.00	24.10
e	0.45	0.50	0.55
L	0.45	0.60	0.75
L1		1.00REF	
L2		0.25BSC	
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
θ_1	0°	-	-
θ_2	11°	12°	13°
θ_3	11°	12°	13°

图 38 薄型四方扁平封装 (LQFP176) 尺寸图

下图 39 显示了塑料球栅阵列封装 (PBGA176) 封装尺寸数据。

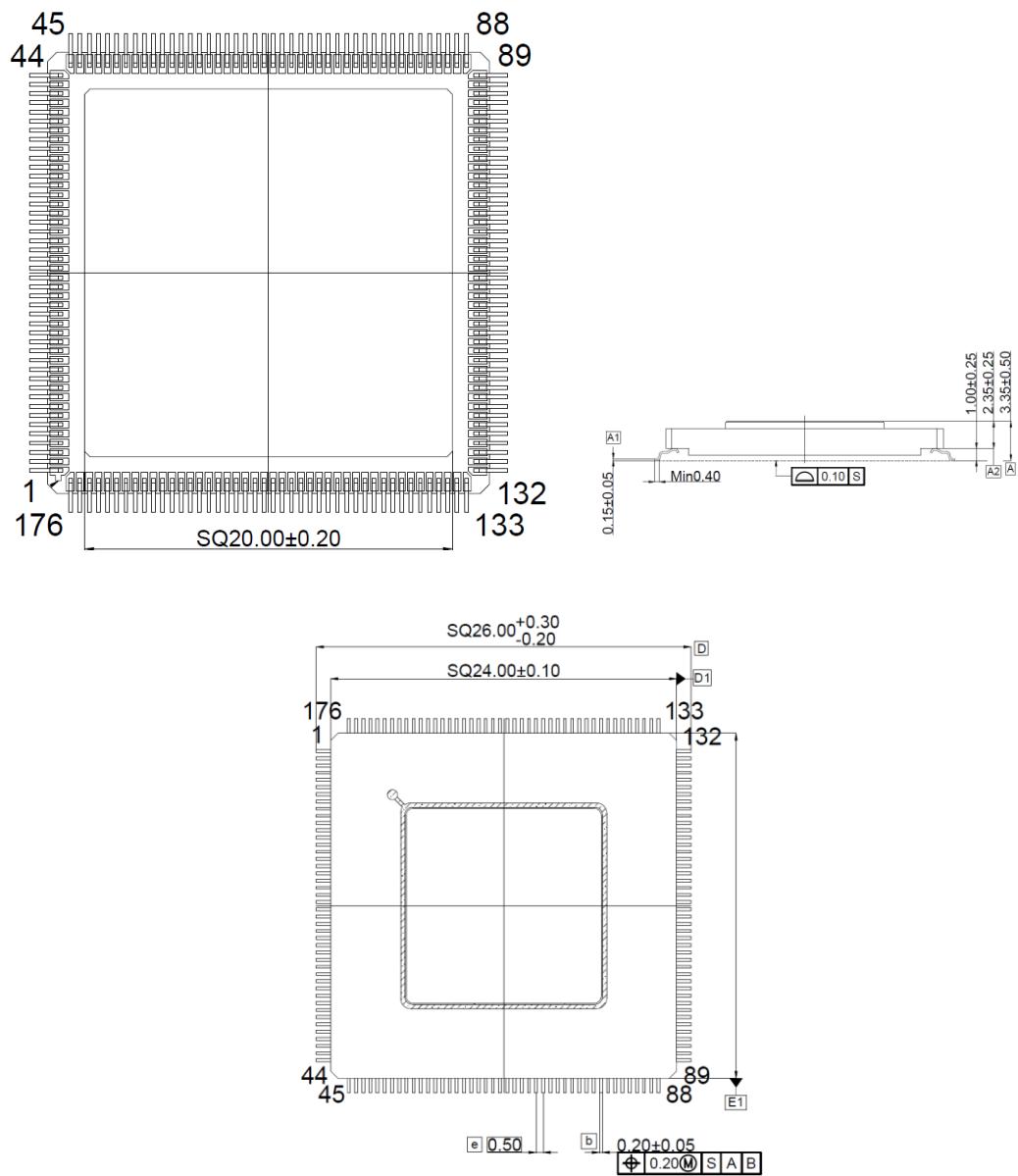


单位为毫米

尺寸符号	最小	公称	最大
A	1.45	1.49	1.54
A1	0.45	0.50	0.55
A2	0.70	0.75	0.80
c	0.20	0.24	0.28
D	14.90	15.00	15.10
E	14.90	15.00	15.10
D1	-	13.00	-
E1	-	13.00	-
e	-	1.00	-
b		0.6	
aaa		0.15	
ccc		0.20	
ddd		0.10	
eee		0.15	
fff		0.08	

图 39 塑料球栅阵列封装 (PBGA176) 封装尺寸图

下图 40 显示了陶瓷薄型四方扁平封装 (LQFP176) 尺寸数据。



尺寸符号	最小	公称	最大
A	3.30	3.35	3.40
A1	0.10	0.15	0.20
A2	2.10	2.35	2.60
b	0.15	0.20	0.25
D	25.80	26.00	26.30
D1	23.90	24.00	24.10
E1	23.90	24.00	24.10
e	-	0.50	-

图 40 陶瓷薄型四方扁平封装 (LQFP176) 尺寸图

订购信息

产品订购编号	封装类型	引脚数	温度范围	MSL 湿敏度等级	产品等级
TMS320F28335PTPQ TMS320F28335PTPF	LQFP	176	-55°C ~125°C	Level-3-260C-168 HR	特种应用
TMS320F28335CQFP	CQFP	176	-55°C ~125°C	-	特种应用
TMS320F28335ZGAA TMS320F28335PGBA	BGA	176	-55°C ~125°C	Level-3-260C-168 HR	特种应用
TMS320F28335PGFA	LQFP	176	-40°C ~125°C	Level-3-260C-168 HR	工业应用+
TMS320F28335ZGZA	BGA	176	-40°C ~125°C	Level-3-260C-168 HR	工业应用+
TMS320F28335PGFB	LQFP	176	-40°C ~105°C	Level-3-260C-168 HR	工业应用
TMS320F28335ZGZB	BGA	176	-40°C ~105°C	Level-3-260C-168 HR	工业应用