TLVx387 高精度、零温漂、低输入偏置电流运算放大器

1 特性

- 超低失调电压：±10μV（最大值）
- 零温漂：±0.01μV/°C
- 低输入偏置电流：300pA（最大值）
- 低噪声：1 kHz 时为 8.5nV/√Hz
- 无 1/f 噪声：177nV$_{PP}$（0.1Hz 至 10Hz）
- 共模输入范围超出电源轨 ±100mV
- 增益带宽：5.7 MHz
- 静态电流：每个放大器 570μA
- 单电源：1.7V 至 5.5V
- 双电源：±0.85V 至 ±2.75V
- EMI 和 RFI 已滤除的输入

2 应用

- 电子温度计
- 称重计
- 温度变送器
- 呼吸机
- 数据采集 (DAQ)
- 半导体测试
- 实验室和现场仪表
- 商用网络和服务器 PSU
- 模拟输入模块
- 压力变送器

3 说明

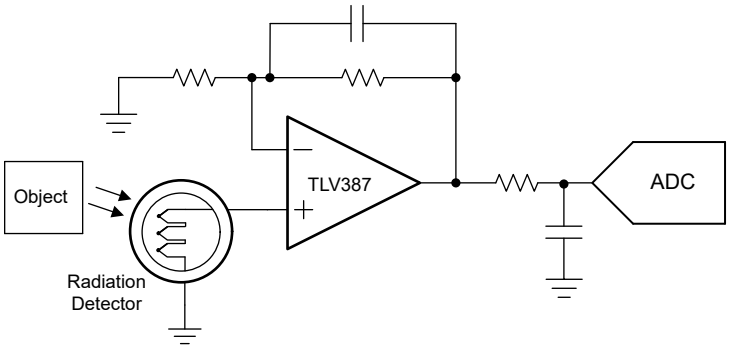
TLV387、TLV2387 和 TLV4387 (TLVx387) 精密放大器系列提供出色的性能。通过零温漂技术，TLVx387 的失调电压和失调温漂可提供出色的长期稳定性。仅需 570μA 的静态电流，TLVx387 就能实现 5.7MHz 的带宽、8.5nV/√Hz 的宽带噪声和 177nV$_{PP}$ 的 1/f 噪声。这些规格对于在 16 位至 24 位模数转换器 (ADC) 中实现超高精度和不降低线性度至关重要。TLVx387 在温度范围内具有平坦的偏置电流；因此，高输入阻抗应用在温度范围内几乎不需校准。

所有版本的额定工作温度范围均为 -40°C 至 +125°C。

器件信息

器件型号	通道数	封装(1)
TLV387	单通道	DBV（SOT-23，5）
TLV2387	双通道	D（SOIC，8）
		DGK（VSSOP，8）
TLV4387	四通道	PW（TSSOP，14）

(1) 有关更多信息，请参阅 节 10。



TLV387 是一款精密的低噪声 ADC 驱动器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息：TLV387.....7
5.5 热性能信息：TLV2387.....7
5.6 热性能信息：TLV4387.....7
5.7 电气特性.....8
5.8 典型特性.....10
6 详细说明.....15
6.1 概述.....15
6.2 功能方框图.....15
6.3 特性说明.....16
6.4 器件功能模式.....16
7 应用和实施.....17
7.1 应用信息.....17
7.2 典型应用.....17
7.3 电源相关建议.....19
7.4 布局.....20
8 器件和文档支持.....21
8.1 器件支持.....21
8.2 文档支持.....21
8.3 接收文档更新通知.....21
8.4 支持资源.....21
8.5 商标.....21
8.6 静电放电警告.....21
8.7 术语表.....21
9 修订历史记录.....22
10 机械、封装和可订购信息.....22

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

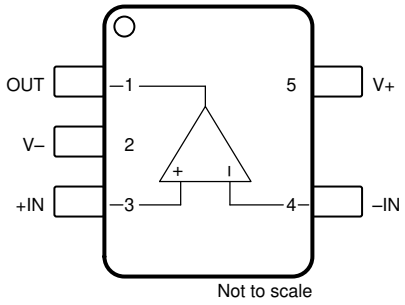


图 4-1. TLV387：DBV 封装，5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能：TLV387

引脚		类型	说明
名称	编号		
–IN	3	输入	反相输入
+IN	4	输入	同相输入
OUT	6	输出	输出
V–	5	电源	负电源（最低）
V+	1	电源	正电源（最高）

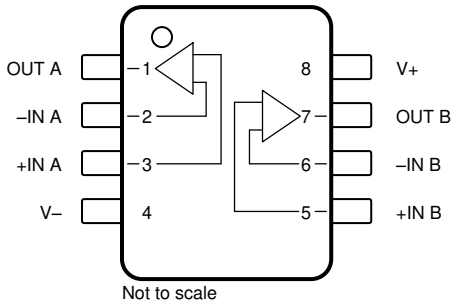


图 4-2. TLV2387：D 封装，8 引脚 SOIC 和 DGK 封装，8 引脚 VSSOP（顶视图）

表 4-2. 引脚功能：TLV2387

引脚			类型	说明
名称	编号			
	D (SOIC)、DGK (VSSOP)	DSG (WSON)		
–IN A	2	2	输入	反相输入，通道 A
–IN B	6	6	输入	反相输入，通道 B
+IN A	3	3	输入	同相输入，通道 A
+IN B	5	5	输入	同相输入，通道 B
OUT A	1	1	输出	输出，通道 A
OUT B	7	7	输出	输出，通道 B
V–	4	4	电源	负电源（最低）
V+	8	8	电源	正电源（最高）

Copyright © 2024 Texas Instruments Incorporated

表 4-2. 引脚功能：TLV2387（续）

引脚			类型	说明
名称	编号			
	D (SOIC)、DGK (VSSOP)	DSG (WSON)		
散热焊盘	—	散热焊盘	—	将散热焊盘连接至 V–

Copyright © 2024 Texas Instruments Incorporated

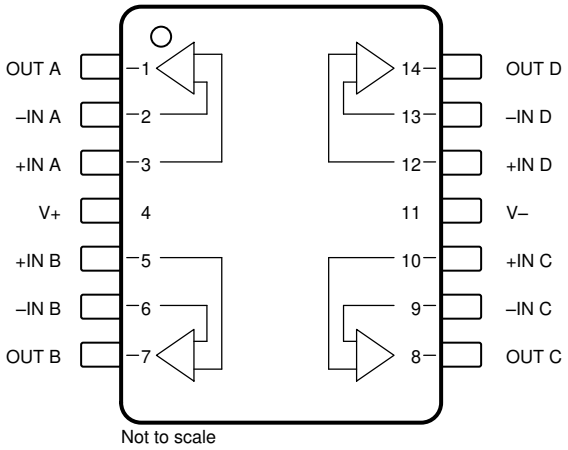


图 4-3. TLV4387：PW 封装，14 引脚 TSSOP（顶视图）

表 4-3. 引脚功能：TLV4387

引脚		类型	说明
名称	编号		
–IN A	2	输入	反相输入，通道 A
–IN B	6	输入	反相输入，通道 B
–IN C	9	输入	反相输入，通道 C
–IN D	13	输入	反相输入，通道 D
+IN A	3	输入	同相输入，通道 A
+IN B	5	输入	同相输入，通道 B
+IN C	10	输入	同相输入，通道 C
+IN D	12	输入	同相输入，通道 D
OUT A	1	输出	输出，通道 A
OUT B	7	输出	输出，通道 B
OUT C	8	输出	输出，通道 C
OUT D	14	输出	输出，通道 D
V –	11	电源	负电源（最低）
V+	4	电源	正电源（最高）

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源		6	V
		双电源		±3	
	输入电压，所有引脚	共模	(V–) – 0.5	(V+) + 0.5	V
		差分		(V+) – (V–) + 0.2	
	输入电流，所有引脚			±10	mA
	输出短路(2)		持续	持续	
T_A	工作温度		-55	150	°C
T_J	结温		-55	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±3000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源	1.7		5.5	V
		双电源	±0.85		±2.75	
T_A	额定温度		-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息：TLV387

热指标(1)		TLV387 DBV (SOT-23) 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	187.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	107.4	°C/W
$R_{\theta JB}$	结至电路板热阻	57.5	°C/W
ψ_{JT}	结至顶部特征参数	33.5	°C/W
ψ_{JB}	结至电路板特征参数	57.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 热性能信息：TLV2387

热指标(1)		TLV2387 D (SOIC) 8 引脚	TLV2387 DGK (VSSOP) 8 引脚	单位
$R_{\theta JA}$	结至环境热阻	127.9	165	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	69.9	53	°C/W
$R_{\theta JB}$	结至电路板热阻	71.4	87	°C/W
Ψ_{JT}	结至顶部特征参数	21.5	4.9	°C/W
Ψ_{JB}	结至电路板特征参数	70.7	85	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.6 热性能信息：TLV4387

热指标(1)		TLV4387 PW (TSSOP) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	109.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	27.4	°C/W
$R_{\theta JB}$	结至电路板热阻	56.1	°C/W
Ψ_{JT}	结至顶部特征参数	1.5	°C/W
Ψ_{JB}	结至电路板特征参数	54.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性

测试条件为：T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_S = 1.7V 至 5.5V，V_{CM} = V_S/2，V_{OUT} = V_S/2，以及制造最终测试中确定的最小和最大规格（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_S = 5.5V			±1	±5	μV
		V_S = 1.7V			±1.25	±6	
dV_{OS}/dT	输入失调电压温漂	T_A = –40°C 至 +125°C(1)			±0.01	±0.05	μV/°C
PSRR	电源抑制比				±0.05	±0.5	μV/V
		T_A = –40°C 至 +125°C(1)				±1	
输入偏置电流							
I_B	输入偏置电流				±60	±300	pA
		T_A = –40°C 至 +125°C(1)				±350	
I_{OS}	输入失调电流				±60	±500	pA
		T_A = –40°C 至 +125°C(1)				±700	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			177		nV_{PP}
					27		nV_{RMS}
e_N	输入电压噪声密度	f = 1Hz			8.5		nV/√Hz
		f = 10Hz			8.5		
		f = 100Hz			8.5		
		f = 1kHz			8.5		
i_N	输入电流噪声	f = 1kHz			70		fA/√Hz
输入电压							
V_{CM}	共模电压范围	V_S = 1.7V		(V-) – 0.1		(V+)	V
		V_S = 5.5V		(V-) – 0.2		(V+)+0.1	
CMRR	共模抑制比	(V–) – 0.1V < V_{CM} < (V+)，V_S = 1.7V		115	138		dB
		(V–) – 0.2V < V_{CM} < (V+) + 0.1V，V_S = 5.5V		130	150		
		(V–) – 0.1V < V_{CM} < (V+)，T_A = –40°C 至 +125°C(1)		110	132		
		(V–) – 0.2V < V_{CM} < (V+) + 0.1，V_S = 5.5V，T_A = –40°C 至 +125°C(1)		130			
输入电容							
Z_{ID}	差分				100 || 3		MΩ || pF
Z_{ICM}	共模				60 || 3		GΩ || pF
开环增益							
A_{OL}	开环电压增益	(V–) + 100mV < V_{OUT} < (V+) – 100mV		120	145		dB
			T_A = –40°C 至 +125°C(1)	115			
		(V–) + 150mV < V_{OUT} < (V+) – 150mV，R_L = 2kΩ		120	145		
			T_A = –40°C 至 +125°C(1)	115			

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性（续）

测试条件为：T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_S = 1.7V 至 5.5V，V_{CM} = V_S/2，V_{OUT} = V_S/2，以及制造最终测试中确定的最小和最大规格（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积				5.7		MHz
SR	压摆率	4V 阶跃，G = +1			2.8		V/μs
t_S	趋稳时间	0.1%，1V 阶跃，G = +1			1.5		μs
		0.01%，1V 阶跃，G = +1			2.5		
	过载恢复时间	V_{IN} × G > V_S			500		ns
	斩波时钟频率(1)			100	150		kHz
THD+N	总谐波失真 + 噪声	V_{OUT} = 1V_{RMS}，G = +1，f = 1kHz，R_L = 10kΩ			0.002 %		
输出							
	相对于电源轨的电压输出摆幅	空载			1	20	mV
					5	30	
		R_L = 2kΩ			20	75	
		T_A = –40°C 至 +125°C(1)				30	
	高线性输出摆幅范围(1)	A_{OL} > 120dB		(V–) + 0.075		(V+) – 0.075	V
			R_L = 2kΩ	(V–) + 0.150		(V+) – 0.150	
I_{SC}	短路电流	V_S = 5.5 V			±55		mA
		V_S = 1.7 V			±15		
	相位裕度	C_L = 100pF，G = +1			40		度
电源							
I_Q	每个放大器的静态电流	I_O=0mA			570	675	μA
			T_A = –40°C 至 125°C(1)			700	μA
	开通时间	V_S = 5.5V， V_S 升降速率 > 0.3V/μs，稳定至 1%			25	100	μs

(1) 根据多个批次的器件组装工作台系统测量值建立的规范。

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

T_A = 25°C，V_S = ±2.5V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 50pF（除非另外说明）

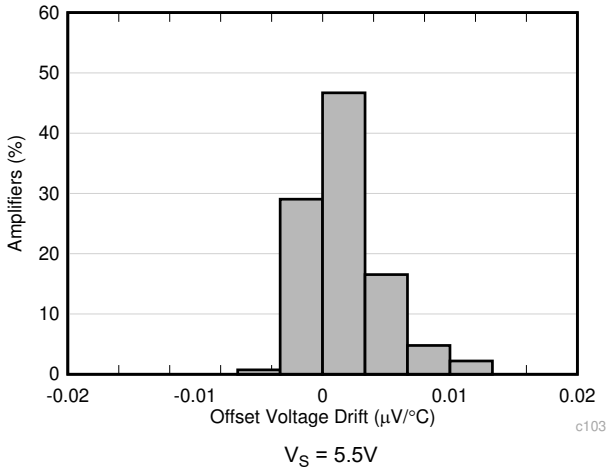


图 5-1. 失调电压温漂分布

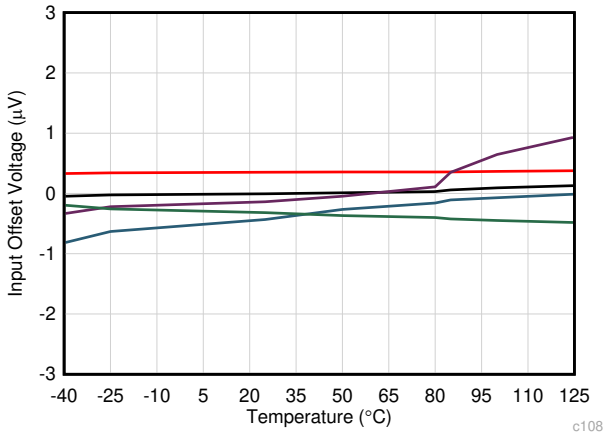


图 5-2. 失调电压与温度之间的关系

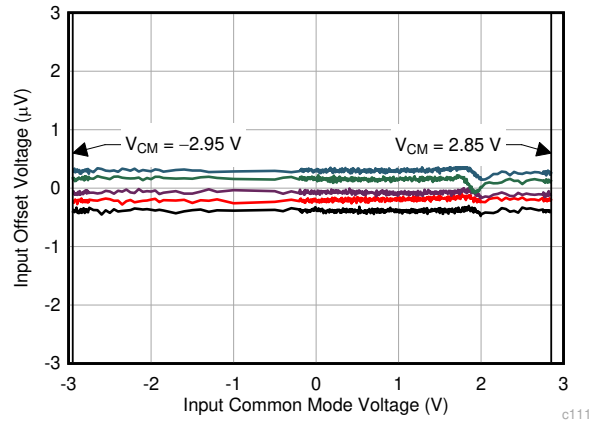


图 5-3. 失调电压与共模电压间的关系

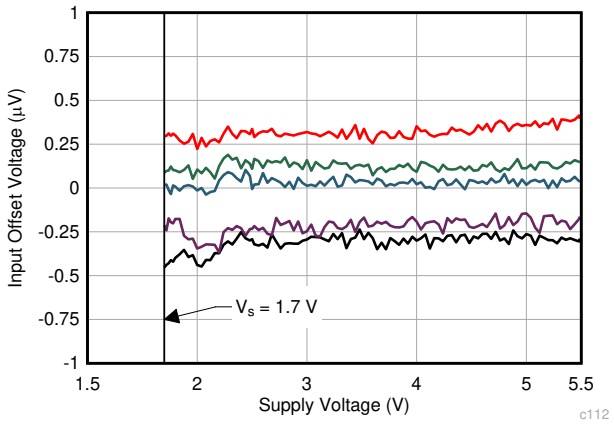


图 5-4. 偏移电压与电源电压间的关系

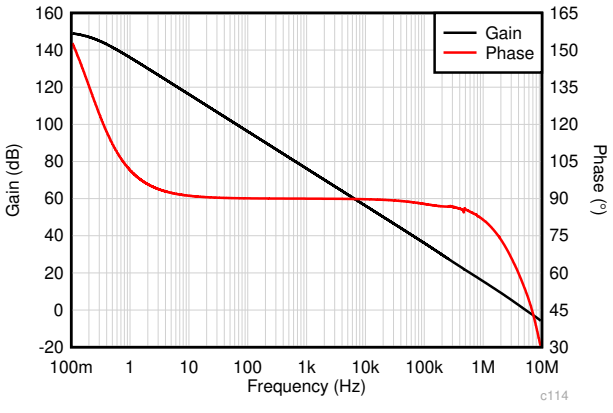


图 5-5. 开环增益和相位与频率间的关系

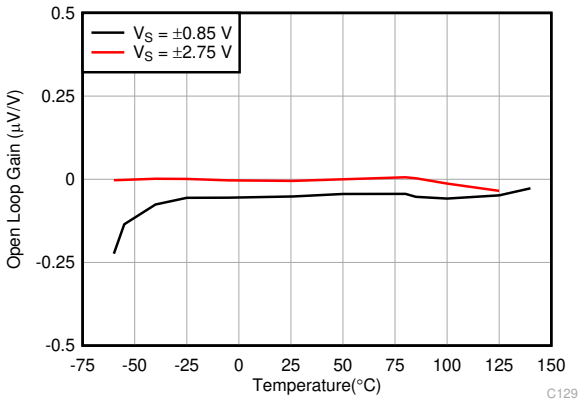


图 5-6. 开环增益与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

T_A = 25°C，V_S = ±2.5V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 50pF（除非另外说明）

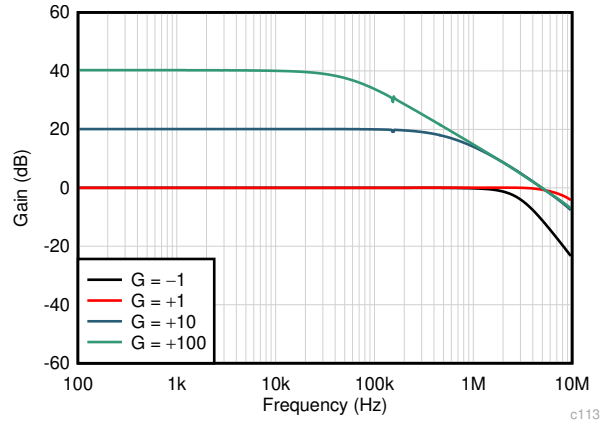


图 5-7. 闭环增益和相位与频率间的关系

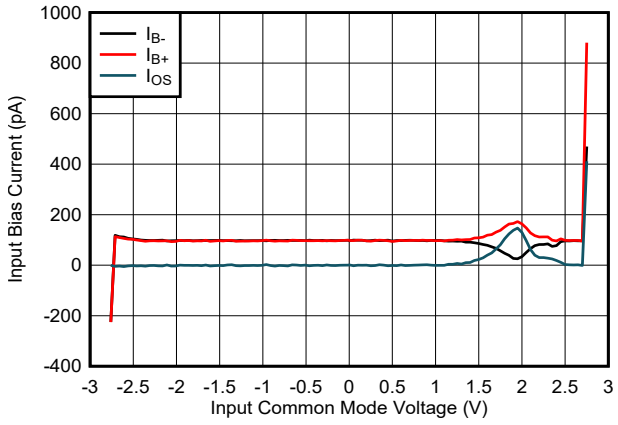


图 5-8. 输入偏置电流与共模电压间的关系

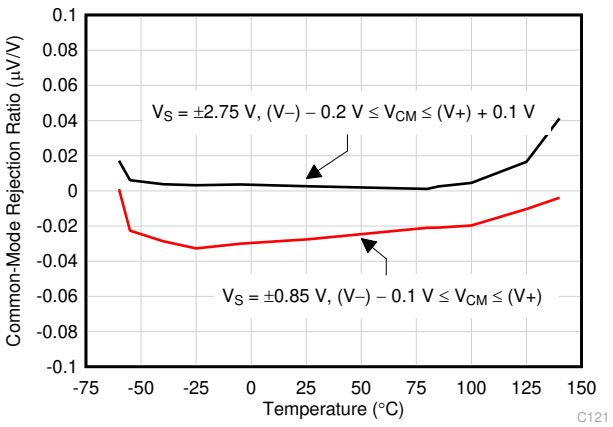


图 5-9. CMRR 与温度间的关系

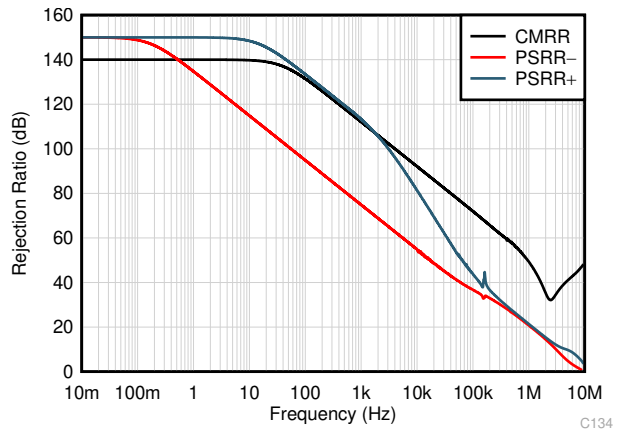


图 5-10. PSRR 和 CMRR 与频率间的关系

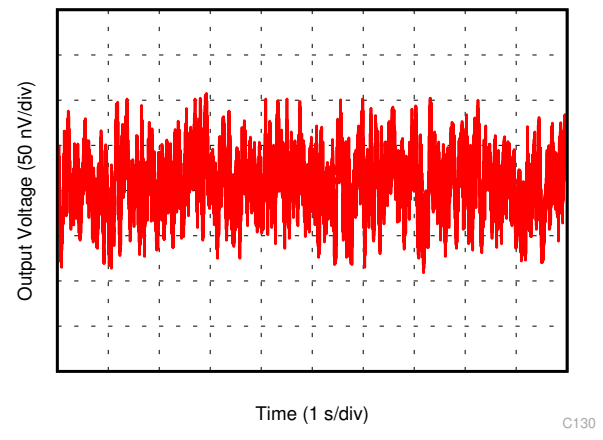


图 5-11. 0.1Hz 至 10Hz 噪声

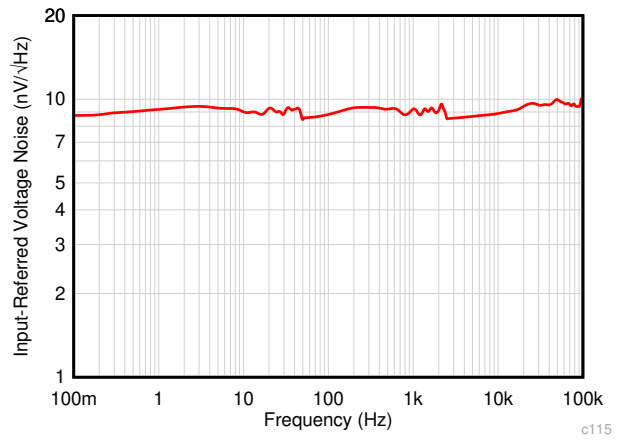


图 5-12. 输入电压噪声频谱密度与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

T_A = 25°C，V_S = ±2.5V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 50pF（除非另外说明）

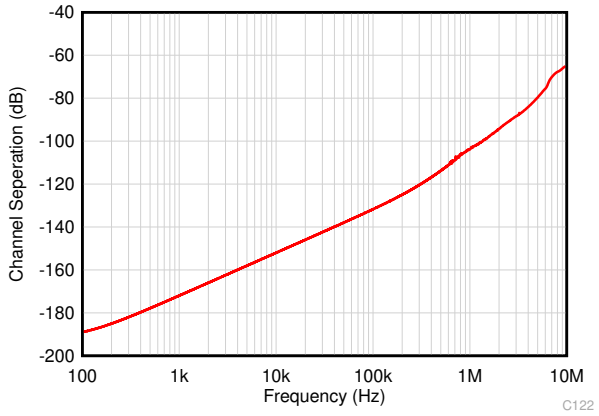
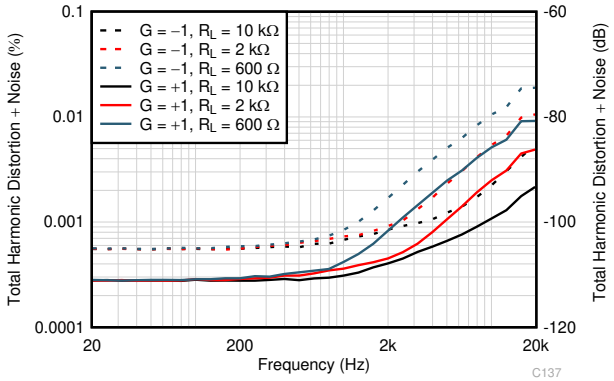
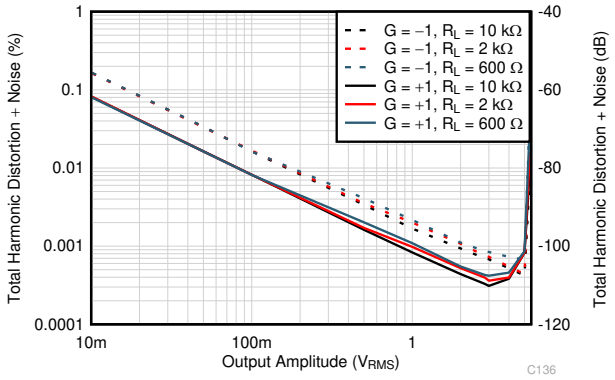


图 5-13. 通道-通道串扰



V_S = 5.5V，V_{OUT} = 3V_{RMS}，BW = 80kHz

图 5-14. THD+N 比与频率间的关系



V_S = 5.5V，f = 1kHz，BW = 80kHz

图 5-15. THD+N 与输出幅度间的关系

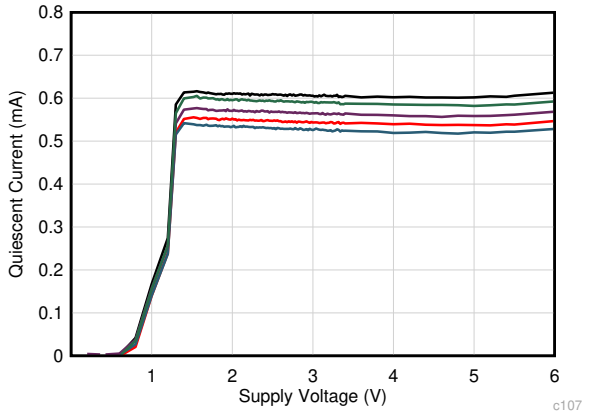


图 5-16. 静态电流与电源电压间的关系

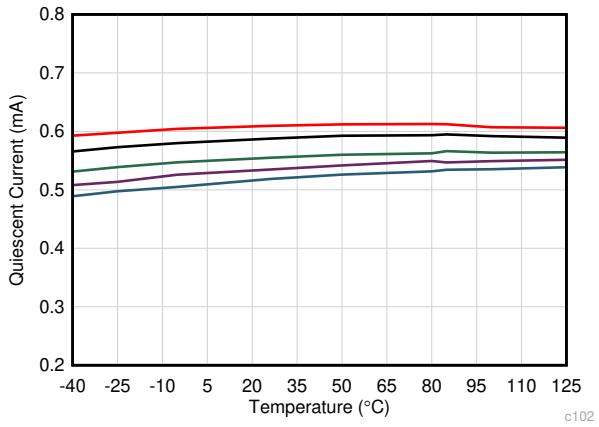


图 5-17. 静态电流与温度间的关系

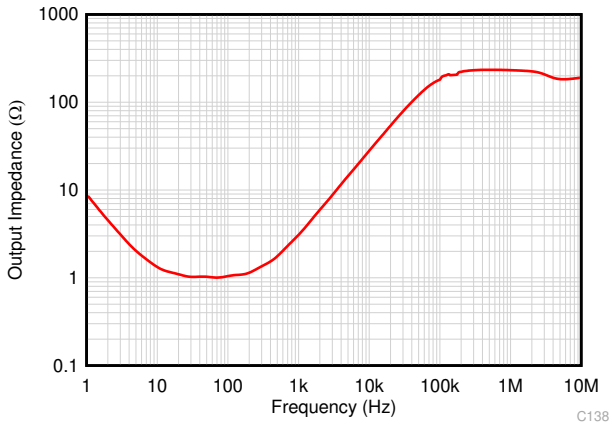
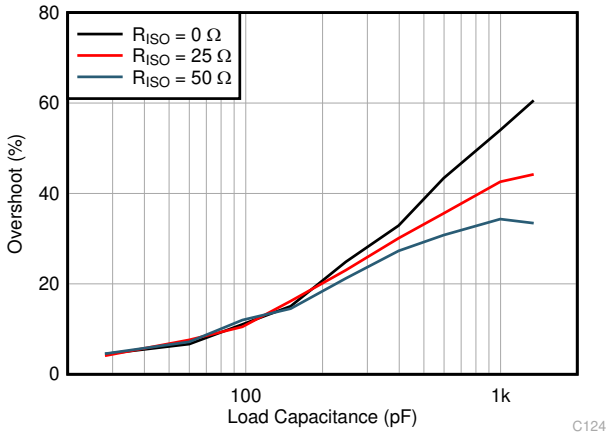


图 5-18. 开环输出阻抗与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

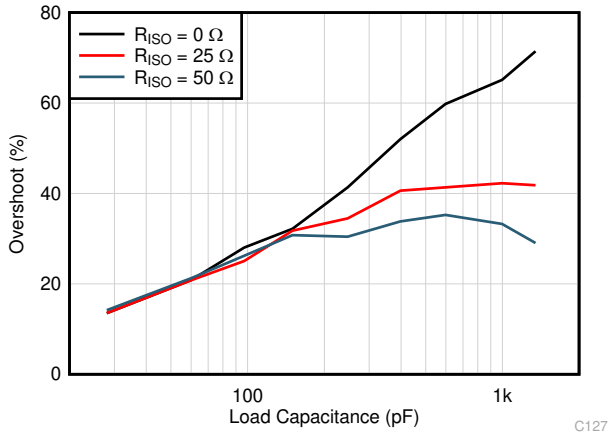
5.8 典型特性（续）

T_A = 25°C，V_S = ±2.5V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 50pF（除非另外说明）



G = –1，10mV 阶跃

图 5-19. 小信号过冲与容性负载间的关系



G = +1，10mV 阶跃

图 5-20. 小信号过冲与容性负载间的关系

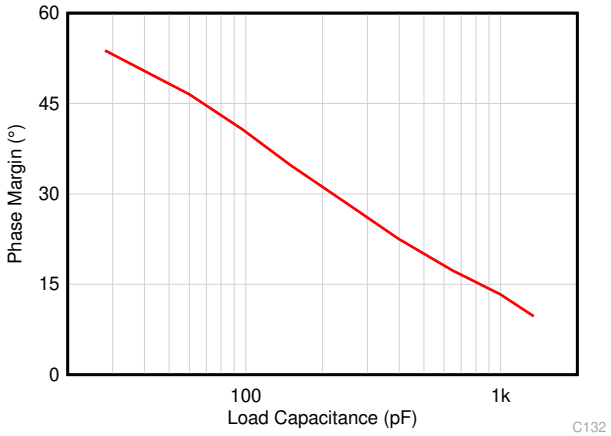


图 5-21. 相位裕度与容性负载间的关系

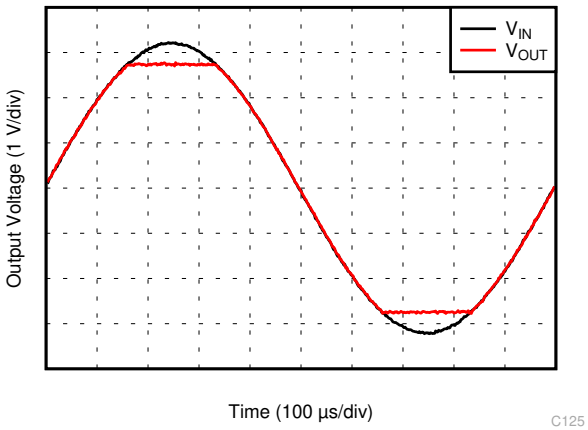
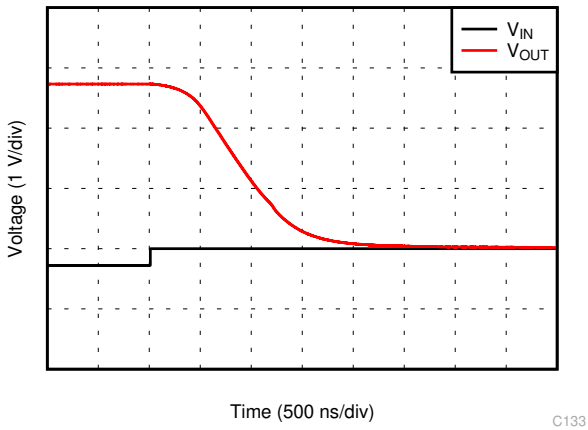
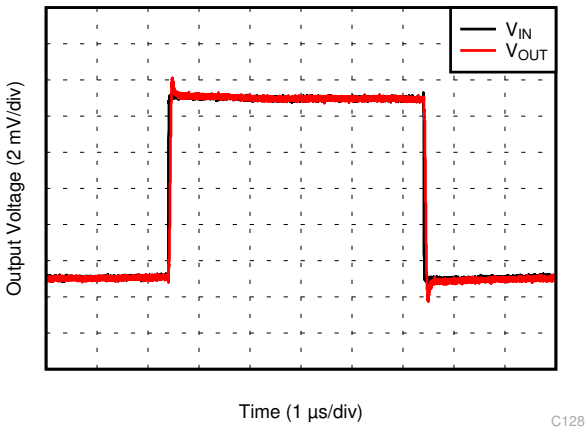


图 5-22. 无相位反转



G = –1

图 5-23. 过载恢复



G = +1

图 5-24. 小信号阶跃响应

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性（续）

T_A = 25°C，V_S = ±2.5V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 50pF（除非另外说明）

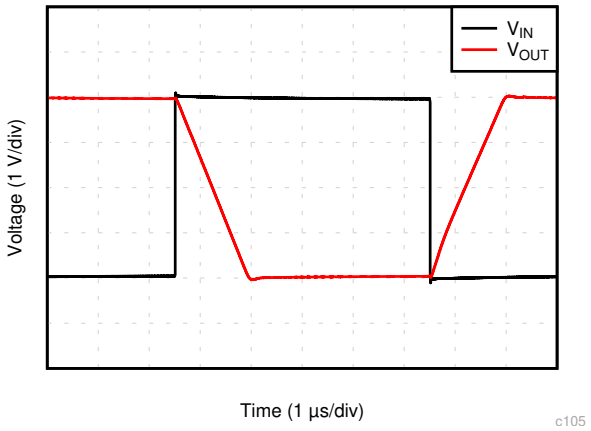
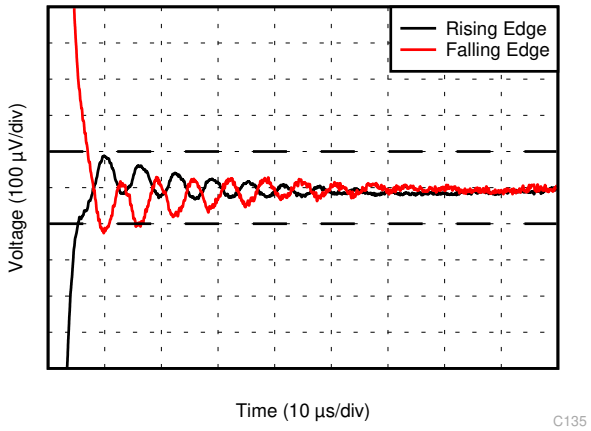


图 5-25. 大信号阶跃响应（4V 阶跃）



稳定到 0.01% = ±100µV

图 5-26. 趋稳时间

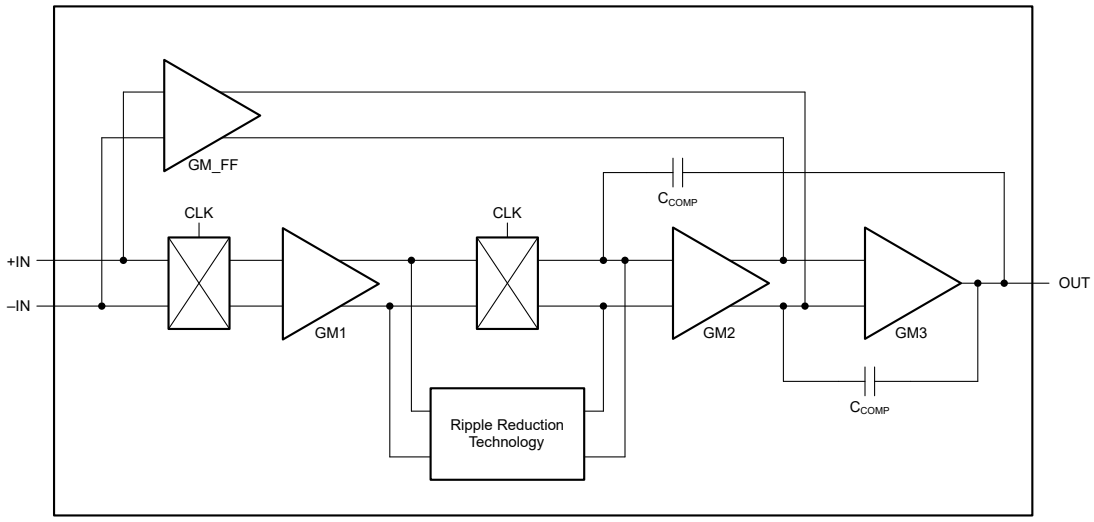
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

TLVx387 系列零温漂放大器采用先进的专有精密零温漂技术设计而成。这些放大器提供超低输入失调电压和温漂，实现出色的输入和输出动态线性性能。TLVx387 的工作电压为 1.7V 至 5.5V，单位增益稳定，旨在用于广泛的通用和精密应用。TLVx387 的优势还包括 5.7MHz 带宽、8.5nV/ √Hz 噪声频谱密度、无 1/f 噪声，因此 TLVx387 非常适合连接传感器模块和缓冲高保真数模转换器 (DAC)。

6.2 功能方框图



6.3 特性说明

6.3.1 输入偏置电流

在正常运行期间，TLVx387 的典型输入偏置电流为 30pA。该器件在 –40°C 至 +125°C 的整个温度范围内表现出低温漂。输入引脚（+IN 和 –IN）之间没有反并联二极管；因此，差分输入最大电压仅受连接到电源电压引脚的二极管的限制。但是，在输入差分电压超过标称工作输入差分电压的情况下，请务必小心。当输入分离时，放大器内部的开关失调电压消除路径会超出正常运行条件，并可能在恢复正常运行时产生长时间的趋稳行为。TLVx387 的等效输入电路如图 6-1 所示。

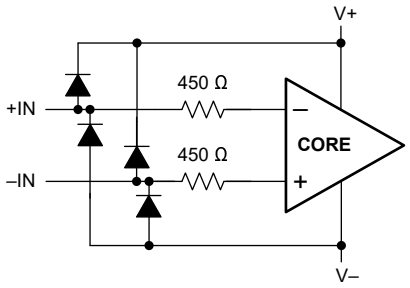


图 6-1. 等效输入电路

6.3.2 EMI 易感性和输入滤波

运算放大器会表现出对电磁干扰 (EMI) 的灵敏度。通常，传导 EMI（即通过传导进入器件的 EMI）比辐射 EMI（即通过辐射进入器件的 EMI）更常见。当传导 EMI 进入运算放大器时，放大器输出中的直流失调电压可能偏离标称值。这个偏离是由于内部半导体结相关的信号校正引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是输入引脚可能是最易受影响的。TLVx387 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此输入滤波器提供共模和差模滤波。TLVx387 的传导 EMI 抑制如图 6-2 所示。

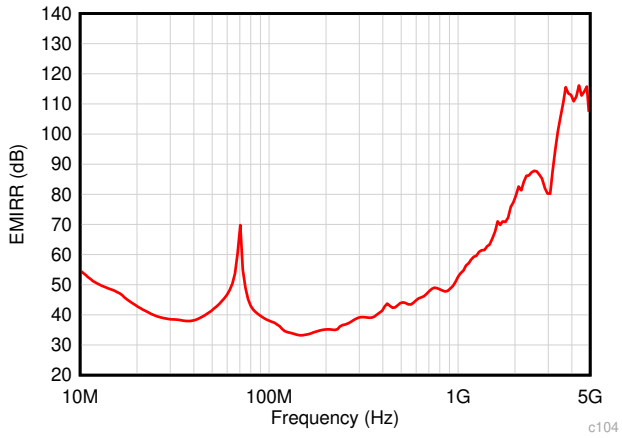


图 6-2. EMI 抑制比

6.4 器件功能模式

TLVx387 具有单一功能模式，可在电源电压大于 1.7V (±0.85V) 时正常工作。TLVx387 的最大额定电源电压为 5.5V (±2.75V)。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TLVx387 是单位增益稳定的精密运算放大器，采用先进的零温漂技术。采用专有零温漂电路后，无论时间和温度如何变化，都能实现低输入失调电压，并降低 1/f 噪声分量。由于具有高 PSRR，这些器件能够在直接依靠电池电源运行的应用中正常工作，而无需稳压调节。TLVx387 系列针对完整的轨到轨输入范围进行了优化，可由低电压单电源或双电源供电。在正常测试条件下，这些高精度、低噪声微型放大器可提供高阻抗输入（共模范围在电源基础上向外扩展了 100mV，并且不产生输入交越失真）和轨到轨输出（摆幅在电源上下 5mV 以内）。TLVx387 精密放大器设计用于低或高增益的上游模拟信号链应用，以及 DAC 缓冲等下游信号链功能。

7.1.1 零温漂时钟

TLVx387 采用先进的零温漂架构，可实现超低失调电压和温漂。该架构在内部使用时钟和开关来创建直流纠错路径。时钟在内部进行滤波，对大多数配置而言，通常无法观察到。采取以下预防措施来尽可能降低信号链中的时钟噪声。时钟会在放大器的输入端产生一个小的电荷注入脉冲；因此，请勿使用与输入端串联的高值电阻器 (>100kΩ)，以免输出端出现较高的时钟电压噪声。当输入引脚的阻抗匹配时，电荷注入脉冲非常小。如果使用了较高阻值的电阻器，则在两个放大器输入引脚上使用匹配的阻抗。

7.2 典型应用

7.2.1 双向电流检测

此单电源低侧双向电流检测设计示例可检测到从 –1A 到 +1A 的负载电流。单端输出范围从 110mV 到 3.19V。由于失调电压以及轨到轨输入和输出较低，所以此设计使用 TLVx387。其中一个放大器配置为差分放大器，另一个放大器提供基准电压。图 7-1 显示了设计示例原理图。

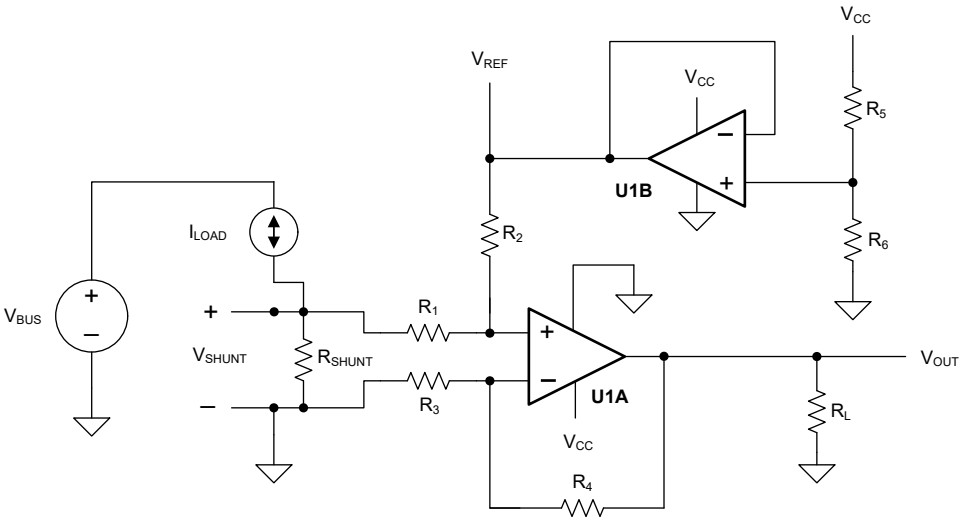


图 7-1. 双向电流感应原理图

7.2.1.1 设计要求

此设计示例要求如下：

- 电源电压：3.3V
- 输入：-1 A 至 +1 A

- 输出：1.65V ±1.54V（110mV 至 3.19V）

7.2.1.2 详细设计过程

负载电流 I_{LOAD} 流经分流电阻器 R_{SHUNT}，产生分流电压 V_{SHUNT}。然后由 U1A 和 R_1 至 R_4 构成的差分放大器放大分流电压。差分放大器的增益通过 R_4 与 R_3 之比设定。为了最大程度地减少误差，设置 $R_2 = R_4$ 且 $R_1 = R_3$。基准电压 V_{REF} 通过使用 U1B 缓冲电阻分压器的方式提供。传递函数由 方程式 1 确定。

$$V_{OUT} = V_{SHUNT} \times Gain_{Diff_Amp} + V_{REF} \quad (1)$$

其中

- $V_{SHUNT} = I_{LOAD} \times R_{SHUNT}$
- $Gain_{Diff_Amp} = \frac{R_4}{R_3}$
- $V_{REF} = V_{CC} \times \left[\frac{R_6}{R_5 + R_6}\right]$

该设计中存在两种误差类型：增益和失调电压。增益误差是由分流电阻器的容差和 R_4 与 R_3 之比，以及类似的 R_2 与 R_1 之比造成的。失调电压误差是由分压器（R_5 和 R_6）以及 R_4 / R_3 之比与 R_2 / R_1 之比之间的接近程度而造成的。R2/R1 之比影响差分放大器的 CMRR，最终导致了失调电压误差。

V_{SHUNT} 是低侧测量值，因此 V_{SHUNT} 的值是系统负载的接地电势。所以，必须对 V_{SHUNT} 使用最大值。在此设计中，V_{SHUNT} 的最大值设置为 100mV。方程式 2 计算分流电阻器的最大值，假设最大分流电压为 100mV，最大负载电流为 1A。

$$R_{SHUNT(Max)} = \frac{V_{SHUNT(Max)}}{I_{LOAD(Max)}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \quad (2)$$

R_{SHUNT} 的容差与成本成正比。在此设计中，选择容差为 0.5% 的分流电阻器。如果需要更高的精度，则选择容差为 0.1% 或更高精度的电阻器。

由于负载电流是双向电流，因此分流电压范围为 -100mV 至 +100mV。此电压在到达运算放大器 U1A 前，由 R_1 和 R_2 分压。请确保 U1A 同相节点处的电压在器件的共模范围内。使用共模范围扩展到低于负电源电压的运算放大器（例如 TLVx387）非常重要。因为 TLVx387 的典型失调电压仅为 ±0.25μV（±5μV，最大值），所以失调电压误差很小。

假设对称负载电流为 –1A 至 +1A，分压电阻器（R_5 和 R_6）必须相等。为了与分流电阻器保持一致，必须选择 0.5% 的容差。为了更大程度地降低功耗，使用了 10kΩ 电阻器。

要设置差分放大器的增益，必须考虑 TLVx387 的共模范围和输出摆幅。方程式 3 和方程式 4 分别显示了给定 3.3V 电源的情况下，TLVx387 的典型共模范围和最大输出摆幅。

$$-100mV < V_{CM} < 3.4V \quad (3)$$

$$100mV < V_{OUT} < 3.2V \quad (4)$$

现在可通过方程式 5 中所示的公式计算差分放大器的增益。

$$Gain_{Diff_Amp} = \frac{V_{OUT_Max} - V_{OUT_Min}}{R_{SHUNT} \times (I_{MAX} - I_{MIN})} = \frac{3.2\ V - 100\ mV}{100\ m\Omega \times [1\ A - (-1A)]} = 15.5\ \frac{V}{V} \quad (5)$$

R_1 和 R_3 的电阻值选定为 1kΩ。R_2 和 R_4 的电阻值选定为 15.4kΩ，因为该值最接近标准值。因此，在此示例中，计算出的差分放大器增益为 15.4V/V。

Copyright © 2024 Texas Instruments Incorporated

电路的增益误差主要取决于 R_1 至 R_4，因此选择了容差为 0.1% 的电阻器。该配置降低了设计中需要两点校准的可能性。如有需要，简单的一点校准可消除 0.5% 电阻器产生的失调电压误差。

7.2.1.3 应用曲线

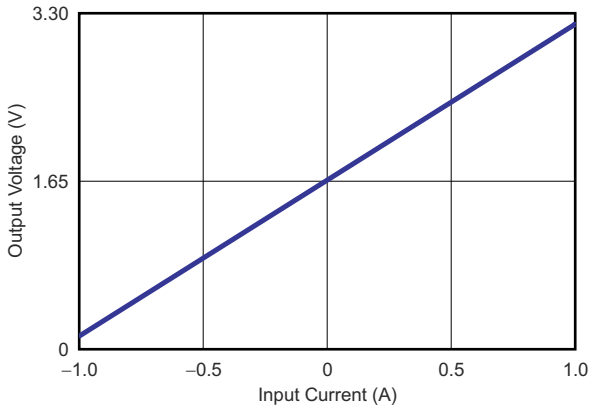


图 7-2. 双向电流检测电路性能：输出电压与输入电流间的关系

7.2.2 负载单元测量

图 7-3 显示了采用具有修整电阻器和 6 线制负载单元进行精密测量的高 CMRR 双通道运算放大器仪器放大器的 TLVx387。

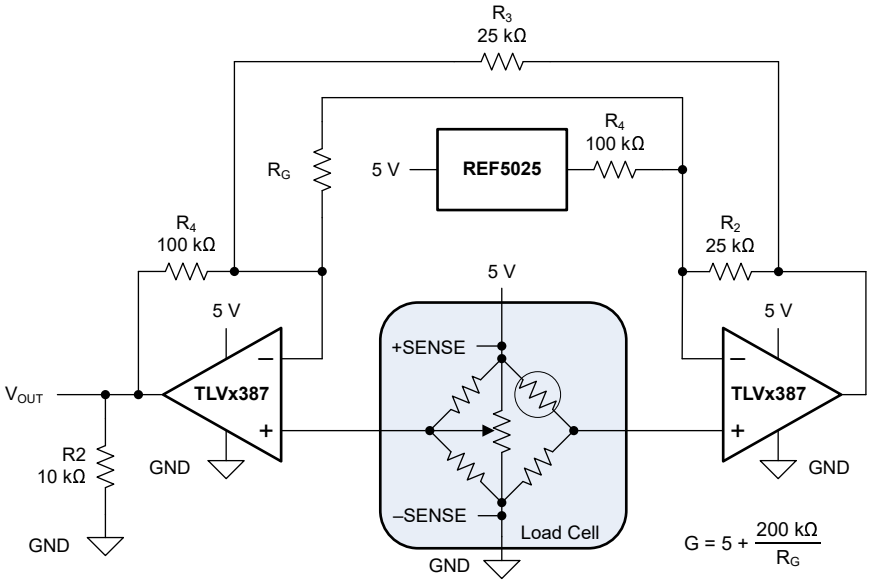


图 7-3. 负载单元测量原理图

7.3 电源相关建议

TLVx387 系列器件的额定工作电压范围为 1.7V 至 5.5V（单电源）和 ±0.85V 至 ±2.75V（双电源）。节 5.8 中展示了随工作电压的变化而显著变化的关键参数。

小心

电源电压大于 6V 可能会对器件造成损坏（请参阅节 5.1）。

7.4 布局

7.4.1 布局指南

应注重良好的布局实践。尽量缩短走线，如果可以，在使用印刷电路板 (PCB) 接地平面时，请将表面贴装式组件放置在尽可能靠近器件引脚的位置。将 0.1 µF 电容器放置在靠近电源引脚的位置。在整个模拟电路中贯彻应用这些准则可提高性能并实现各种优势，如降低电磁干扰 (EMI) 易感性。

要获得最低的失调电压和精密性能，需要优化电路布局和机械条件。避免在因连接异种导体形成的热电偶结中产生热电（塞贝克）效应的温度梯度。通过确保两个输入引脚上的电势相等，消除这些热产生的电势。其他布局和设计注意事项包括：

- 使用低热电系数条件（避免异种金属）。
- 将组件与电源或其他热源进行热隔离。
- 将运算放大器和输入电路与气流（如冷却风扇气流）隔离。

遵循这些准则可降低在不同温度下产生结的可能性，这些结可能导致 0.1 µV/°C 或更高的热电电压温漂，具体取决于所使用的材料。

7.4.2 布局示例

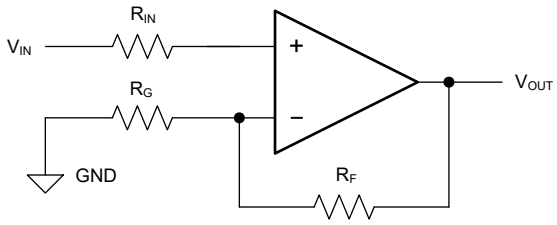


图 7-4. 原理图表示

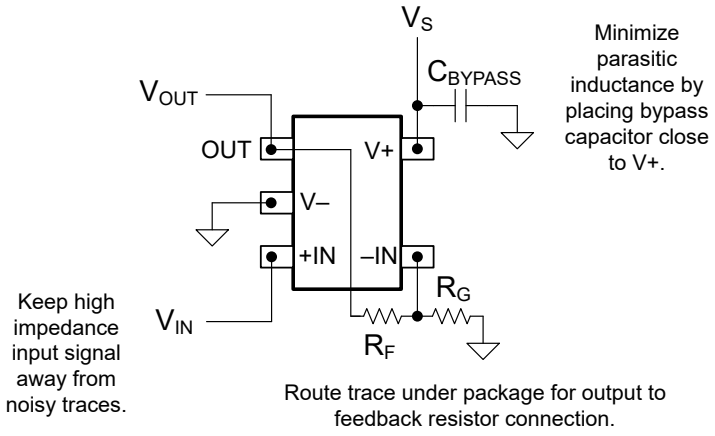


图 7-5. 布局示例

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

8.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计工具和仿真网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI™ 软件文件夹中下载免费的 TINA-TI 仿真软件。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：德州仪器 (TI)，*电路板布局布线技巧*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (November 2023) to Revision B (December 2023)	Page
• 将文档状态从量产混合更改为量产数据	1
• 将 TLV2387 D（SOIC，8）封装状态从预发布更改为量产数据（正在供货）	1

Changes from Revision * (December 2021) to Revision A (November 2023)	Page
• 将文档状态从量产数据更改为量产混合，并添加了预发布 D 封装	1
• 将 TLV2387 和 TLV4387 的器件状态从“预发布”更改为“正在供货”	1
• 添加了 TLV2387 预发布 D 封装（SOIC，8）和相关内容	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2387DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	3BBT
TLV2387DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL2387
TLV387DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2LOT
TLV387DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	2LOT
TLV4387PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	TLV4387

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

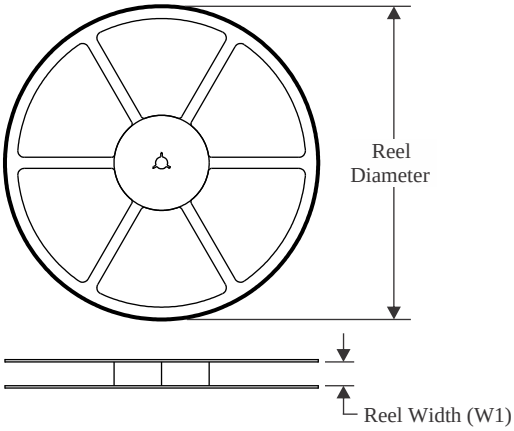
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

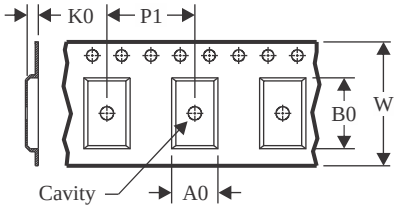
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

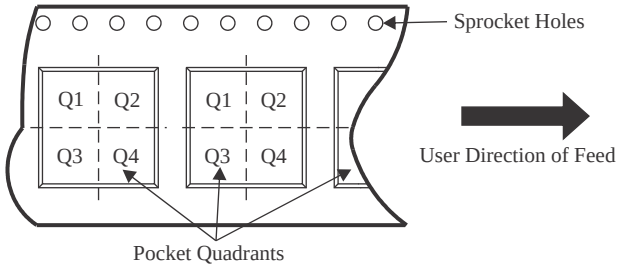


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

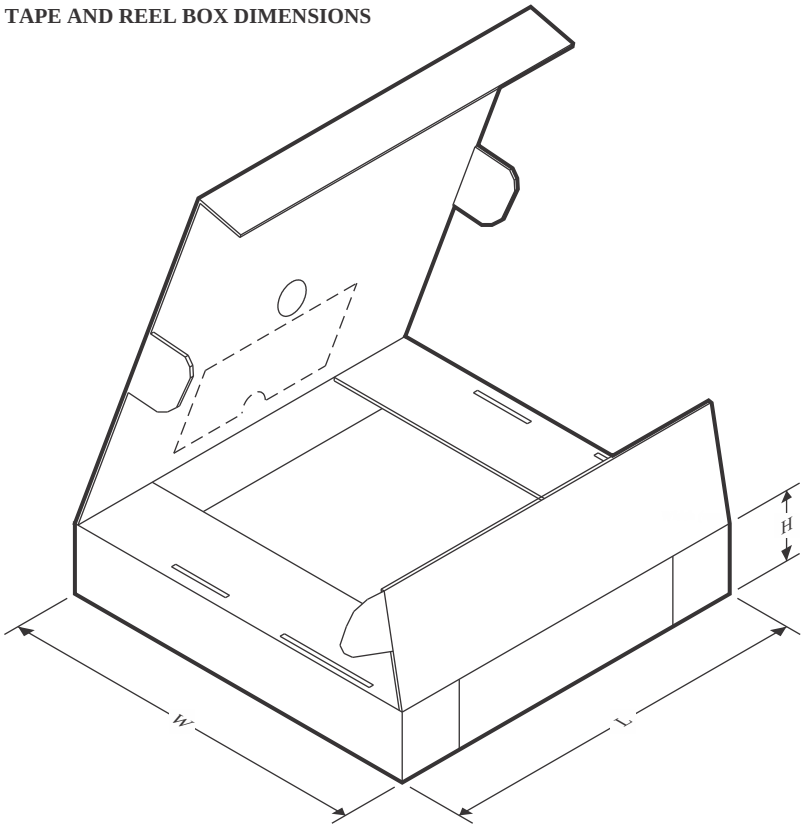
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

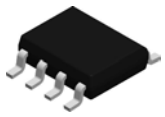
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2387DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV2387DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV387DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV387DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TLV4387PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2387DGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV2387DR	SOIC	D	8	3000	356.0	356.0	35.0
TLV387DBVR	SOT-23	DBV	5	3000	190.0	190.0	30.0
TLV387DBVT	SOT-23	DBV	5	250	190.0	190.0	30.0
TLV4387PWR	TSSOP	PW	14	3000	356.0	356.0	35.0

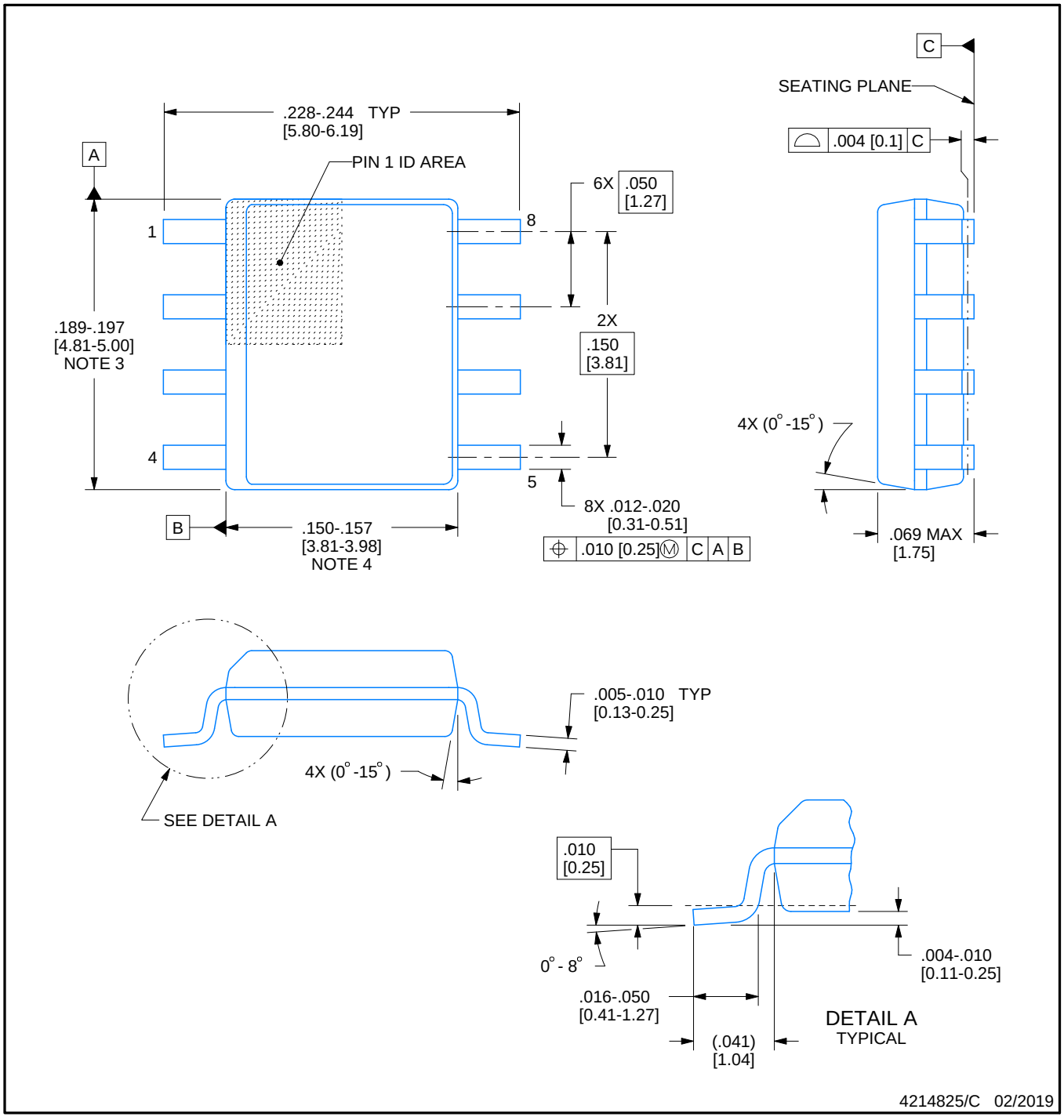


PACKAGE OUTLINE

D0008A

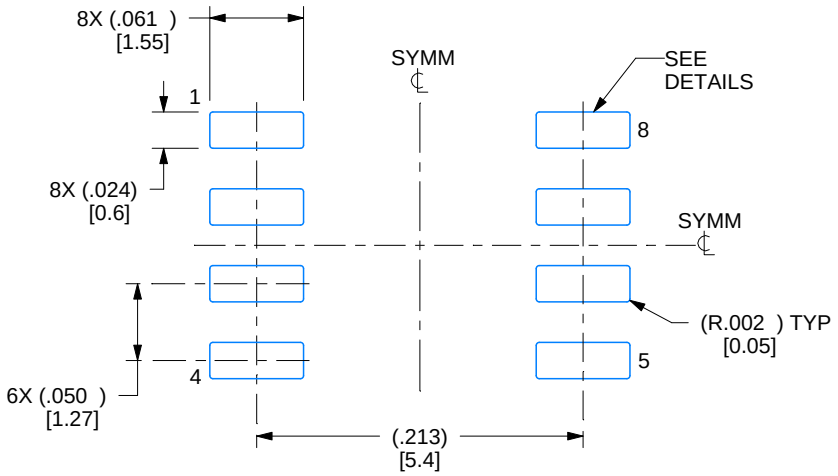
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

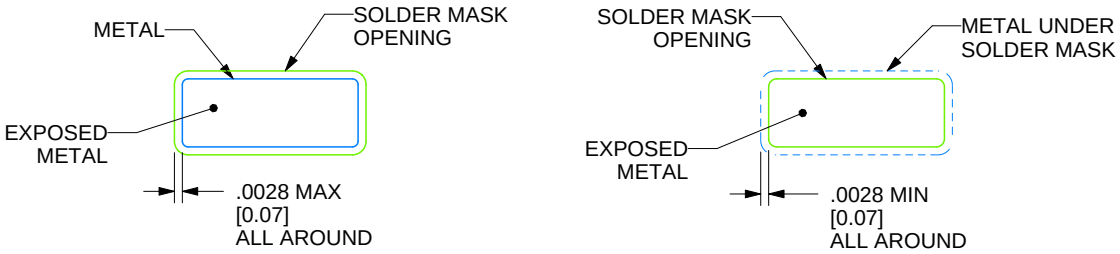


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

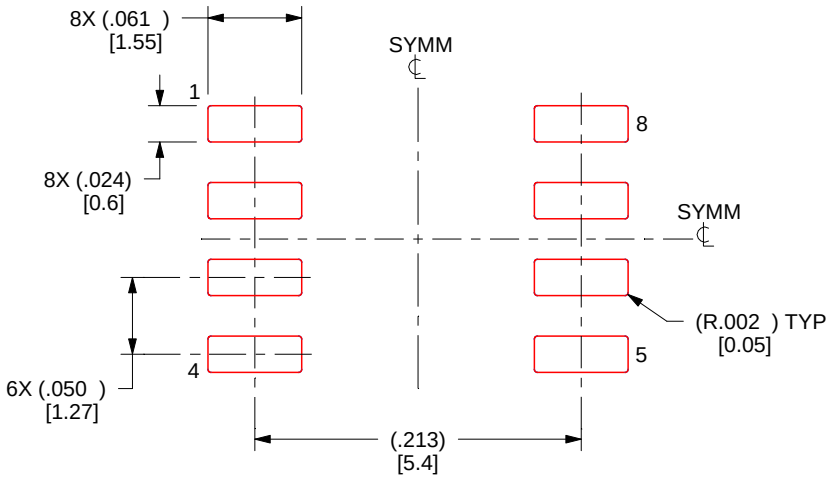
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

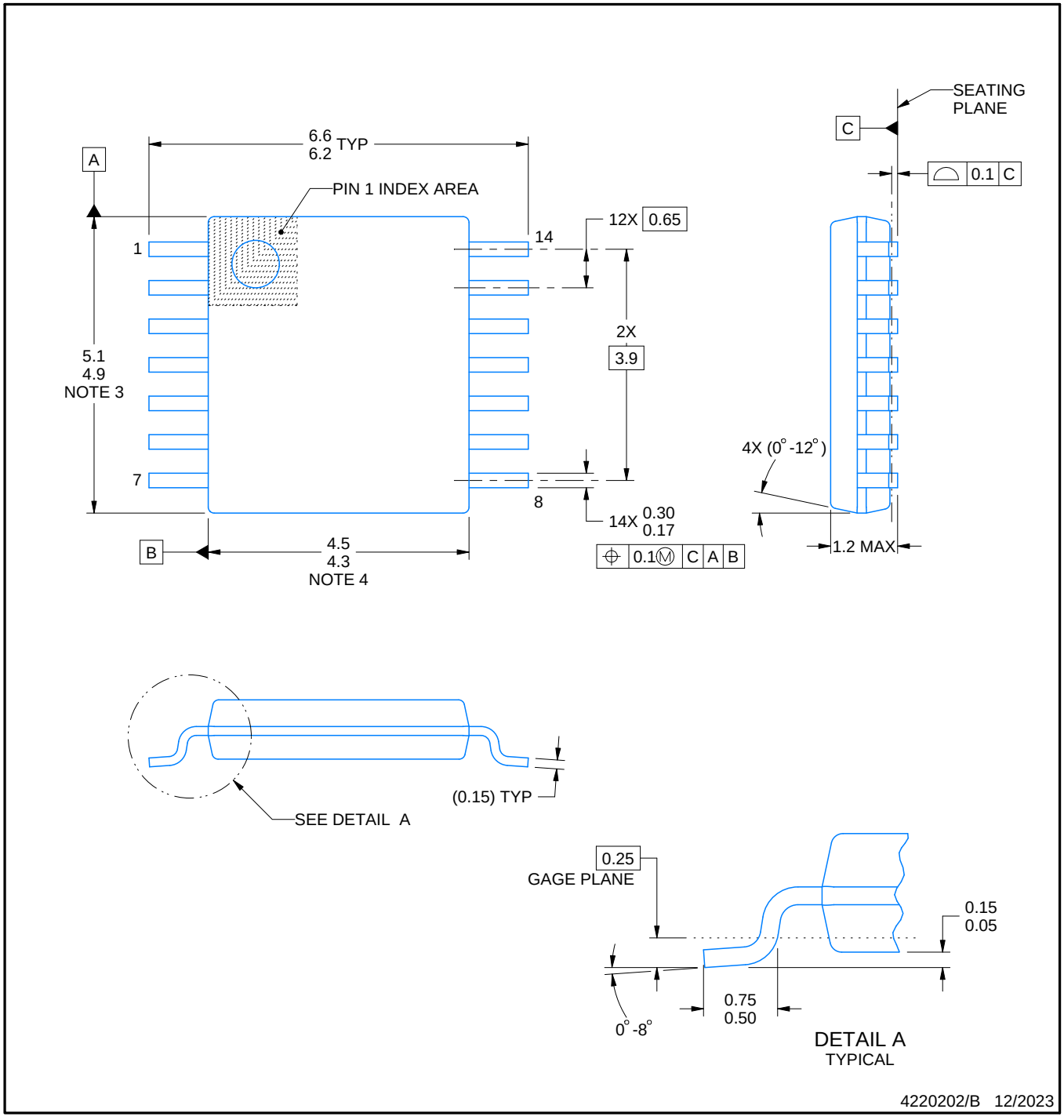
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

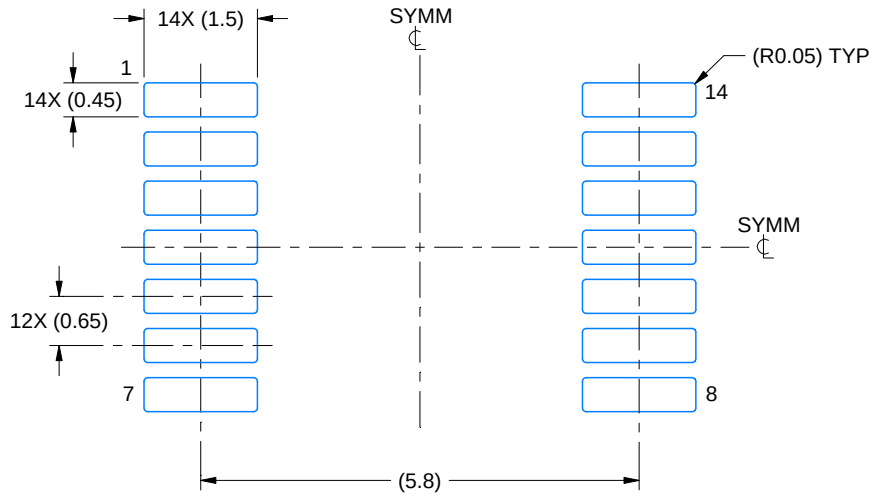
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

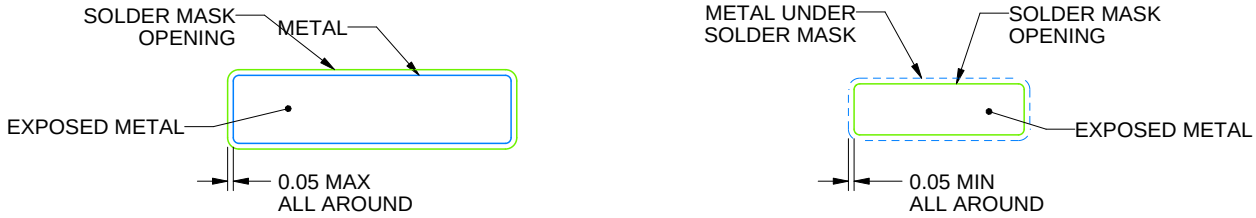


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

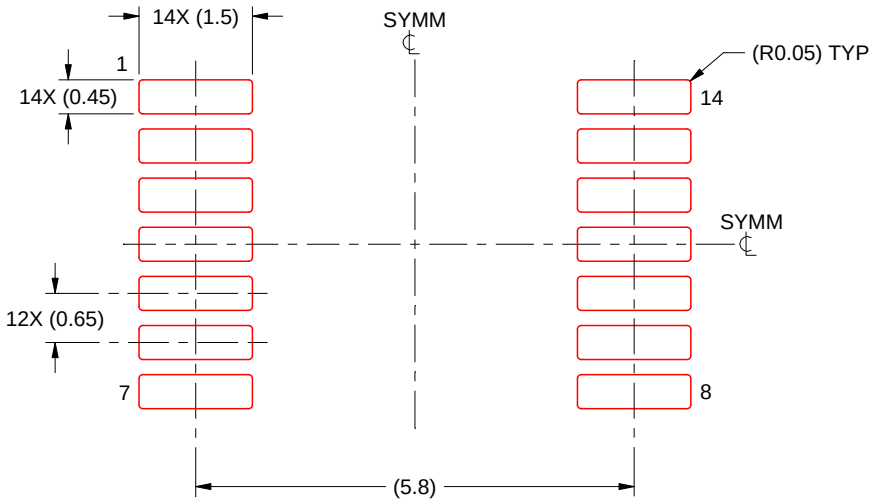


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

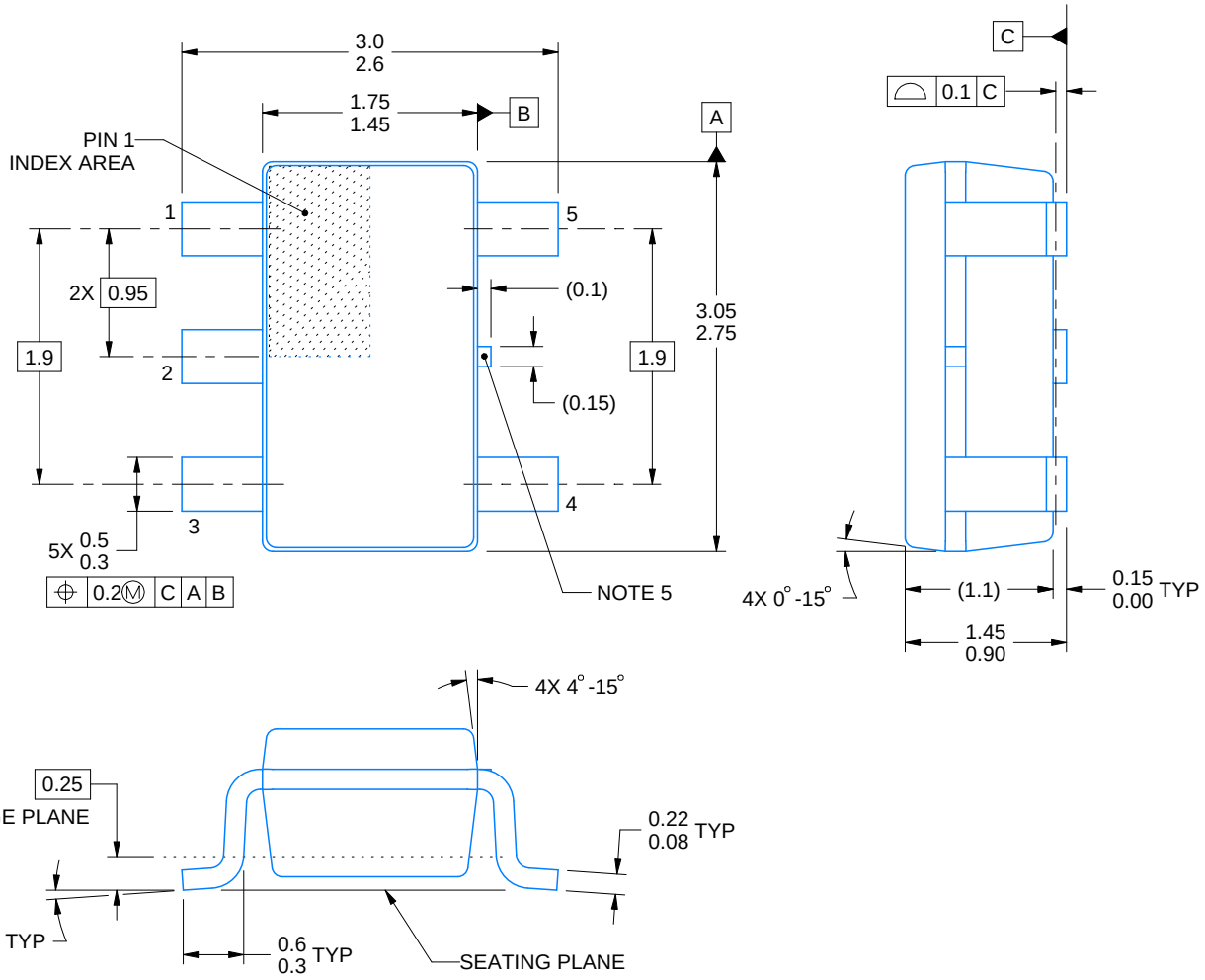
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

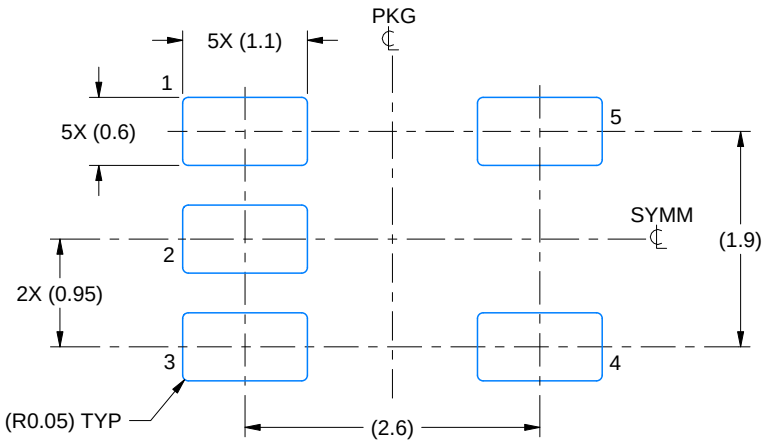
SMALL OUTLINE TRANSISTOR



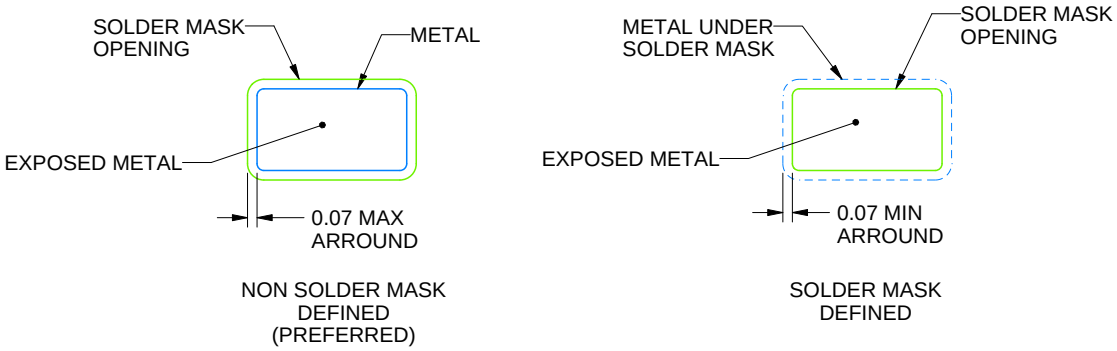
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

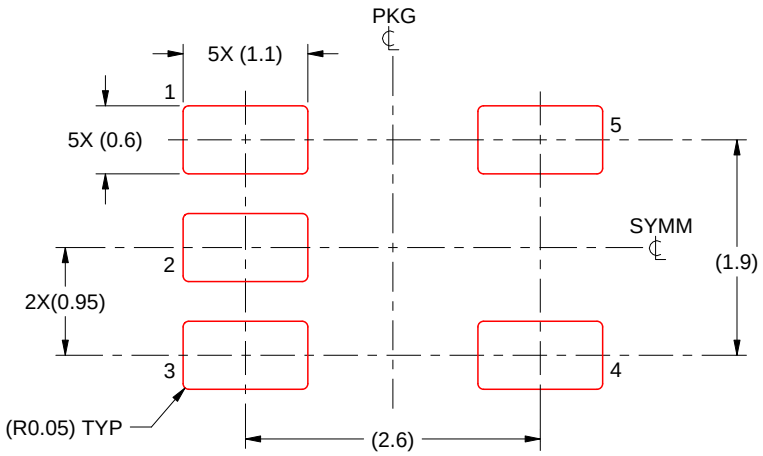


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

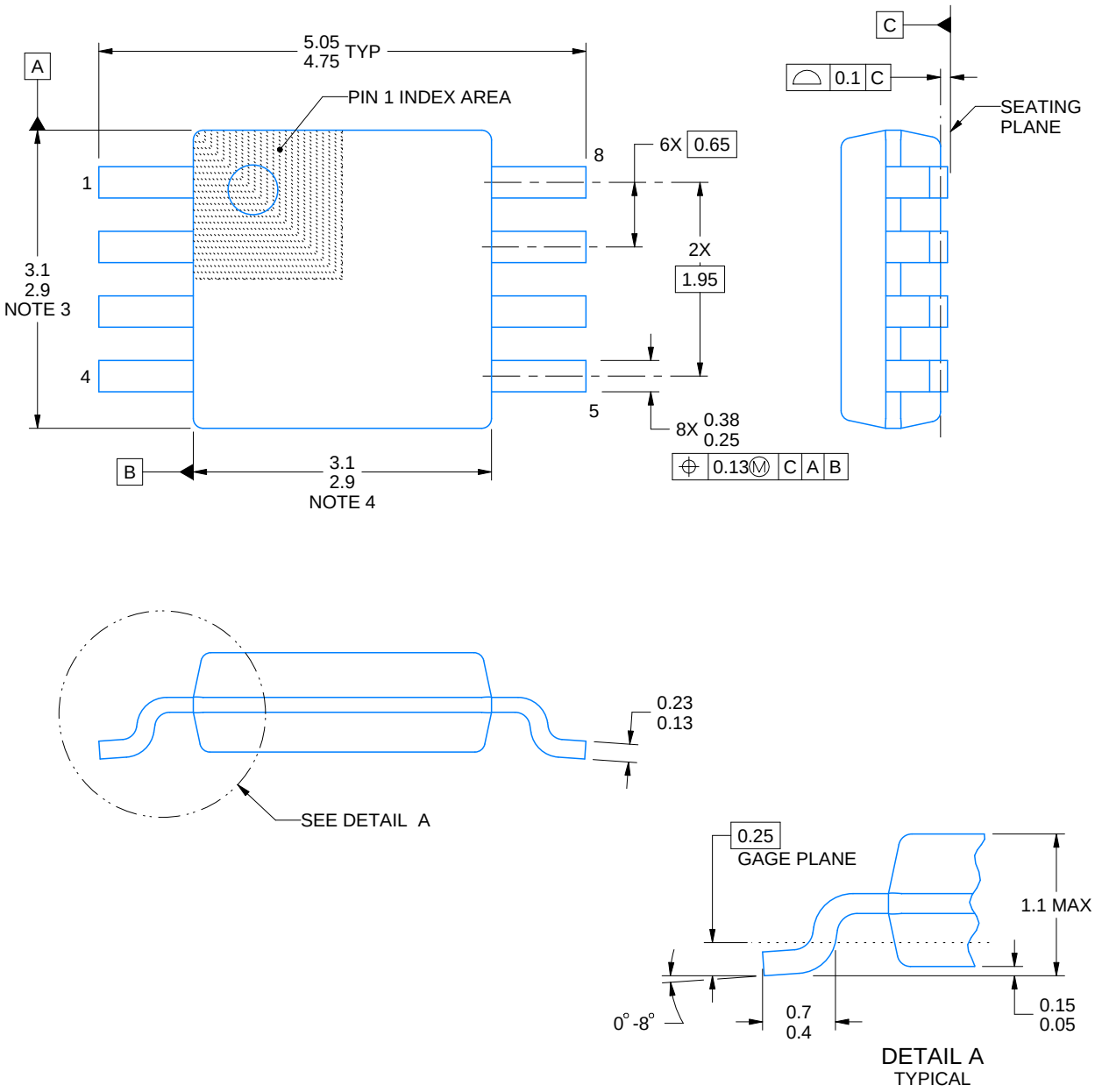
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

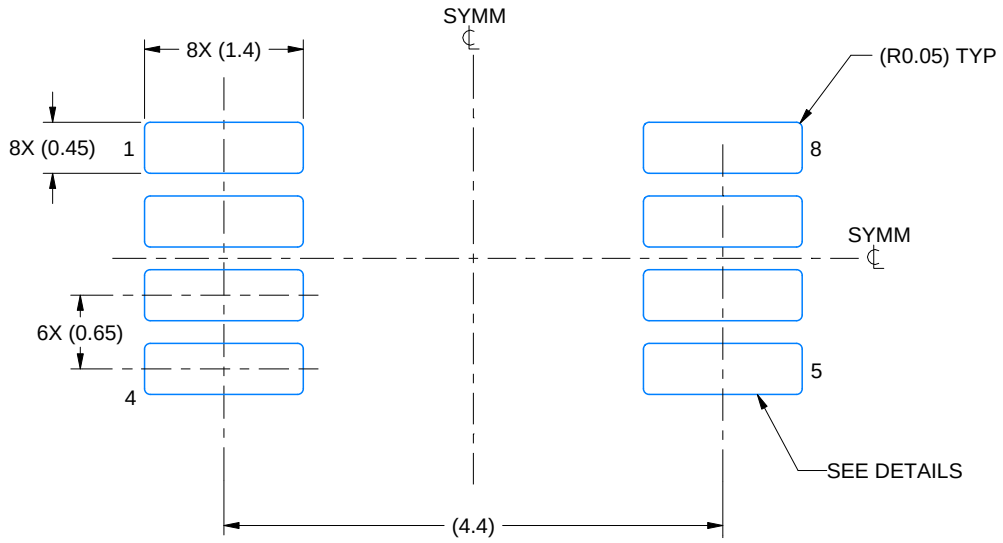
SMALL OUTLINE PACKAGE



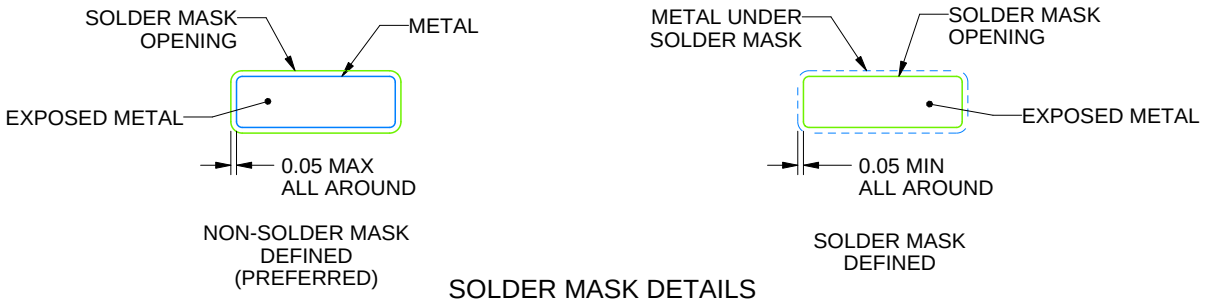
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

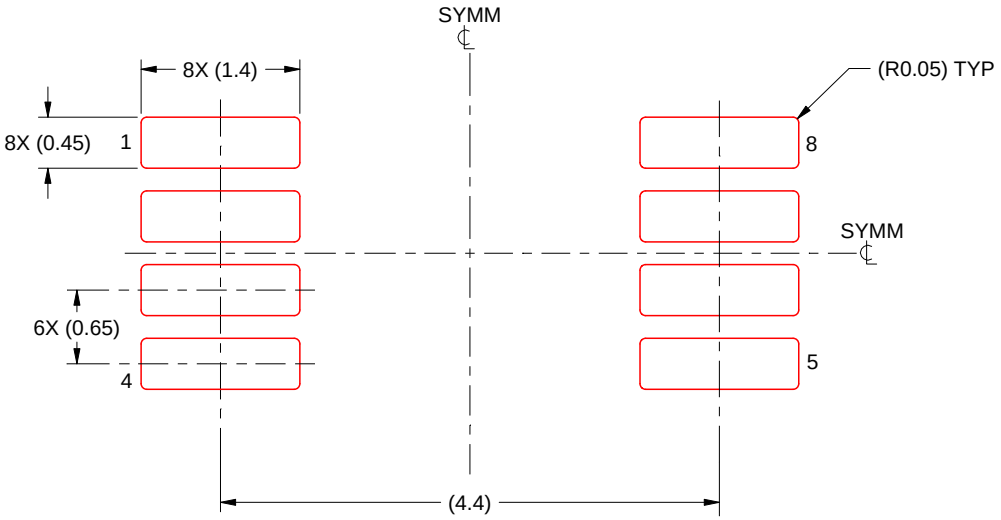


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司