MCP1081S

十通道多模式宽频数字电容处理器芯片

1. 概述

MCP1081S (Mysentech Capacitive Processor)是敏源传感推出的新一代电容传感微处理器 SOC 芯片，集成了十通道、多模式、宽频电容模拟前端传感电路、微处理器、存储及丰富的 I/O 接口。电容测量频率在 0.1~30MHz 范围内可配置，输出为 16bit 数字信号，最高分辨率为 1fF。芯片支持多种工作模式，可以测量包括单端电容、双端浮空电容和互电容多种模式。芯片内部集成了 16bit 高精度的数字温度传感器，可用于需要温度补偿及其它温度复合传感的场景。

为了解决各行业电容感知的嵌入式处理，SOC 芯片集成了 Arm® Cortex®-M0 内核的微处理器，可实现各种感知算法的边缘计算，将原始测量的振荡频率数值，转换成电容值及液位、含水率、位移、接近距离、等具体物理量。芯片内置了 16KB Flash 存储器及 2KB SRAM，可让开发者编写应用软件，并存储传感校准及应用数据。芯片同时集成了 ADC、高级定时器、通用定时器、16 位基本定时器等硬件资源以及 USART、SPI 和 I2C 等接口。

2. 特性

- 电容检测前端
  - 10 路单端电容/5 路双端电容测量
  - 电容测量范围：1pF~10nF
  - 电容检测频率：100KHz~30MHz
  - 电容/频率分辨率：16bit
  - 支持有源屏蔽，相邻互电容测量
- 内核与系统
  - 32-bit Arm®Cortex®-M0
  - 工作频率可达 48MHz
- 存储器
  - 16KB Flash 存储器
  - 2KB SRAM
- 时钟、复位和电源管理
  - 2.3V~5.5V 供电
  - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
  - 内嵌 48MHz HSI 高速振荡器
  - 内嵌 40KHz LSI 低速振荡器
  - 支持最高 48MHz 外部时钟输入（HSE，通过 OSCIN 引脚）
- 低功耗
  - 支持低功耗模式，包括：睡眠（Sleep）和深度睡眠（Deep Sleep）
  - 平均功耗：12uA@1Hz
- 5 个定时器
  - 1 个 16 位 4 通道高级控制定时器（TIM1）
  - 1 个 16 位 4 通道通用定时器（TIM3）
  - 1 个 16 位基本定时器（TIM14）
  - 1 个独立时钟的硬件看门狗定时器 (IWDG)
  - 1 个 Systick 定时器：24 位自减型计数器
- 9 个快速 I/O 端口
  - 所有 I/O 口可以映像到外部中断
  - 所有端口均可输入输出电压不高于 VDD 的信号
- 3 个通信接口
  - 1 个 USART 接口（支持 SPI 模式）
  - 1 个 I2C 接口
  - 1 个 SPI 接口
- 1 个 12 位模数转换器（ADC），支持最快 1μs 转换时间(1MSPS 采样率），配置 4 个外部通道和 1 个可采集内置参考电压的内部通道
- CRC 计算单元
- 96 位芯片唯一 ID（UID）
- 调试模式–串行调试接口（SWD）接口
- 工作温度范围-40℃~+85℃

3. 应用

- 液位测量
- 含水率测量
- 干湿度分析
- 水浸传感
- 介电检测
- 接近感知
- 触控按键

产品信息

型号	封装	尺寸
MCP1081S	QFN24	4.0*4.0*0.75mm

目录

1. 概述 1
2. 特性 1
3. 应用 1
4. 封装管脚描述及复用功能 4
4.1 MCP1081S 封装管脚描述（QFN24） 4
4.2 引脚复用 5
5. 典型应用电路 6
6. 功能描述 8
6.1 系统框图 8
6.2 CAP-AFE 9
6.3 存储器映像 9
6.4 NVIC 9
6.5 EXTI 9
6.6 时钟系统 10
6.7 定时器和看门狗 10
6.8 GPIO 11
6.9 USART 11
6.10 I2C 11
6.11 SPI 11
6.12 ADC 12
6.13 CRC 12
6.14 SWD 12
7. 电气特性 12
7.1 电容测量 12
7.2 绝对最大额定值 13
7.3 工作条件 14
7.3.1 通用工作条件 14
7.3.2 上电和掉电时的工作条件 14
7.3.3 内嵌复位和电源控制模块特性 15
7.3.4 内置的参照电压 16
7.3.5 供电电流特性 16
7.3.6 外部时钟源特性 20
7.3.7 内部时钟源特性 20
7.3.8 存储器特性 21
7.3.9 EMC 特性 22
7.3.10 I/O 端口特性 23

7.3.11 Timer 定时器特性 24
7.3.12 I2C 接口特性 25
7.3.13 SPI 接口特性 27
7.3.14 USART 接口特性 29
7.3.15 ADC 特性 30
8. 特征描述 31
8.1 时钟系统 31
8.2 电容测量 32
8.3 电容测量模式 32
8.3.1 单端对地电容 32
8.3.2 双端浮空电容 33
8.3.3 互电容 33
8.3.4 电容测量流程 34
8.3.5 单端模式通道选择及端口配置 34
8.3.6 单端模式驱动强度及幅度配置 36
8.3.7 双端模式通道选择及端口配置 37
8.3.8 双端模式驱动强度及幅度配置 37
8.4 测量及转换时间 38
8.5 状态及溢出 40
8.6 时钟配置 41
8.7 数据读取及电容计算 42
8.8 参比电容的选取 44
8.9 有源屏蔽 45
8.10 温度测量 46
8.10.1 测温测量参数配置 46
8.10.2 温度数据格式与计算公式 46
8.11 功耗模式 47
8.12 软件复位 47
9. 功能模式 47
9.1 上电启动 47
9.2 转换模式 48
9.3 睡眠模式 48
10. 封装 49
11. 订购须知 50

4. 封装管脚描述及复用功能

4.1 MCP1081S 封装管脚描述（QFN24)

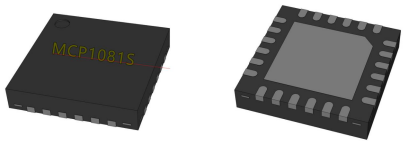


表 4.1 MCP1081S 管脚定义

QFN24	Name	Type(1)	I/O level(2)	Main function	Multiplex function	Additional function
1	PA1/U2TX	I/O	TC	PA1	USART1_SCK USART2_TX I2C1_SDA	-
2	VDD	P	-	Power	-	-
3	GNDA	G	-	Analog Ground	-	-
4	C9	A	-	Channel 9 capacitor input	-	-
5	C8	A	-	Channel 8 capacitor input	-	-
6	C7	A	-	Channel 7 capacitor input	-	-
7	C6	A	-	Channel 6 capacitor input	-	-
8	C5	A	-	Channel 5 capacitor input	-	-
9	C4	A	-	Channel 4 capacitor input	-	-
10	C3	A	-	Channel 3 capacitor input	-	-
11	C2	A	-	Channel 2 capacitor input	-	-
12	C1	A	-	Channel 1 capacitor input	-	-
13	C0	A	-	Channel 0 capacitor input	-	-
14	SHLD	O	-	Conditional output	-	-

				shielding		
15	PA5/SCL	I/O	TC	PA5	TIM1_CH1N I2C1_SCL	-
16	GND	G	-	Ground	-	-
17	PA8/SDA	I/O	TC	PA8	TIM1_CH2 I2C1_SDA TIM3_CH1	-
18	PA13	I/O	TC	PA13	SWDIO USART1_RX USART2_RX I2C1_SCL	-
19	GND	G	-	Ground	-	-
20	PA11	I/O	TC	PA11	USART1_SCK TIM1_CH2 TIM14_CH1 TIM3_CH1	ADC1_VIN[4]
21	PA12	I/O	TC	PA12	USART1_TX	ADC1_VIN[3]
22	PA3	I/O	TC	PA3	USART1_RX USART2_SCK	ADC1_VIN[2]
23	PA14(NRST)[3]	I/O	TC	PA14	SWCLK USART1_TX	-
24	PB1	I/O	TC	PB1	USART2_RX	ADC1_VIN[0]

备注 1：I=输入，O=输出，P=电源，G=地，A=模拟

备注 2：TC: 标准 IO，输入信号不超过 VDD 电压。

备注 3：当 RCC_SYSCFG 的 SFT_NRST_RMP 位被设置为 1 时，PA14 被映射为 NRST 外部复位，且复位时低电平至少保持 4us。

4.2 引脚复用

表 4.2-1 PA 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PA1	-	USART1_SCK	USART2_TX	I2C1_SDA	
PA3	-	USART1_RX	USART2_SCK	-	
PA5		TIM1_CH1N	-	I2C1_SCL	-
PA8		TIM1_CH2		I2C1_SDA	TIM3_CH1
PA11	-	USART1_SCK	TIM1_CH2	TIM14_CH1	TIM3_CH1
PA12	-	USART1_TX	-	-	-
PA13	SWDIO	USART1_RX	USART2_RX	I2C1_SCL	
PA14	SWCLK	USART1_TX	-	-	

表 4.2-2 PB 端口功能复用 AF0-AF4

Pin	AF0	AF1	AF2	AF3	AF4
PB1	-	-	USART2_RX	-	-

5. 典型应用电路

MCP1081 的单端模式典型应用电路如下：

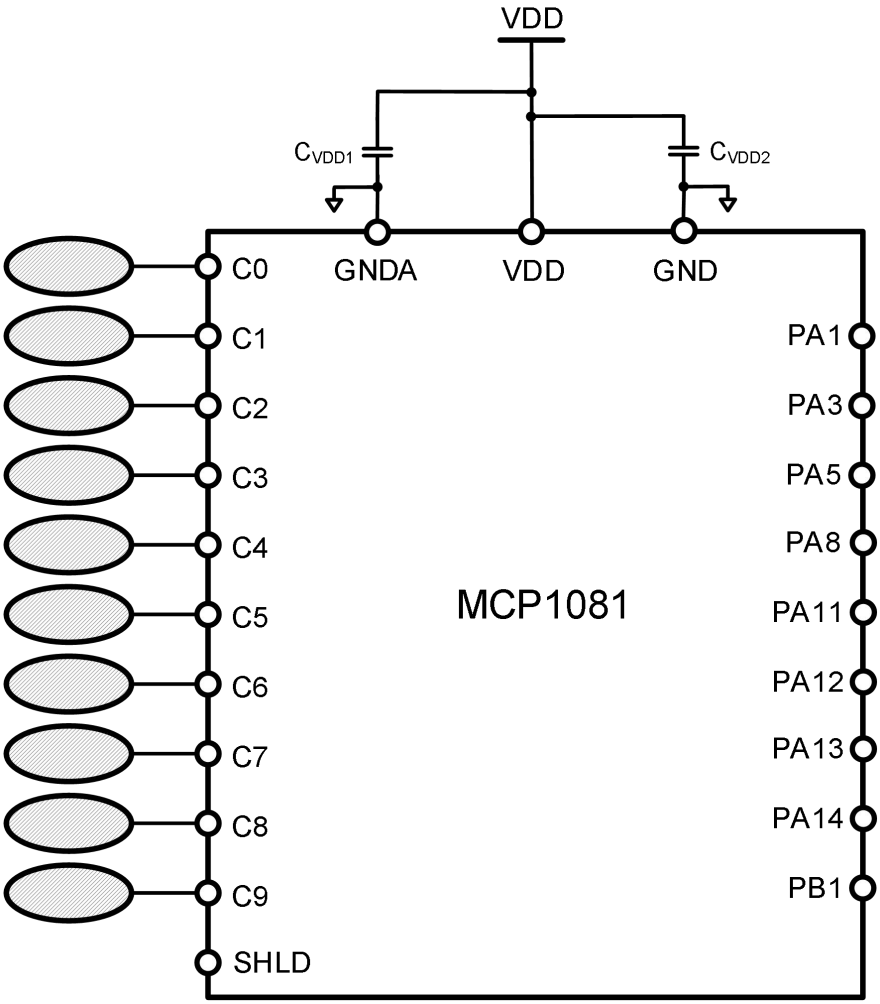


图 5.1 单端模式典型应用电路

其中管脚 C0 至 C9 连接单端电极，选取内部 20pF 作为参比电容。图中管脚分配仅为一种示例。在实际应用中，可以根据需要，分配管脚连接单端电极、互电容电极或者外接电容。具体说明参见章节 8.3。图中 VDD 滤波电容 CVDD1 和 CVDD2 的推荐值为 100nF，两个 GND 管脚都需要接地。

MCP1081 的双端模式典型应用电路如下：

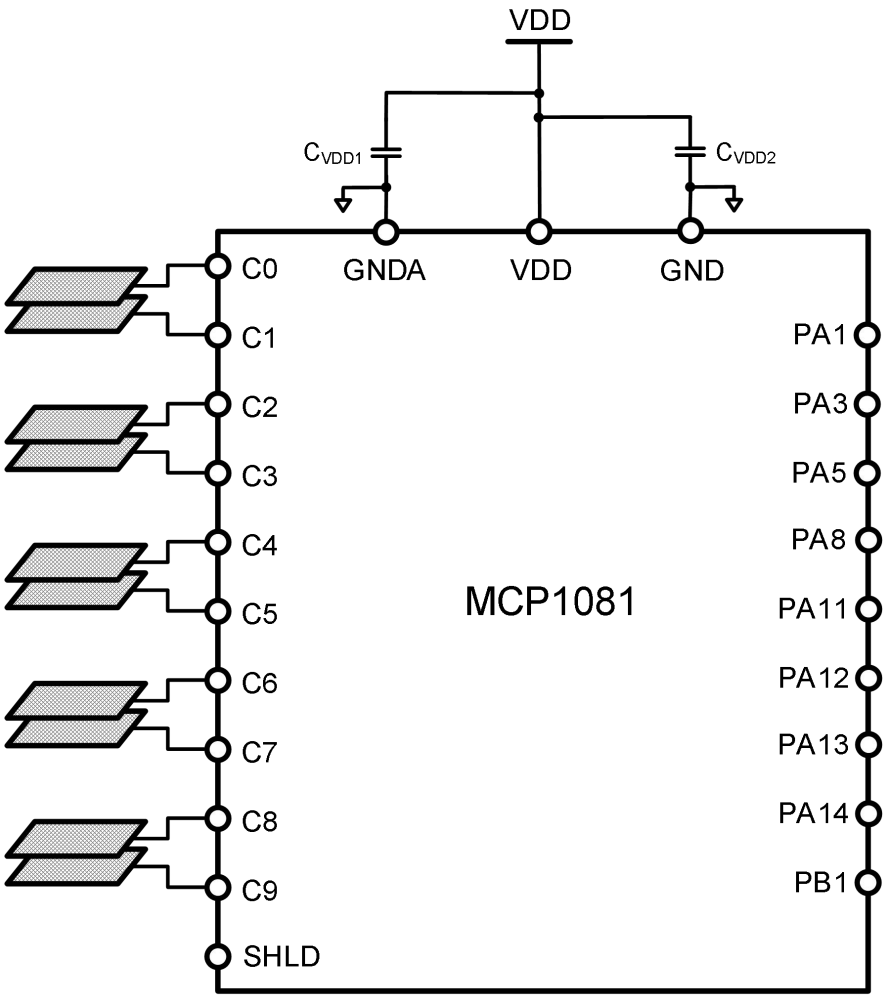


图 5.2 双端模式典型应用电路

其中管脚 C0 和 C1、C2 和 C3、C4 和 C5、C6 和 C7、C8 和 C9 接双端电极，选取内部 20pF 作为参比电容。在实际应用中，可以根据需要，分配管脚连接双端电极或者外接电容。具体说明参见章节 8.3。图中 VDD 滤波电容 CVDD1 和 CVDD2 的推荐值为 100nF，两个 GND 管脚都需要接地。

6. 功能描述

6.1 系统框图

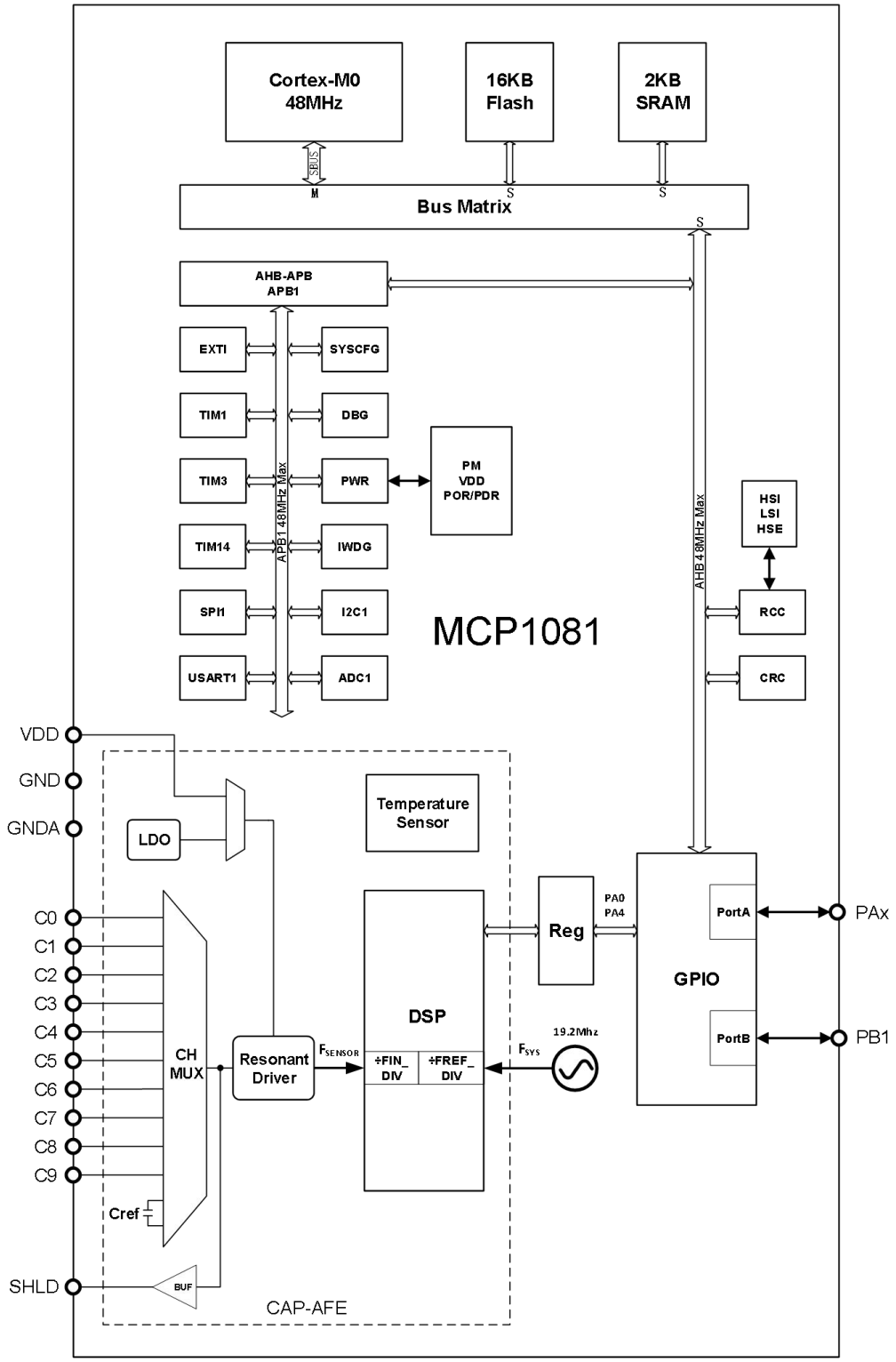


图 6.1 系统框图

6.2 CAP-AFE

参见图 6.1，芯片内置了高集成度、多通道、宽量程的电容传感电路，最多可同时测量 10 路单端电容，或者 5 路双端电容。可根据应用需求直接与被测物附近的电容极板相连，通过测量振荡频率，解算被测目标的电容。AFE 通过内部模拟时钟配置不同分频比来提供基准。内部集成了 16bit 高精度数字温度传感器，处理器端口 PA0、PA4 用于在芯片内部与电容传感 AFE 之间进行 I2C 通讯。

6.3 存储器映像

表 6.3 存储器映像

BUS	Address range	Size	Peripheral
Flash	0x08000000 - 0x080003FFF	16 KB	Main Flash memory
SRAM	0x20000000 - 0x200007FF	2 KB	SRAM
APB1	0x40000400 - 0x400007FF	1 KB	TIM3
	0x40003000 - 0x400033FF	1 KB	IWDG
	0x40005400 - 0x400057FF	1 KB	I2C1
	0x40007000 - 0x400073FF	1 KB	PWR
	0x40010000 - 0x400103FF	1 KB	SYSCFG
	0x40010400 - 0x400107FF	1 KB	EXTI
	0x40012400 - 0x400127FF	1 KB	ADC1
	0x40012C00 - 0x40012FFF	1 KB	TIM1
	0x40013000 - 0x400133FF	1 KB	SPI1
	0x40013400 - 0x400137FF	1 KB	DBGMCU
	0x40014000 - 0x400143FF	1 KB	TIM14
AHB	0x40021000 - 0x400213FF	1 KB	RCC
	0x40022000 - 0x400223FF	1 KB	Flash Interface
	0x40023000 - 0x400233FF	1 KB	CRC
	0x48000000 - 0x480003FF	1 KB	GPIOA
	0x48000400 - 0x480007FF	1 KB	GPIOB

6.4 NVIC

芯片内置嵌套的向量式中断控制器能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M0 的中断线）和 4 个可编程优先级。

6.5 EXTI

外部中断/事件控制器（EXTI）包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。所有 IO 引脚可以连接到外部中断线。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中

断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB 总线时钟周期的电平变化。

6.6 时钟系统

如图 6.6 所示，芯片包含以下内部或外部时钟源：

- HSI 48MHz
- LSI 40KHz
- HSE

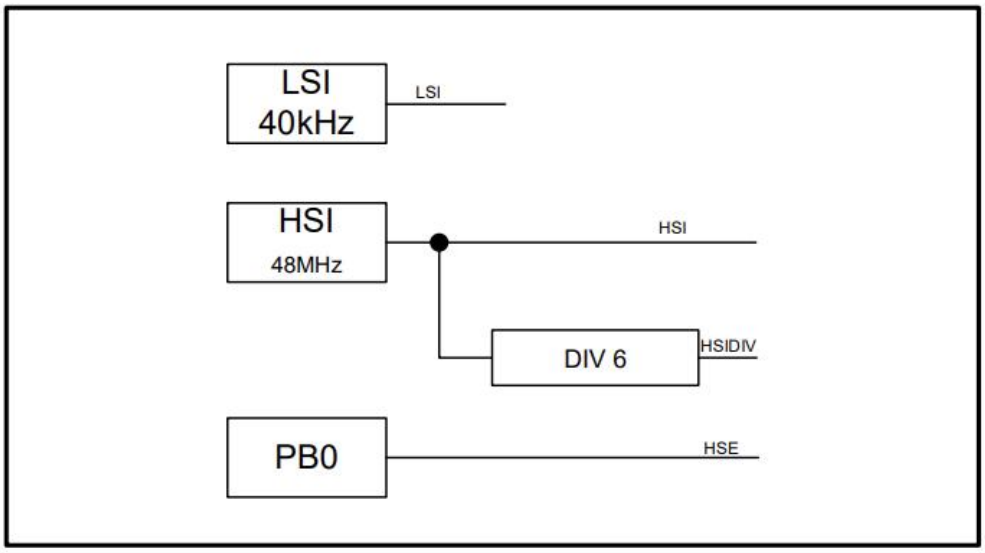


图 6.6 系统时钟源

系统时钟可从以下内部或外部时钟选择：

- HSI – HSI 48MHz 输出
- HSIDIV – HSI 48MHz 的 6 分频输出，即 8MHz 输出
- LSI – LSI 40KHz 输出
- HSE – 从 OSC_IN（PB0）引脚的外部时钟输入

系统时钟分频后可作为 CPU 和 AHB 总线时钟，CPU 和 AHB 总线的最高工作频率为 48MHz。APB 总线的最高工作频率和 AHB 总线相同。在复位后，首先使用 HSIDIV (8MHz) 作为默认的系统时钟，随后可选择使用 HSI、LSI 或 HSE 作为时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

6.7 定时器和看门狗

芯片包含 1 个高级定时器、1 个通用定时器、1 个基本定时器、1 个看门狗定时器和 1 个系统嘀嗒定时器。

高级控制定时器（TIM1）

高级控制定时器是由 16 位计数器、4 个比较通道以及三相互补 PWM 发生器组成，它具有

带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。

通用定时器（TIM3）产品中内置了 1 个 16 位通用定时器（TIM3）。定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

基本定时器（TIM14）产品中内置 1 个基本定时器（TIM14），每个定时器有一个 16 位计数器，支持自动重载，仅支持递增计数。定时器有一个 16 位预分频器和 1 个独立通道，每个通道可用于输入捕捉、输出比较、PWM 输出或单脉冲输出。

独立看门狗(IWDG）独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。

系统时基定时器（Systick）这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：
- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

6.8 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

6.9 USART

芯片内置 1 个通用同步/异步接收器/发送器 (USART1) 接口。USART 为使用行业标准 NRZ 异步串行数据格式的外设提供全双工数据交换的灵活性。该模块可通过集成的波特率发生器支持广泛的波特率（包括整数和小数设置）。支持 LSB、MSB 收发模式，支持 8 位或 9 位可编程数据长度，支持 0.5/1/1.5/2 位停止位配置。支持同步或异步单向通信和半双工单线通信。支持 SPI 模式。支持最高 6Mbps 波特率。

6.10 I2C

芯片中内嵌 1 个 I2C 接口，能够工作于多主模式或从模式，支持标准模式（100Kbps）和快速模式（400Kbps）。支持 7 位或 10 位寻址。

6.11 SPI

芯片中内嵌 1 个 SPI 接口。SPI 接口在从或主模式下，可配置成每帧 1~32 位。主模式最大速率 24Mbps，从模式最大速率 12Mbps。

6.12 ADC

芯片内嵌 1 个 12 位的模拟/数字转换器（ADC），支持高达 1Msps 转换速率，芯片可至多配置 5 个外部通道和 1 个内部通道。

6.13 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

6.14 SWD

内嵌 Arm 标准的两线串行调试接口（SW-DP）。

7. 电气特性

7.1 电容测量

芯片电容测量的电气特性如下表，除非特殊说明，表中数据条件为 T=25℃。

表 7.1-1 电源供电

Symbol	Parameter	Conditions	Min	Typ.	Max	Unit
Power						
V_{DD}	Supply voltage	T = -40℃ to +85℃	2.3		5.5	V
I_{VDD}	Measuring peak current (1)	Single-Terminal Mode	0.63		3.35	mA
		Double-Terminals Mode	0.93		2.75	mA
I_{DDAVG}	Average conversion current (2)	V_{DD}=5V		12		uA
I_{DDSL}	Sleep mode current	V_{DD}=5V		7		uA

备注 1：测量峰值电流，表示 CAP AFE 测量时的工作电流。

备注 2：平均转换电流的测试条件是 1s 转换一次，驱动电流为 4uA，转换时长为 1ms；转换完成后，芯片进入睡眠模式。

表 7.1-2 CAP AFE

Symbol	Parameter	Conditions	Min	Typ.	Max	Unit
Capacitive sensing						
C_{SENSOR}	Measured capacitance		0.001		10	nF
C_{IN}	Pin parasitic capacitance			5		pF
N_{BITS}	Data bits				16	Bit
f_{cs}	Channel sampling rate		0.01		2	kSPS

Oscillator						
f_{SENSOR}	Oscillator frequency range	T = -40℃ to +85℃	0.1		30	MHz
I_{DRIVE}	Oscillator driving current	single channel	4		2000	uA
Internal clock						
f_{INTCLK}	Internal clock frequency	T = 25℃		19.2		MHz
TC_{INTCLK}	Internal clock temperature drift	T = -40℃ to +85℃		25	100	ppm/℃

7.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 7.2-1、表 7.2-2、表 7.2-3）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 7.2-1 电压特性

Symbol	Description	Minimum	Maximum	Unit
VDD – GND VDD – GNDA	External main supply voltage	-0.3	5.8	V
VIN (1)	Input voltage on other pins	GND-0.3	VDD+0.3	

备注 1：必须始终遵循 VIN 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 7.2-2 电流特性

Symbol	Description	Maximum	Unit
I_{VDD} (1)	Total current through VDD power pins (supply current) (1)	+60	mA
I_{GND}/V_{GNDA} (1)	Total current through GDN/GNDA ground pins (outflow current) (1)	-60	
I_{IO}	Output sink current on any I/O and control pins, VDD = 5.0V	+20	
	Output source current on any I/O and control pins, VDD = 5.0V	-20	
	Output sink current on any I/O and control pins, VDD = 3.3V	+15	
	Output source current on any I/O and control pins, VDD = 3.3V	-15	
	Output sink current on any I/O and control pins, VDD = 2.0V	+6	
	Output source current on any I/O and control pins, VDD = 2.0V	-6	
$I_{INJ(PIN)}$ (2)(3)	NRST pin injection current	±5	
	HSE OSC_IN pin injection current	±5	

$\sum I_{INJ(PIN)}$ (5)	Other pins injection current (4)	±25	

备注 1：在允许的范围内，所有主电源（V_{DD}）和接地（GND、GNDA）引脚必须始终连接到外部电源。

备注 2：此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。

备注 3：反向注入电流会干扰器件的模拟性能。

备注 4：当 $V_{IN} > V_{DD}$ 时，会产生正向注入电流；当 $V_{IN} < GND/GNDA$ 时，会产生反向注入电流。不得超出 $I_{INJ\ (PIN)}$。

备注 5：当多个输入同时存在注入电流时，$\Sigma I_{INJ\ (PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时 值）的绝对值之和。

表 7.2-3 温度特性

Symbol	Description	Minimum	Maximum	Unit
T_J	Junction temperature	-40	105	℃
T_{stg}	Storage temperature	-40	105	℃

备注：以上为极限参数，对于器件在超出此极限条件的环境中的功能运行，本规格书并不适用。长期暴露于此极限环境会影响器件的可靠性。

7.3 工作条件

7.3.1 通用工作条件

表 7.3.1 通用工作条件

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HCLK}	Internal AHB clock frequency	-	-	-	48	MHz
f_{PCLK1}	Internal APB1 clock frequency	-	-	-	48	
V_{DD}	Operating voltage		2.3	3.3	5.5	V
P_D	Power dissipation	QSOP24	-	-	270	mW
T_A	Ambient temperature (Industrial level)	-	-40	-	85	°C

7.3.2 上电和掉电时的工作条件

下表中给出的参数是在表 7.3.1 一般的工作条件下测试得出。

表 7.3.2 上电和掉电时的工作条件

Symbol	Conditions	Min.	Typ.	Max.	Unit
t_{VDD}	V_{DD} rise time t_r	0.2	-	∞	us/V
	V_{DD} fall time t_f	60	-	∞	
$Vft^{(3)}$	Power-down threshold voltage	-	0	-	mV

备注 1：由综合评估得出，不在生产中测试。

备注 2：芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象

备注 3：为确保芯片可以可靠上电，所有上电需要从 0V 开始。

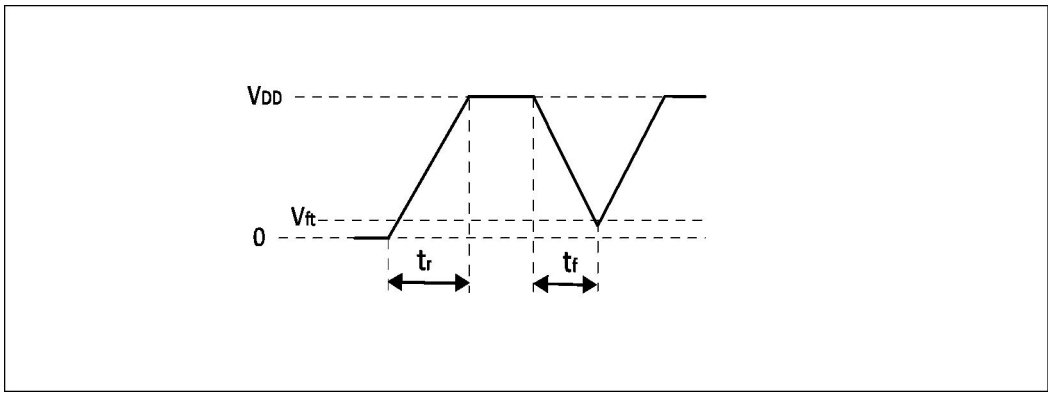


图 7.3.2 上电与掉电波形

7.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.3 内嵌复位和电源控制模块特性

Symbol	Parameter	Condition	Min.(3)	Typ.	Max.(3)	Unit
V_{PVD}	Level selection of programmable voltage detectors	PLS[3:0]=0000 (Rising edge)	-	1.8	-	V
		PLS[3:0]=0000 (Falling edge)	-	1.7	-	
		PLS[3:0]=0001 (Rising edge)	-	2.1	-	
		PLS[3:0]=0001 (Falling edge)	-	2.0	-	
		PLS[3:0]=0010 (Rising edge)	-	2.4	-	
		PLS[3:0]=0010 (Falling edge)	-	2.3	-	
		PLS[3:0]=0011 (Rising edge)	-	2.7	-	
		PLS[3:0]=0011 (Falling edge)	-	2.6	-	
		PLS[3:0]=0100 (Rising edge)	-	3.0	-	
		PLS[3:0]=0100 (Falling edge)	-	2.9	-	
		PLS[3:0]=0101 (Rising edge)	-	3.3	-	
		PLS[3:0]=0101 (Falling edge)	-	3.2	-	
		PLS[3:0]=0110 (Rising edge)	-	3.6	-	
		PLS[3:0]=0110 (Falling edge)	-	3.5	-	
		PLS[3:0]=0111 (Rising edge)	-	3.9	-	
		PLS[3:0]=0111 (Falling edge)	-	3.8	-	

		PLS[3:0]=1000 (Rising edge)	-	4.2	-	
		PLS[3:0]=1000 (Falling edge)	-	4.1	-	
		PLS[3:0]=1001 (Rising edge)	-	4.5	-	
		PLS[3:0]=1001 (Falling edge)	-	4.4	-	
		PLS[3:0]=1010 (Rising edge)	-	4.8	-	
		PLS[3:0]=1010 (Falling edge)	-	4.7	-	
$V_{POR/PDR}$(1)	Power-on reset	-	-	1.65	-	V
V_{hyst_PDR}	PDR hysteresis	-	-	50	-	mV
$T_{RSTTEMPO}$(2)	Reset duration	-	-	4.7	-	ms

备注 1：产品的特性由设计保证至最小的数值 $V_{POR/PDR}$。
备注 2：由设计保证，不在生产中测试。
备注 3：由综合评估得出。复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

7.3.4 内置的参照电压

下表中给出的参数是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.4 内置的参照电压

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{REFINT}	Built-in voltage reference	-40°C<TA<85°C	-	1.2	-	V
$T_{s_vrefint}$ (1)	ADC sampling time when readout build-in voltage	-	-	11.8	-	us

备注 1. 最短的采样时间是通过应用中的多次循环得到。

7.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。
本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码（停止电容测量部分）。

电流消耗

微控制器处于下列条件：
所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 GND（无负载）。
所有的外设都处于关闭状态，除非特别说明。

Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0~24 MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期）。

指令预取功能开启。当开启外设时：$f_{HCLK}=f_{PCLK}$。

注：指令预取功能必须在设置时钟和总线分频之前设置。

下表中给出的参数，是依据表 7.3.1 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 7.3.5-1 运行模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled					Typical All peripherals disabled					Unit
				-40°C	0°C	25°C	55°C	85°C	- 40° C	0°C	25°C	55°C	85°C	
I_{DD}	Supply current in Run mode	HSI is clock source	48M	4.22	4.36	4.43	4.54	4.63	3.06	3.19	3.25	3.35	3.44	mA
			24M	3.05	3.16	3.23	3.31	3.39	2.34	2.45	2.50	2.58	2.66	
			12M	2.15	2.27	2.32	2.40	2.46	1.81	1.91	1.96	2.04	2.09	
			6M	1.70	1.79	1.85	1.92	2.00	1.53	1.62	1.67	1.74	1.82	
			3M	1.22	1.30	1.35	1.42	1.48	1.13	1.21	1.26	1.33	1.39	
			750K	0.87	0.94	0.98	1.04	1.10	0.84	0.91	0.95	1.01	1.07	
			375K	0.80	0.87	0.91	0.97	1.03	0.79	0.86	0.90	0.96	1.02	
			187.5K	0.77	0.84	0.88	0.94	1.00	0.77	0.84	0.88	0.93	0.99	
			93.75K	0.76	0.83	0.87	0.92	0.98	0.75	0.83	0.86	0.92	0.98	
		HSIDIV is clock source	8M	1.83	1.92	1.70	1.78	1.84	1.63	1.73	1.50	1.57	1.64	
			4M	1.68	1.76	1.79	1.51	1.57	1.56	1.65	1.65	1.39	1.45	
			2M	1.19	1.28	1.32	1.39	1.46	1.13	1.22	1.27	1.33	1.40	
			1M	0.95	1.03	1.07	1.13	1.19	0.92	1.00	1.04	1.10	1.16	
			500K	0.83	0.90	0.94	1.00	1.06	0.81	0.89	0.93	0.99	1.04	
			125K	0.74	0.81	0.85	0.91	0.96	0.73	0.80	0.84	0.90	0.96	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.72	0.79	0.83	0.89	0.94	
			31.25K	0.71	0.78	0.82	0.88	0.93	0.71	0.78	0.82	0.88	0.93	
		LSI is clock source	40K	0.19	0.21	0.21	0.22	0.23	0.19	0.20	0.21	0.22	0.23	

表 7.3.5-2 睡眠模式下的典型电流消耗

Symbol	Parameters	Condition	f_{HCLK} (Hz)	Typical All peripherals enabled					Typical All peripherals disabled					Unit
				- 40°C	0°C	25°C	55°C	85°C	- 40°C	0°C	25°C	55°C	85°C	
I_{DD}	Supply current in Sleep mode	HSI is clock source	48M	3.24	3.35	3.41	3.50	3.58	2.09	2.18	2.24	2.32	2.40	mA
			24M	2.18	2.27	2.33	2.40	2.48	1.49	1.57	1.62	1.69	1.76	
			12M	1.51	1.59	1.64	1.71	1.78	1.16	1.24	1.29	1.35	1.42	
			6M	1.67	1.76	1.81	1.89	1.97	1.50	1.58	1.64	1.71	1.78	
			3M	1.20	1.29	1.33	1.39	1.46	1.12	1.20	1.24	1.31	1.37	
			750K	0.86	0.94	0.98	1.04	1.10	0.84	0.91	0.95	1.01	1.07	
			375K	0.80	0.87	0.91	0.97	1.03	0.79	0.86	0.90	0.96	1.02	
			187.5 K	0.77	0.84	0.88	0.94	0.99	0.76	0.84	0.88	0.93	0.99	
			93.75 K	0.76	0.83	0.87	0.92	0.98	0.75	0.82	0.86	0.92	0.98	
		HSIDIV is clock source	8M	1.30	1.39	1.44	1.51	1.58	1.11	1.20	1.24	1.31	1.38	
			4M	1.75	1.81	1.26	1.26	1.33	1.63	1.69	1.11	1.15	1.21	
			2M	1.23	1.32	1.37	1.44	1.50	1.18	1.26	1.31	1.39	1.44	
			1M	0.97	1.05	1.09	1.15	1.21	0.94	1.02	1.06	1.12	1.19	
			500K	0.84	0.91	0.95	1.01	1.07	0.82	0.89	0.94	1.00	1.06	
			125K	0.74	0.81	0.85	0.91	0.96	0.73	0.80	0.84	0.90	0.96	
			62.5K	0.72	0.79	0.83	0.89	0.94	0.72	0.79	0.83	0.89	0.94	
			31.25 K	0.71	0.78	0.82	0.88	0.93	0.71	0.78	0.82	0.88	0.93	
		LSI is clock source	40K	0.19	0.21	0.21	0.22	0.23	0.19	0.20	0.21	0.22	0.23	

表 7.3.5-3 停机模式下的典型电流消耗(1)

Symbol	Parameter	Conditions	Typical					Unit
			-40°C	0°C	25°C	55°C	85°C	
I_{DD}	Supply current in Stop mode	Enter Stop mode after reset, V_{DD}=3.3V	110.19	117.98	121.73	125.54	113.52	μA
	Supply current in Deep Stop mode	Enter Deep Stop mode after reset, V_{DD}=3.3V	5.75	6.20	6.44	6.79	7.76	

备注 1：I/O 状态为模拟输入。

内置外设电流消耗

内置外设的电流消耗列于下表，芯片的工作条件如下：

所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 GND(无负载)。
所有的外设都处于关闭状态，除非特别说明。
给出的数值是通过测量电流消耗计算得出
– 关闭所有外设的时钟
– 只开启一个外设的时钟

表 7.3.5-4 内置外设的电流消耗 (1)

Symbol	Parameter	Bus	Typical	Unit
I_{DD}	CRC	AHB	0.67	uA/MHz
	GPIOA		0.32	
	GPIOB		0.27	
	TIM1	APB1	5.11	
	I2C1		4.95	
	SPI1		3.38	
	TIM3		3.13	
	USART1		1.96	
	TIM14		1.50	
	ADC1		0.73	
	PWR		0.10	
	EXTI		0.09	
	SYSCFG		0.09	
	DBG		0.04	
	WWDG		0.03	

备注 1. f_{HCLK} = 48MHz，f_{APB1}=f_{HCLK}，每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：
停机或待机模式：时钟源是振荡器
睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 7.3.1 通用工作条件测量得到。

表 7.3.5-5 低功耗模式的唤醒时间

Symbol	Parameter	Conditions	Typical	Unit
$t_{WUSLEEP}$	Wake up from Sleep mode	System clock is HSIDIV	3.22	μs
t_{WUSTOP}	Wake up from Stop mode	System clock is HSIDIV	26.65	μs
$t_{WUDEEPSTOP}$	Wake up from Deep Stop mode	System clock is HSIDIV	28.88	μs

7.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 7.3.6 高速外部用户时钟特性

Symbol	Parameter	Condition	Min.	Typ.	Max.	Unit
f_{HSE_ext}	User external clock source frequency (1)	-	-	8	48	MHz
V_{HSEH}	OSC_IN input high level voltage	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN input low level voltage	GND	GND	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN high or low time (1)	-	20	-	-	ns

备注 1：由设计保证，不在生产中测试。

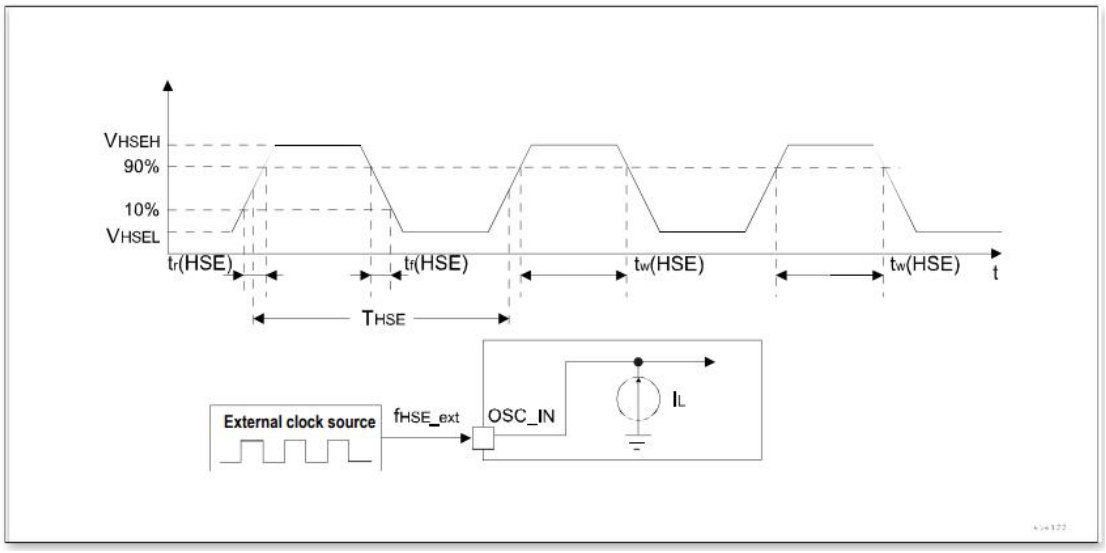


图 7.3.6 外部高速时钟源的交流时序图

7.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 7.3.7-1 HSI 振荡器特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{HSI}	Frequency	-	-	48	-	MHz
ACC_{HSI}(3)	HSI oscillator deviation	TA = 0°C ~ 55°C	-1	-	1	%
		TA = -40°C ~ 85°C	-2	-	2	%
$T_{stab(HSI)}$(2)	HSI oscillator startup time	-	-	-	20	μs
$I_{DD(HSI)}$(2)	HSI oscillator power consumption	-	-	480	-	μA

备注 1.：V_{DD}=3.3V，TA=-40℃~85℃，除非特别说明。
备注 2：由设计保证，不在生产中测试。
备注 3：由综合评估得出。

低速内部(LSI) 振荡器

表 7.3.7-2 LSI 振荡器特性 (1)

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
f_{LSI}	Frequency	-	-	40	-	KHz
ACC_{LSI}(3)	LSI oscillator deviation	TA = 0°C ~ 55°C	-15	-	15	%
		TA = -40°C ~ 85°C	-20	-	20	%
$T_{stab(LSI)}$ (2)	LSI oscillator startup time	-	-	-	100	μs
$I_{DD(LSI)}$(2)	LSI oscillator power consumption	-	-	1	-	μA

备注 1. V_{DD}=3.3V，T_A=-40℃~+85℃，除非特别说明。
备注 2. 由设计保证，不在生产中测试。
备注 3. 由综合评估得出。

7.3.8 存储器特性

表 7.3.8 Flash 存储器特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
t_{prog}	16-bit programming time	-	-	37.24	-	μs
t_{ERASE}	Page (1024 bytes) erase time	-	4	-	6	ms
t_{ME}	Mass erase time	-	30	-	40	ms
I_{DD}	Supply current	Read mode	-	-	1.5	mA
		Write mode	-	-	2	mA
		Erase mode	-	-	1	mA
N_{END}	Endurance	TA = 85°C	100000	-	-	Cycles
T_{DR}	Data retention	TA = 25°C	25	-	-	Years

7.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。
静电放电（ESD）（正向和负向）施加到所有器件引脚，直到发生功能干扰。该测试符合 IEC 61000-4-2 标准。
FTB：通过一个 100 pF 的电容向 V_{DD} 和 GND 施加一串快速瞬变电压（正负），直到发生功能性干扰。该测试符合 IEC 61000-4-4 标准。
芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 7.3.9 EMS 特性

Symbol	Parameter	Conditions	Level/Type
V_{FESD}	Voltage limit applied to any I/O pin, resulting in malfunction	V_{DD} = 3.3V, TA= +25℃， f_{HCLK} = 48MHz. Conforming to IEC61000-4-2	2A
V_{FEFT}	Fast transient voltage burst limits to be applied through 100 pF on V_{DD} and GND pins to induce a functional disturbance	V_{DD} = 3.3V，TA= +25℃， f_{HCLK} = 48MHz. Conforming to IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

- 软件的流程中必须包含程序跑飞的控制，如：
- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。
在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

7.3.10 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 7.3.1 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 电平。

表 7.3.10-1 I/O 静态特性

Symbol	Parameter	Conditions	Minimum	Typical	Maximum	Unit
V_{IL}	Low level input voltage	-	-	-	0.3 * V_{DD}	V
V_{IH}	High level input voltage	-	0.7 * V_{DD}	-	-	V
V_{hy}	Schmitt trigger hysteresis (1)	-	0.1 * V_{DD}	-	-	V
I_{lkg}	Input leakage current (2)	-	-1	-	1	μA
R_{PU}	Weak pull-up equivalent	V_{IN}= GND	-	60	-	kΩ
R_{PD}	Weak pull-down equivalent	V_{IN}= V_{DD}	-	60	-	kΩ
C_{IO}	I/O pin capacitance	-	-	-	10	pF

备注 1：由综合评估得出，不在生产中测试。

备注 2：如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。

备注 3：上拉和下拉电阻是 poly 电阻。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上芯片在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 GND 上流出的电流总和，加上芯片在 GND 上流出的最大运行电流，不能超过绝对最大额定值 I_{GND}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。

表 7.3.10-2 输出电压特性 (3)

Symbol	Parameter	Conditions	Typical	Unit
V_{OL} (1)	Output low voltage	|I_{IO}|= 6mA，V_{DD}=2.0V	0.36	V
V_{OH} (2)	Output high voltage		1.56	
V_{OL} (1)	Output low voltage	|I_{IO}|= 6mA，V_{DD}=3.3V	0.2	
V_{OH} (2)	Output high voltage		3.01	
V_{OL} (1)	Output low voltage	|I_{IO}|= 8mA，V_{DD} =3.3V	0.27	
V_{OH} (2)	Output high voltage		2.91	

V_{OL} (1)	Output low voltage	$\|I_{IO}\|$= 6mA，V_{DD}=5.0V	0.15
V_{OH} (2)	Output high voltage		4.75
V_{OL} (1)	Output low voltage	$\|I_{IO}\|$= 8mA，V_{DD} =5.0V	0.2
V_{OH} (2)	Output high voltage		4.67
V_{OL} (2)	Output low voltage	$\|I_{IO}\|$=20mA，V_{DD} =5.0V	0.54
V_{OH} (2)	Output high voltage		4.18

备注 1：芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{GND}。

备注 2：芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD}。

备注 3：由综合评估得出。

输入输出交流特性的定义和数值分别在下面的图表中给出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 7.3.1 的条件测量得到。

表 7.3.10-3 I/O 交流特性 (1)

Symbol	Parameter	Conditions	Typical	Unit
$t_{f(IO)out}$	Output fall time	C_L = 50pF	5.8	ns
$t_{r(IO)out}$	Output rise time	V_{DD}=3.3V	5.6	ns

备注 1：由设计保证，不在生产中测试。

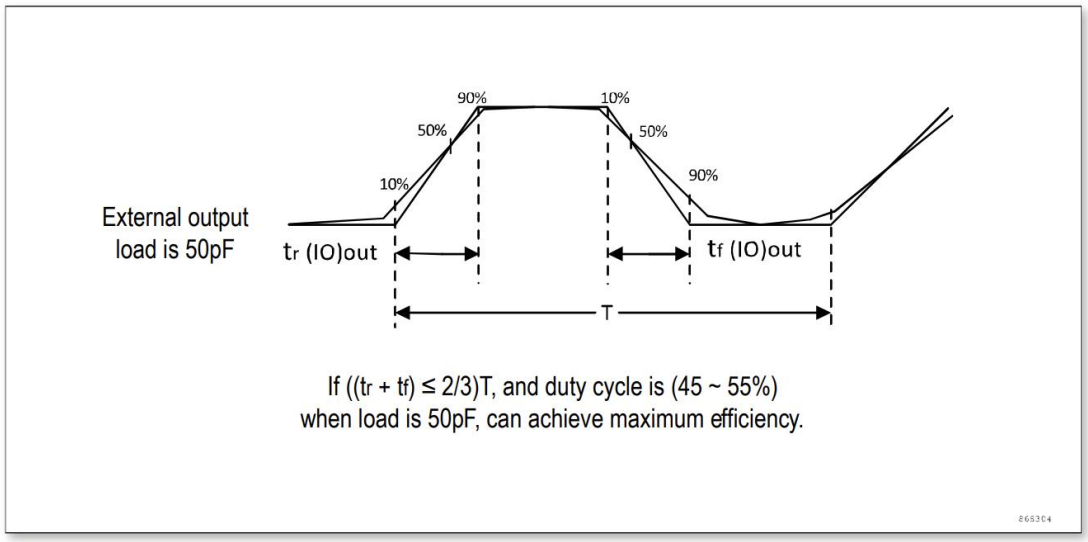


图 7.3.10　I/O 交流特性

7.3.11 Timer 定时器特性

下表列出的参数由设计保证。

表 7.3.11 TIMx (1) 特性

Symbol	Parameter	Condition	Minimum	Maximum	Unit
t_{res}(TIM)	Timer resolution	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}$= 48MHz	20.8	-	ns
f_{EXT}	External clock frequency of channel 1 to 4	-	0	-	MHz
		$f_{TIMxCLK}$= 48MHz	0	24	
Res_{TIM}	Timer resolution	-	-	16	bit
$t_{COUNTER}$	16-bit counter period	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$= 48MHz	0.0208	1365.3	us
t_{MAX_COUNT}	Maximum possible counter value (TIM_PSC adjustable)	-	-	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$= 48MHz	-	1365.3	us
t_{MAX_IN}	TIM maximum input frequency	-	-	48	MHz

备注 1：设计保证，不在生产中测试。

7.3.12 I2C 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLK1} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。
I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

表 7.3.12　I2C 接口特性

Symbol	Parameter	Standard I2C (1)		Fast mode I2C (1)		Unit
		Minimum	Maximum	Minimum	Maximum	
t_w(SCLL)	SCL clock low time	9*t_{PCLK}	-	9*t_{PCLK}	-	us
t_w(SCLH)	SCL clock high time	18*t_{PCLK}	-	18*t_{PCLK}	-	us
t_{su}(SDA)	SDA setup time	1*t_{PCLK}	-	1*t_{PCLK}	-	ns
t_h(SDA)	SDA data retention time	0 (3)	- (4)	0 (3)	- (4)	ns
t_r(SDA) t_r(SCL)	SDA and SCL rising time	-	1000	20	300	ns
t_f(SDA) t_f(SCL)	SDA and SCL fall time	-	300	20×(V_{DD}/ 5.5V)	300	ns
t_{vd}(DAT) (5)	Data valid time	-	8*t_{PCLK} - 1 (4)	-	8*t_{PCLK} - 0.3 (4)	us
t_{vd}(ACK) (6)	Data valid acknowledge time	-	8*t_{PCLK} - 1 (4)	-	8*t_{PCLK} - 0.3 (4)	us

t_{h}(STA)	Start condition hold time	8*t_{PCLK}	-	8*t_{PCLK}	-	us
t_{su}(STA)	Start condition setup time	19*t_{PCLK}	-	17*t_{PCLK}	-	us
t_{su}(STO)	Stop condition setup time	17*t_{PCLK}	-	17*t_{PCLK}	-	us
t_{w}(STO:STA)	Time from Stop condition to Start condition (bus idle)	484*t_{PCLK}	-	144*t_{PCLK}	-	us
C_{b}	Capacitive load of each bus	-	400	-	400	pF

备注 1： 由设计保证，不在生产中测试。

备注 2：为达到标准模式 I2C 的最大频率，f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率，f_{PCLK1} 必须大于 12MHz。

备注 3： 在 SDA 进入 0.3V_{DD}至 0.7V_{DD}的不确定范围之前，确保 SCL 在下降沿下降到 0.3V_{DD}以下。注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 0.3V_{DD} 的 转换时间来插入 SDA 转换相对于 SCL 的延迟。

备注 4：标准模式和快速模式的最大 $t_{h(SDA)}$ 可以是 3.45 us 和 0.9 us，但必须比 $t_{vd(DAT)}$或 $t_{vd(ACK)}$ 的最大值小一个转换时间。 仅当器件不延长 SCL 信号的低电平周期 ($t_{w(SCLL)}$) 时才必须满足此最大值。 如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。

备注 5： $t_{vd(DAT)}$ = 从 SCL LOW 到 SDA 输出数据信号的时间。

备注 6：$t_{vd\ (ACK)}$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

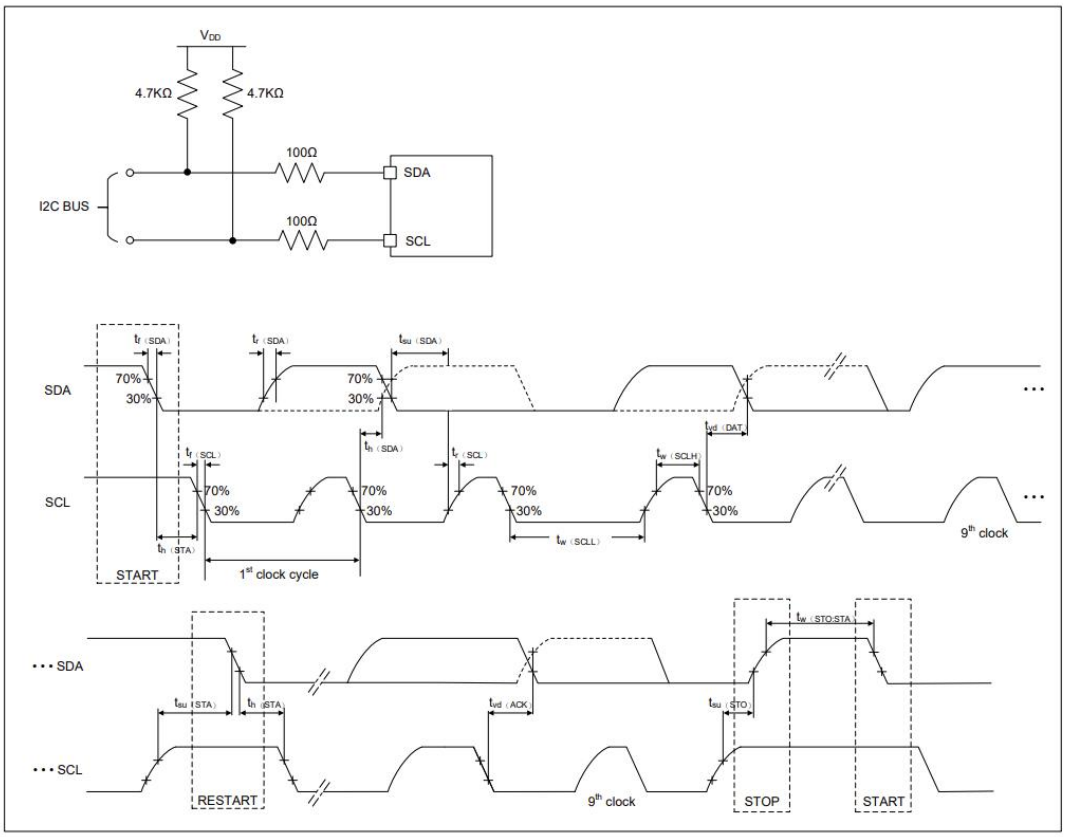


图 7.3.12 I2C 总线交流波形和测量电路 (1)

备注 1：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

7.3.13 SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。

表 7.3.13 SPI 特性(1)

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	Master mode, T_A = 25°C	-	24 (4)	MHz
		Slave mode, T_A = 25°C	-	12	
$t_{r(SCK)}$	SPI clock rise time	Load capacitance: C = 15pF	-	6	ns
$t_{f(SCK)}$	SPI clock fall time	Load capacitance: C = 15pF	-	6	ns
$t_{su(NSS)}$ (1)	NSS setup time	Slave mode	10	-	ns
$t_{h(NSS)}$ (1)	NSS hold time	Slave mode	10	-	ns
$t_{w(SCKH)}$ (1)	SCK high time	-	$t_{c(SCK)}/2$ - 6	$t_{c(SCK)}/2$ + 6	ns
$t_{w(SCKL)}$ (1)	SCK low time	-	$t_{c(SCK)}/2$ - 6	$t_{c(SCK)}/2$ + 6	ns
$t_{su(MI)}$ (1)	Data input setup time	Master mode, f_{PCLK} = 48MHz, prescaler = 2, high speed mode	15	-	ns
$t_{su(SI)}$ (1)		Slave mode	5	-	ns
$t_{h(MI)}$ (1)	Data input hold time	Master mode, f_{PCLK} = 48MHz, prescaler = 2, high speed mode	0	-	ns
$t_{h(SI)}$ (1)		Slave mode	5	-	ns
$t_{v(MO)}$ (1)	Data output valid time	Master mode (after enable edge)	-	15	ns
$t_{v(SO)}$ (1)	Data output valid time	Slave mode (after enable edge)	-	15	ns

备注 1：由综合评估得出。

备注 2：最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。

备注 3：最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

备注 4：当 SPI 工作在极限速率时，建议在 SCK 连线间串接阻抗匹配电阻，以保证传输的稳定性；并确保 SPI Master 和 SPI Slave 的 SCK 连线尽可能短。

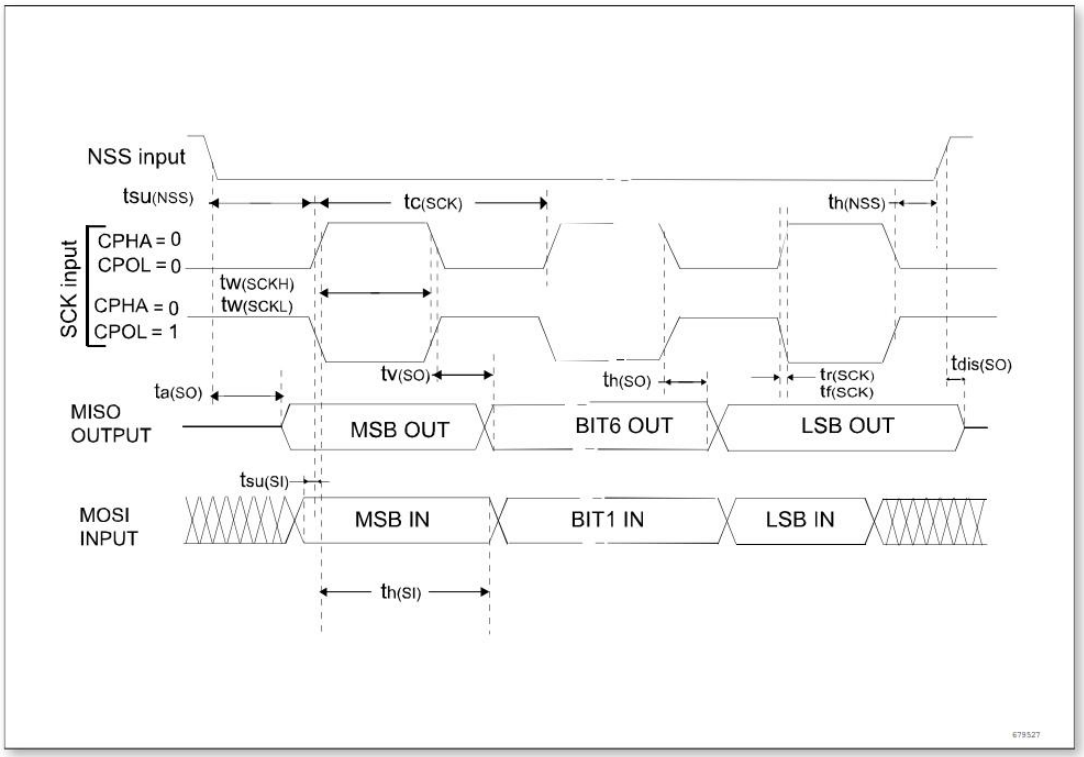


图 7.3.13-1 SPI 时序图从模式和 CPHA = 0，CPHASEL = 1

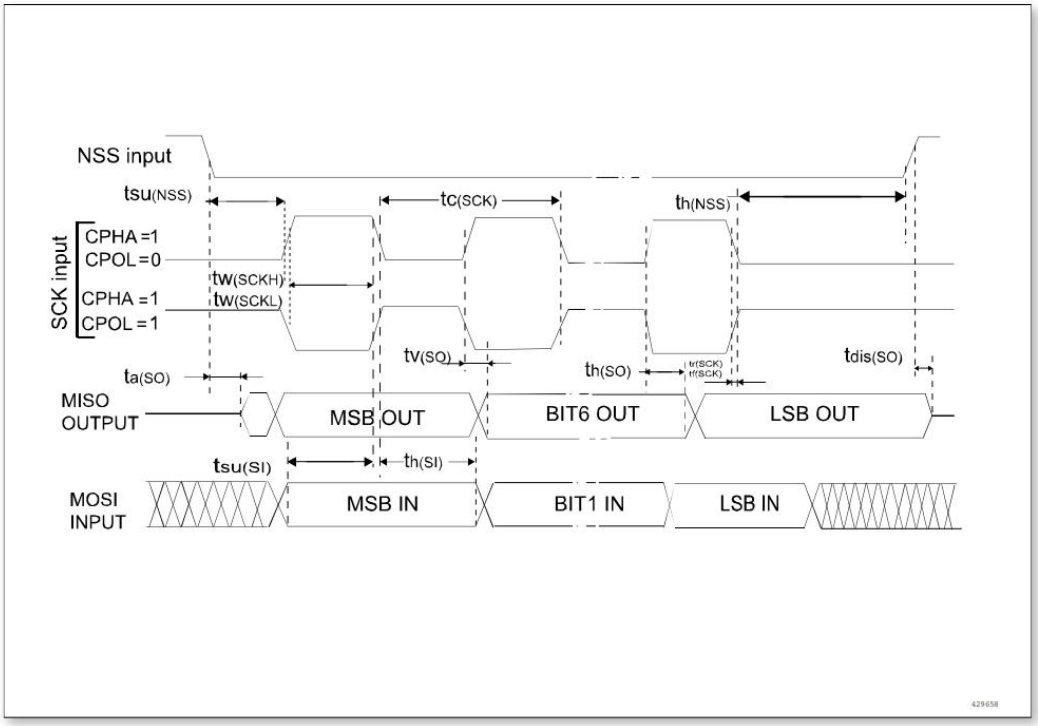


图 7.3.13-2 SPI 时序图从模式和 CPHA = 1，CPHASEL = 1 (1)

备注 1：测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

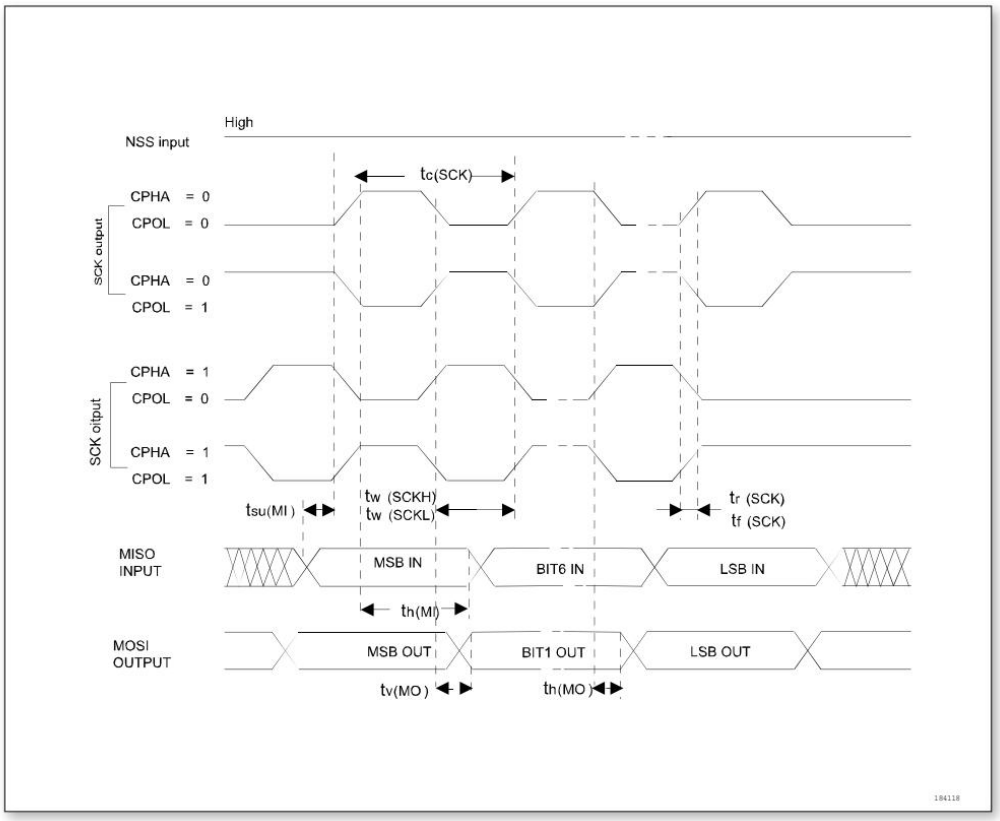


图 7.3.13-3 SPI 时序图主模式，CPHASEL = 1 (1)

备注 1：测量点设置于 CMOS 电平：$0.3V_{DD}$ 和 $0.7V_{DD}$。

7.3.14 USART 接口特性

除非特别说明，下表列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 7.3.1 的条件测量得到。

表 7.3.14 USART 特性(1)

Symbol	Parameter	Conditions	Minimum	Maximum	Unit
f_{SCLK}	USART clock	Master mode, T_A = 25°C	-	6	MHz
$1/t_{c(SCLK)}$	frequency	Slave mode, T_A = 25°C	-	6	
$t_{r(SCLK)}$	SCLK clock rise time	Load capacitance: C = 15pF	-	6	ns
$t_{f(SCLK)}$	SCLK clock fall time	Load capacitance: C = 15pF	-	6	ns
$t_{w(SCLKH)}$ (1)	SCLK high time	-	$t_{c(SCLK)}/2$ - 6	$t_{c(SCLK)}/2$ + 6	ns
$t_{w(SCLKL)}$) (1)	SCLK low time	-	$t_{c(SCLK)}/2$ - 6	$t_{c(SCLK)}/2$ + 6	ns

$t_{su(MI)}$ (1)	Data input setup	Master mode, f_{PCLK} = 48MHz, prescaler = 8	5	-	ns
$t_{su(SI)}$ (1)	time	Slave mode	5	-	ns
$t_{h(MI)}$ (1)	Data input hold	Master mode, f_{PCLK} = 48MHz, prescaler = 8	5	-	ns
$t_{h(SI)}$ (1)	time	Slave mode	5	-	ns
$t_{v(MO)}$ (1)	Data output valid time	Master mode (after enable edge)	-	10	ns
$t_{v(SO)}$ (1)	Data output valid time	Slave mode (after enable edge)	-	26	ns

备注 1：由设计保证，不在生产中测试。

7.3.15 ADC 特性

除非特别说明，下表的参数是使用符合表 7.3.1 的条件的环境温度、f_{PCLK2} 频率和 V_{DD} 供电电压测量得到。

表 7.3.15　ADC 特性

Symbol	Parameter	Conditions	Min.	Typ.	Max.	Unit
V_{DD}	Supply voltage	-	2.5	3.3	5.5	V
F_{ADC}	ADC clock frequency	-	-	-	16	MHz
F_S(1)	Sampling frequency	-	-	-	1	MHz
F_{TRIG}(1)	External trigger frequency (3)	f_{ADC}=16MHz	-	-	1	MHz
		-	-	-	16	$1/f_{ADC}$
V_{AIN}(2)	Conversion voltage range	-	0	-	VDD	V
R_{AIN} (1)	External input impedance	-	See equation 2			kΩ
R_{ADC}(1)	Sampling switch resistance	-	-	-	1.5	kΩ
C_{ADC} (1)	Internal sample and hold capacitance	-	-	-	10	pF
T_{STAB} (1)	Stabilization time	-	-	-	10	μs
T_{LATR}(1)	Delay between trigger and conversion start	-	-	-	-	1/fADC
T_S(1)	Sampling time	f_{ADC}=16MHz	0.156	-	15.031	μs
		-	2.5	-	240.5	$1/f_{ADC}$
T_{CONV} (1)	Total conversion time (including sampling time)	f_{ADC}=16MHz	0.9375	-	15.8125	μs
		-	15 ~ 253 (sampling tS + successive approximation			$1/f_{ADC}$

ENOB	Effective number of bits	-	-10.5	bit

备注 1：由综合评估保证，不在生产中测试。

备注 2：由设计保证，不在生产中测试。

备注 3：在该系列产品中，V_{REF+} 在内部连接到 V_{DD}，V_{REF-} 在内部连接到 GND。

备注 4：由设计保证，不在生产中测试。

备注 5：对于外部触发，必须在时延中加上一个延迟 1/ f_{ADC}。

8. 特征描述

8.1 时钟系统

在 MCP1081 的系统框图中，f_{sys}、f_{ref}、f_{sensor} 和 f_{in} 是 4 个重要的时钟信号。其中 f_{sensor} 是电容测量电路的振荡频率，经 FIN_DIV 分频后，得到被测时钟信号 f_{in}。f_{sys} 是芯片内部的系统时钟，频率为 19.2MHz。经 FREF_DIV 分频后，得到参考时钟 f_{ref}。为了确保测量结果正确，f_{ref} 和 f_{in} 需要满足如下条件：

$$f_{in} < \frac{f_{ref}}{4}$$

下表是时钟配置相关寄存器定义。

表 8.1　时钟配置寄存器定义

时钟	寄存器	地址	位	说明
f_{in}	DIV_CFG	0x1F	FINDIV[2:0]	000: 分频比 $NDIV_{in}$=1 001: 分频比 $NDIV_{in}$=2 010: 分频比 $NDIV_{in}$=4 011: 分频比 $NDIV_{in}$=8 100: 分频比 $NDIV_{in}$=16 101: 分频比 $NDIV_{in}$=32 110: 分频比 $NDIV_{in}$=64 111: 分频比 $NDIV_{in}$=64
f_{ref}	DIV_CFG	0x1F	FREFDIV[1:0]	00: 分频比 $NDIV_{ref}$=1 01: 分频比 $NDIV_{ref}$=2 10: 分频比 $NDIV_{ref}$=4 11: 分频比 $NDIV_{ref}$=8

时钟信号 f_{sensor} 与 f_{in}、f_{sys} 与 f_{ref} 的关系如下式所示：

$$f_{in} = \frac{f_{sensor}}{NDIV_{in}}$$

$$f_{ref} = \frac{f_{sys}}{NDIV_{ref}}$$

需要注意的是，f_{in} 必须保证大于 100KHz。

8.2 电容测量

MCP1081 支持多通道、多模式的电容测量。通过配置 C_CMD 寄存器，可以选择电容的测量模式：分别为单端测量模式和双端测量模式。单端测量模式适用于一端接地的电容测量。双端测量模式适用于双端浮空的电容测量。

表 8.2　单端双端测量模式选择

寄存器	地址	位	说明
C_CMD	0x1D	OSC_SEL	0：单端测量模式 1：双端测量模式

8.3 电容测量模式

8.3.1 单端对地电容

测量单端对地电容，将被测电容或电极连接到芯片任意测量通道，连接方式如下图所示。需要配置 OSC_SEL=0，并通过配置 OSC1_CHS_M 和 OSC1_CHS_L 来选择测量通道。测量通道 0 到 9 一共 10 路通道的电容数值。

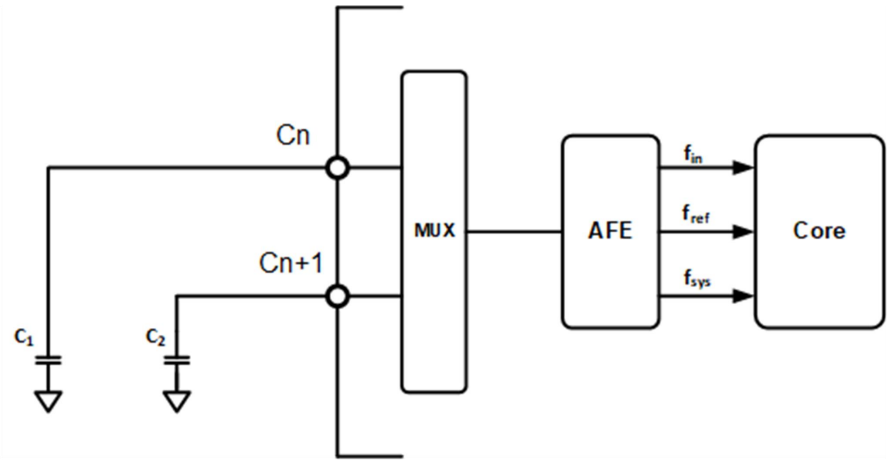


图 8.3.1　测量单端电容

8.3.2 双端浮空电容

测量双端浮空电容，可以选择双端测量模式，此种方式对于地噪声不敏感，且测量速度快，适用于测量速度较快且地平面干扰较大的场合，连接方式如下图所示。测量需要配置 OSC_SEL=1，并通过配置 OSC2_CHS 来选择测量通道。测量通道一共 5 路，每组双端浮空电容需要占用两路单端通道。

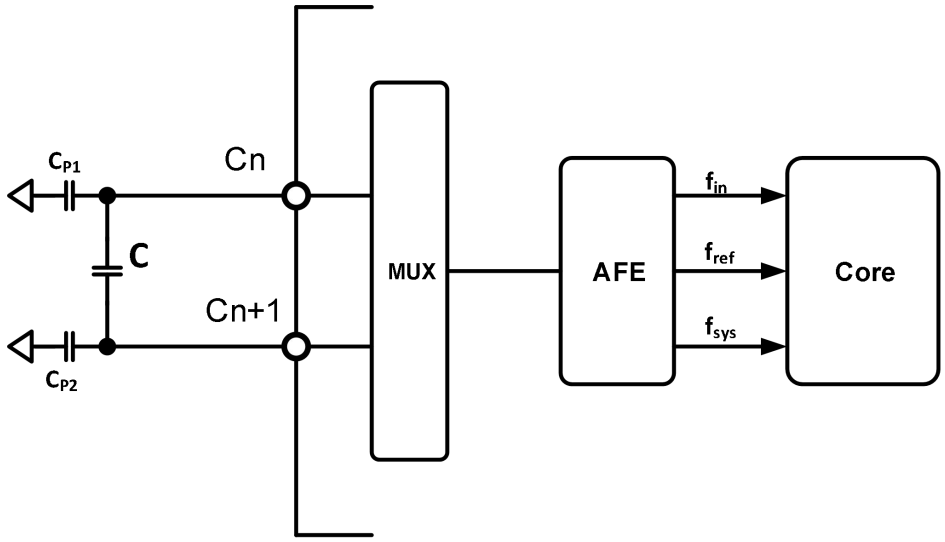


图 8.3.2　测量双端浮空电容

8.3.3 互电容

互电容可以消除通道的对地寄生电容。测量互电容，是在单端测量模式的基础上，通过内部控制逻辑和计算，得到反映互电容 C_M 大小的频率计数值。互电容的连接方式如下图所示，其中通道下标 n 的取值为 0、2、4、6 和 8。图中 C_{P1} 和 C_{P2} 为寄生电容。测量需要配置 OSC_SEL=0，并通过配置 OSC1_CHS_M、OSC1_CHS_L 和 OSC1_MCHS 来选择测量通道。测量通道一共 5 路，每组互电容需要占用两路单端通道。

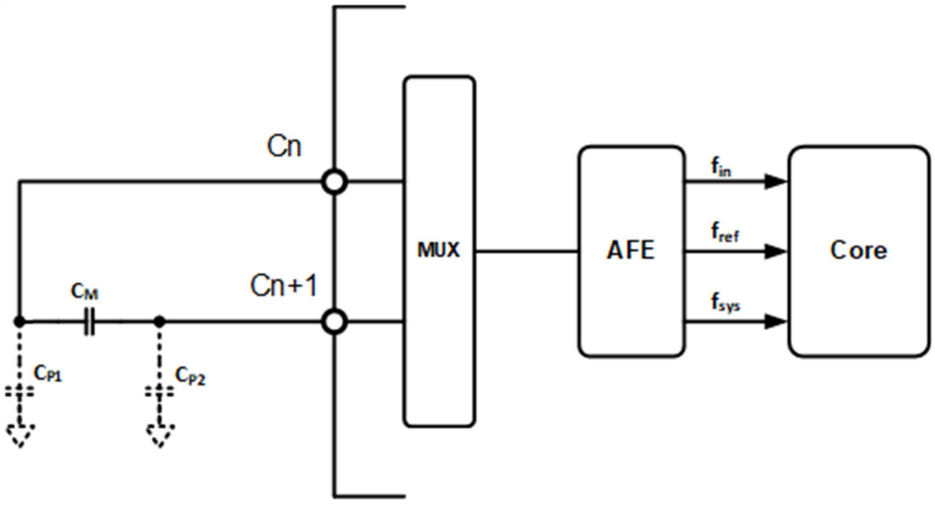
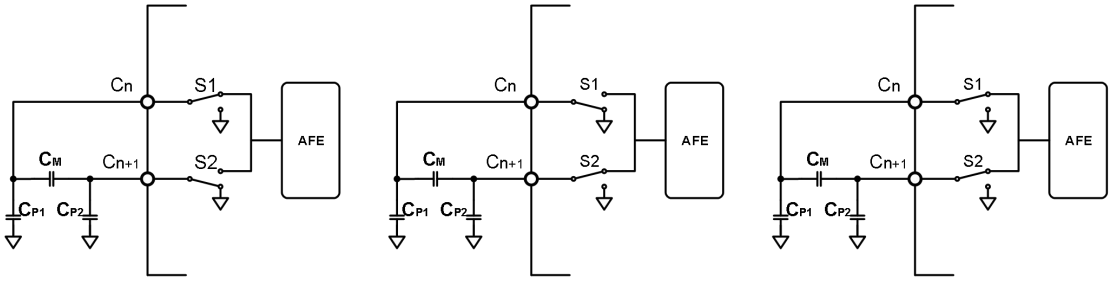


图 8.3.3-1　测量互电容

互电容测量的具体流程如下所示，分为三个步骤。第一步测出电容值 C1，第二步测出电容值 C2，第三步测出电容值 C3。然后通过运算，得到互电容$C_M = (C1+C2-C3)/2$。可以看到，通过上述方法，端口的寄生电容 C_{P1} 和 C_{P2} 被减掉了。



第一步：开关S1接AFE，开关S2接GND，测量C_n端的对地电容$C_1=C_M+C_{P1}$

第二步：开关S1接GND，开关S2接AFE，测量C_{n+1}端的对地电容$C_2=C_M+C_{P2}$

第三步：开关S1接AFE，开关S2接AFE，测量C_n和C_{n+1}端的对地电容$C_3=C_{P1}+C_{P2}$

图 8.3.3-2　测量互电容的步骤

8.3.4 电容测量流程

在确定被测电容类型并确定 OSC_SEL 配置之后，需要按如下步骤执行，8.3 章节包括具体说明。

i. 通道选择及管脚配置
ii. 驱动强度和幅度配置
iii. 测量及配置转换时长
iv. 读取数据
v. 电容计算

8.3.5 单端模式通道选择及端口配置

在单端模式（OSC_SEL=0）下，MCP1081 共有 11 路测量通道，其中外部 10 路，对应通道 0~9，内部参比通道 1 路，对应通道 10。表 8.3.5-1 是单端模式的配置寄存器说明。

表 8.3.5-1　单端模式通道选择寄存器

通道及对应管脚	寄存器	地址	位	说明
通道 10：内部参比电容 Cref	OSC1_CHS_MSB	0x20	CH_REF	0：表示不测内部参比通道 1：表示测量内部参比通道
通道 9：C9			CH9	0：表示不测通道 9 1：表示测量通道 9
通道 8：C8			CH8	0：表示不测通道 8 1：表示测量通道 8
通道 7：C7	OSC1_CHS_LSB	0x21	CH7	0：表示不测通道 7

				1：表示测量通道 7
通道 6：C6			CH6	0：表示不测通道 6 1：表示测量通道 6
通道 5：C5			CH5	0：表示不测通道 5 1：表示测量通道 5
通道 4：C4			CH4	0：表示不测通道 4 1：表示测量通道 4
通道 3：C3			CH3	0：表示不测通道 3 1：表示测量通道 3
通道 2：C2			CH2	0：表示不测通道 2 1：表示测量通道 2
通道 1：C1			CH1	0：表示不测通道 1 1：表示测量通道 1
通道 0：C0			CH0	0：表示不测通道 0 1：表示测量通道 0

MCP1081 还支持测量通道之间的互电容，表 8.3.5-2 是互电容测量通道的分组及配置寄存器说明。

表 8.3.5-2　互电容通道选择寄存器

通道及对应管脚	寄存器	地址	位	说明
通道 4：C8 和 C9	OSC1_MCHS	0x22	MCH4	0：表示不测通道 8-9 之间的互电容 1：表示测量通道 8-9 之间的互电容
通道 3：C6 和 C7			MCH3	0：表示不测通道 6-7 之间的互电容 1：表示测量通道 6-7 之间的互电容
通道 2：C4 和 C5			MCH2	0：表示不测通道 4-5 之间的互电容 1：表示测量通道 4-5 之间的互电容
通道 1：C2 和 C3			MCH1	0：表示不测通道 2-3 之间的互电容 1：表示测量通道 2-3 之间的互电容
通道 0：C0 和 C1			MCH0	0：表示不测通道 0-1 之间的互电容 1：表示测量通道 0-1 之间的互电容

在配置互电容通道时，对应的 CHx 位和 MCHx 位都需要置 1。例如，选择测量互电容通道 1，需要同时设置 CH2=1、CH3=1 和 MCH1=1。芯片会自动进行测量并给出互电容 C_M 对应的数据。

在单端模式下，当通道不工作时，可以通过寄存器配置其管脚的连接方式，分别有 3 种模式：高阻、接地和有源屏蔽，具体配置如下表所示。

表 8.3.5-3　管脚配置寄存器

寄存器	地址	位	说明
SHLD_CFG	0x26	CS[1:0]	00: 表示电容测量端口在非测量期间为高阻状态。 01: 表示电容测量端口在非测量期间接地。

			1x: 表示电容测量端口在非测量期间输出有源屏蔽信号，仅在 OSC_SEL=0 且 SHLD_EN=1 时有效。

8.3.6 单端模式驱动强度及幅度配置

在单端模式下，驱动强度有 9 种配置，具体配置和对应的驱动电流如下表所示。

表 8.3.6-1 单端模式驱动强度配置寄存器

寄存器	地址	位	说明
OSC1_CFG	0x23	OSC1_I[3:0]	0000：驱动电流为 4uA 0001：驱动电流为 8uA 0010：驱动电流为 16uA 0011：驱动电流为 42uA 0100：驱动电流为 100uA 0101：驱动电流为 250uA 0110：驱动电流为 500uA 0111：驱动电流为 1000uA 1xxx：驱动电流为 2000uA

在单端模式下，振荡幅度有 8 种配置：当对电源噪声抑制要求较高时，建议选择 0.2-1.2V 幅度配置，此时驱动电路采用内部 LDO 供电；当需要大摆幅激励驱动时，配置幅度与 V_{DD} 电压有关，如下表后四种配置所示，此时内部 LDO 关闭，驱动电路采用 VDD 供电。

表 8.3.6-2 单端模式振荡幅度配置寄存器

寄存器	地址	位	说明
OSC1_CFG	0x23	OSC1_LDO	内部 LDO 功率模式配置 0：低功率模式，适用于 f_{sensor}<1MHz 1：高功率模式，适用于 f_{sensor}>1MHz 以上配置仅在采用内部 LDO 供电时有效
		OSC1_V[2:0]	000：幅度为 0.2V（内部 LDO 供电） 001：幅度为 0.4V（内部 LDO 供电） 010：幅度为 0.8V（内部 LDO 供电） 011：幅度为 1.2V（内部 LDO 供电） 100：幅度为 V_{DD}-2.2V（VDD 供电） 101：幅度为 V_{DD}-1.6V（VDD 供电） 110：幅度为 V_{DD}-1.2V（VDD 供电） 111：幅度为 V_{DD}-0.8V（VDD 供电）

8.3.7 双端模式通道选择及端口配置

在双端模式（OSC_SEL=1 时）下，MCP1081 的相邻电容测量管脚之间，构成一路双端通道。其中外部 5 路，对应通道为 0~4，内部参比通道 1 路，对应通道 5。其配置寄存器如下表所示。

表 8.3.7-1　双端模式通道选择寄存器

通道及对应管脚	寄存器	地址	位	说明
通道 5：内部参比电容 CREF	OSC2_DCHS	0x24	DCH_REF	0：表示不测内部参比通道 1：表示测量内部参比通道
通道 4：C8 和 C9			DCH4	0：表示不测双端通道 4 1：表示测量双端通道 4
通道 3：C6 和 C7			DCH3	0：表示不测双端通道 3 1：表示测量双端通道 3
通道 2：C4 和 C5			DCH2	0：表示不测双端通道 2 1：表示测量双端通道 2
通道 1：C2 和 C3			DCH1	0：表示不测双端通道 1 1：表示测量双端通道 1
通道 0：C0 和 C1			DCH0	0：表示不测双端通道 0 1：表示测量双端通道 0

在双端模式下，当通道不工作时，可以通过寄存器配置其管脚的连接方式，分别有两种模式：高阻和接地，不支持有源屏蔽功能。具体配置如下表所示。

表 8.3.7-2　管脚配置寄存器

寄存器	地址	位	说明
SHLD_CFG	0x26	CS[1:0]	00：表示非测量通道为高阻状态 01：表示非测量通道内部接地 1x：无效（OSC_SEL=1）

8.3.8 双端模式驱动强度及幅度配置

在双端模式下，驱动强度有 9 种配置，具体配置和对应的驱动电流如下表所示。

表 8.3.8-1　双端模式驱动强度配置寄存器

寄存器	地址	位	说明
OSC2_CFG	0x25	OSC2_I[3:0]	0000：驱动电流为 4uA 0001：驱动电流为 8uA 0010：驱动电流为 16uA 0011：驱动电流为 42uA 0100：驱动电流为 100uA 0101：驱动电流为 250uA 0110：驱动电流为 500uA 0111：驱动电流为 1000uA 1xxx：驱动电流为 2000uA

在双端模式下，差分振荡幅度有 6 种配置，均会启动芯片内部 LDO，具体配置如下表所示。

表 8.3.8-2　双端模式振荡幅度配置寄存器

寄存器	地址	位	说明
OSC2_CFG	0x25	OSC2_LDO	内部 LDO 功率模式配置 0：低功率模式，适用于 f_{sensor}<1MHz 1：高功率模式，适用于 f_{sensor}>1MHz
		OSC2_V[2:0]	双端模式振荡幅度配置 000：幅度为 0.4V 001：幅度为 0.8V 010：幅度为 1.2V 011：幅度为 1.6V 100：幅度为 2.0V 101：幅度为 2.4V 110：幅度为 2.4V 111：幅度为 2.4V

8.4 测量及转换时间

MCP1081 支持多通道测量。在一次测量过程中，所有选中的通道会进行依次测量。测量的模式包括：单次测量和周期测量。周期测量的重复间隔可配置，分别为连续无间隔、100ms、1s 和 10s。对于周期测量模式，如果用户在测量期间修改了参数，不会立即生效，需要先发送停止测量，再重新启动周期测量，新参数才会生效。

为了提高测量精度，支持多次测量数据平均的功能，分别为 1、4、8、32 次平均可选。芯片在睡眠模式下（SLEEP_EN=1），每次执行完 I2C 指令或完成测量后，进人睡眠状态，以降低功耗。具体配置说明如下表所示。

表 8.4-1　电容测量控制寄存器

寄存器	地址	位	位定义	说明
C_CMD	0x1D	7	OSC_SEL	振荡模式选择 0: 选择单端模式；1: 选择双端模式

		5	SLEEP_EN	芯片睡眠模式开关 0: 睡眠模式关闭；1: 睡眠模式开启
		5:4	CAVG[1:0]	频率计数值 Dx 平均次数 00: 1 次 01: 4 次 10: 8 次 11: 32 次
		3:2	CR[1:0]	周期转换间隔时间配置 00：10s 测一次 01：1s 测一次 10：0.1s 测一次 11：连续不间断测量，无间隔
		1:0	OS，SD	电容转换启动位 00：周期转换 10：周期转换 01：停止转换 11：单次转换

MCP1081 的每个通道的转换时长由寄存器 CNT_CFG 决定。位 FINCNT 的数值为 N，表示测量 N 个 f_{in} 信号周期的总时长。如果想增加总测量时长，可以增大 FINCNT 数值或 FINDIV 分频值。位 SETTLING 表示通道的初始建立时间，该时间段内的信号不计入频率计数值。具体配置说明如下表所示。

表 8.4-2　测量周期数和建立时间配置寄存器

寄存器	地址	位	位定义	说明
CNT_CFG	0x1E	7:0	FINCNT[7:0]	设定 f_{in} 的测量周期个数 N 0x00: 测量 1 个 fin 周期的时长 0x01~0xFF: 测量 N 个 fin 周期的时长，N=1~255
DIV_CFG	0x1F	7	SETTLING	设定 f_{in} 的建立周期个数 0：表示 1 个 f_{in} 周期的建立时间 1：表示 4 个 f_{in} 周期的建立时间

下图是一次测量的工作流程，以单端模式，选择通道 0、通道 1 和通道 4 为例。

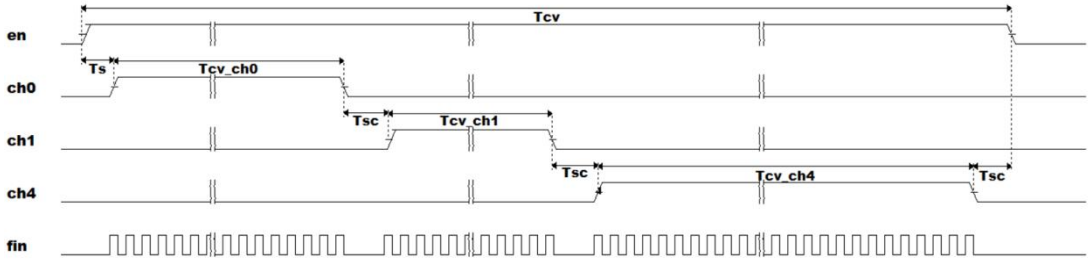


图 8.4-1　测量工作流程

上图，en 信号表示电容传感器的使能。当测量开始，en 信号拉高；当测量完成，en 信号拉低，其总转换时长为 T_{cv} 。在 en 拉高后，振荡电路建立，时间为 T_s（=50us）。之后通道 0 选通，其转换时长为 T_{cv_ch0}。通道完成后，切换到通道 1，通道之间的切换时间为 T_{sc}（=5us）。通道 1 选通后，其转换时长为 T_{cv_ch1}。通道 1 完成后，切换至通道 4，切换时间和转换时长分别为 T_{sc} 和 T_{cv_ch4}。通道 4 完成后，再经过 T_{sc}，完成全部测量过程。增加一路通道 x，总的转换时长就增加（T_{cv_chx}+T_{sc}）。总转换时长 T_{cv} 的表达式为：

$$T_{cv} = T_s + \left(T_{cv_ch1} + T_{sc}\right) + \left(T_{cv_ch2} + T_{sc}\right) + \left(T_{cv_ch4} + T_{sc}\right)$$

$$T_{cv_chx} = (FINCNT \cdot CAVG + N_s)/f_{inx}$$

上式中，x 表示所选的通道。f_{inx} 表示通道 x 的振荡频率。FINCNT 为 f_{in} 的测量周期个数，其取值范围为 1~255；CAVG 为数据平均次数，可以设置为 1、4、8、32；N_s 为 f_{in} 的建立周期个数，根据 SETTLING 的设置，可以设置为 1、4。

MCP1081 的互电容测量的时序分为 3 步，以通道 2-3 之间的互电容为例，如下图所示：

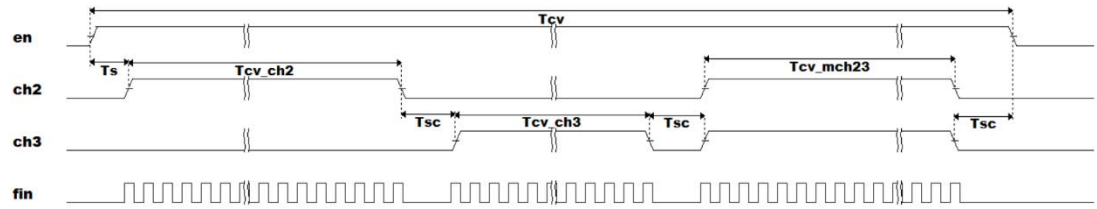


图 8.4-2　互电容测量工作流程

第一步测量通道 2，转换时长为 T_{cv_ch2}；第二步测量通道 3，转换时长为 T_{cv_ch3}；第三步同时测量通道 2 和 3，转换时长为 T_{cv_mch23}。T_s 为振荡电路建立时间，T_{sc} 为通道切换 时间。总转换时长 T_{cv} 的表达式为：

$$T_{cv} = T_s + \left(T_{cv_ch2} + T_{sc}\right) + \left(T_{cv_ch3} + T_{sc}\right) + \left(T_{cv_mch23} + T_{sc}\right)$$

$$T_{cv_chx} = (FINCNT \cdot CAVG + N_s)/f_{inx}$$

8.5 状态及溢出

状态寄存器用于查询芯片当前的工作状态，当正处于电容转换和温度转换时，相关标志位置 1。芯片还具备数据溢出保护功能，由于 DATA 寄存器的数值上限为 65535，当 f_{in} 的频率较低且 FINCNT 数值较大时，可能出现计数值溢出的情况。可以通过检查溢出标志位寄存

器，判断数据是否溢出。通过向状态寄存器的 OF_CLEAR 位写入 1，清除数据溢出标志位。相关寄存器如下表所示。

表 8.5-1　溢出标志位寄存器

寄存器	地址	位	说明
OSC1_OF_MSB	0x18	MOF[4:0] OFREF OF[9:8]	MOFx：1 表示互电容通道 x 计数溢出，x 取值为 0-4 OFREF：1 表示单端参比通道计数溢出 OFx：1 表示单端通道 x 计数溢出，x 取值为 0-9
OSC1_OF_LSB	0x19	OF[7:0]	OFx：1 表示单端通道 x 计数溢出，x 取值为 0-7
OSC2_OF	0x1A	DOFREF DOF[4:0]	DOFREF：1 表示双端参比通道计数溢出 DOFx：1 表示双端通道 x 计数溢出，x 取值为 0-4

表 8.5-2　状态寄存器

寄存器	地址	位	说明
STATUS	0x1B	OF_CLEAR	该位写入 1，将清除全部溢出标志位。读取值为 0。
		FLAG_TCVT	1 表示正在进行温度转换。 0 表示停止温度转换。
		FLAG_CCVT	1 表示正在进行电容转换。周期模式下，此标志位维持高，直到发停止命令。 0 表示停止电容转换。

8.6 时钟配置

与 MCP1081 时钟配置相关的寄存器包括 CNT_CFG 和 DIV_CFG，配置流程如下：

i. 根据应用需求，确认转换时间 T_{cv}。一般来说，转换时间越长，测量精度越高。还可以通过增加平均次数，降低噪声水平，提高有效分辨率。

ii. 根据被测电容的最大值、电路连接方式、振荡方式、驱动强度及振荡幅度，利用计算工具“my_fcal”，估算振荡频率 f_{sensor}（由于非理想因素的影响，估算数值与实测出的频率值可能存在差异）。

iii. 由于 DATA 的计数值上限为 65535，在确定 $NDIV_{in}$、$NDIV_{ref}$ 和 f_{sensor} 后，可利用下式估算出 $FINCNT_{MAX}$。一般取 FINCNT=0.5·$FINCNT_{MAX}$。这里取 0.5 倍，是为了给寄生、温漂等非理想因素的影响留出设计裕量。为了获得高精度，还可以配置 CAVG=32。

$$FINCNT_{MAX} = \left(NDIV_{ref} \cdot DATA_Dx \cdot f_{sensorx}\right) / \left(NDIV_{in} \cdot f_{sys}\right)$$

iv. 如果转换时间受限，一般设置 $NDIV_{ref}$ =1、CAVG=1 且 SETTLING=0。可以利用下式估算 $FINCNT_{MAX}$。一般取 FINCNT=0.5·$FINCNT_{MAX}$。注意下式中的 T_{cv_chx} 只是单通道的转换时间，不是总时长 T_{cv}。

$$FINCNT_{MAX} = \left(T_{cv_{chx}} \cdot f_{sensorx}\right) / NDIV_{in} - N_s,\ \ N_s = 1$$

v. 结合 iii 和 iv 的结果，选取数值较小的 FINCNT。同时确定 $NDIV_{in}$、$NDIV_{ref}$、SETTLING 和 CAVG 等参数。

vi. 如果测量互电容，需要进行 3 次测量，设置 FINCNT 时，选取最小的数值。一个互电容通道的测量时长是 3 次测量的总和。

8.7 数据读取及电容计算

各个通道的数据如下表所示。

表 8.7 数据寄存器

寄存器	地址	位	说明		
			单端 (OSC_SEL=0)	互电容 (OSC_SEL=0)	双端 (OSC_SEL=1)
D0_MSB D0_LSB	0x02 0x03	DATA[15:8] DATA[7:0]	通道 CH0 数据		通道 DCH0 数据
D1_MSB D1_LSB	0x04 0x05	DATA[15:8] DATA[7:0]	通道 CH1 数据	通道 MCH0 数据	通道 DCH1 数据
D2_MSB D2_LSB	0x06 0x07	DATA[15:8] DATA[7:0]	通道 CH2 数据		通道 DCH2 数据
D3_MSB D3_LSB	0x08 0x09	DATA[15:8] DATA[7:0]	通道 CH3 数据	通道 MCH1 数据	通道 DCH3 数据
D4_MSB D4_LSB	0x0A 0x0B	DATA[15:8] DATA[7:0]	通道 CH4 数据		通道 DCH4 数据
D5_MSB D5_LSB	0x0C 0x0D	DATA[15:8] DATA[7:0]	通道 CH5 数据	通道 MCH2 数据	无效
D6_MSB D6_LSB	0x0E 0x0F	DATA[15:8] DATA[7:0]	通道 CH6 数据		无效
D7_MSB D7_LSB	0x10 0x11	DATA[15:8] DATA[7:0]	通道 CH7 数据	通道 MCH3 数据	无效
D8_MSB D8_LSB	0x12 0x13	DATA[15:8] DATA[7:0]	通道 CH8 数据		无效
D9_MSB D9_LSB	0x14 0x15	DATA[15:8] DATA[7:0]	通道 CH9 数据	通道 MCH4 数据	无效
DREF_MSB DREF_LSB	0x16 0x17	DATA[15:8] DATA[7:0]	通道 CHREF 数据		通道 CHREF 数据

需要注意的是，在单端模式下，当启用互电容测量后，表示 MCHx 的有效数据分别位于 D1、D3、D5、D7、D9 寄存器；在双端模式下，表示 DCHx 的有效数据分别位于 D0、D1、D2、D3、D4、DREF 寄存器。

上表中读出的数据为通道的计数值，其对应频率的转换公式如下。

$$f_{sensorx} = \left(NDIV_{in} \cdot f_{sys} \cdot FINCNT\right) / \left(NDIV_{ref} \cdot Dx\right)$$

上式中，x 表示通道数，适用单端电容、互电容、双端电容。

为了能够在单次测量中读到正确的数据，需要在转换完成后再读取数据。对于单次测量，可以通过检查状态寄存器的 FLAG_CCVT 位，来判断当前测量是否完成。对于周期测量，芯片会自行按照固定间隔进行测量，用户只需在合适的时间读取数据即可。

在实际应用中，采用参比测量的方法，从而消除漂移等非理想因素的影响。这种方法要求所以测量通道和参比通道的配置相同。关于参比通道的选择，参见 6.3.8。

具体测量计算方法如下：

方法 1，采用内部参比电容通道（适用单端电容、互电容和双端电容）

i. 测量并读取通道 *x* 的频率计数值 *Dx*

ii. 在相同配置下，测量并读取内部参比通道的频率计数值 *DREF*

iii. 按照下式计算电容值。其中内部参比电容 C_{ref}为 20pF。

$$C_x = (C_{ref} \cdot Dx)/DREF$$

方法 2，采用一路外接参比电容 （适用于单端电容和互电容）

i. 选择一路通道（例如单端通道 CH7，对应管脚 C7），外接参比电容 C_{ref}，其它通道接电极或者被测电容。外接参比电容的大小尽量接近被测电容。

ii. 测量并读取通道 x 的频率计数值 Dx

iii. 测量并读取通道 CH7 的频率计数值 D7

iv. 按照下式计算电容值

$$C_x = (C_{ref} \cdot Dx)/D7$$

方法 3，采用一路外接参比电容 （适用于双端电容）

i. 选择一路通道（例如双端通道 DCH3，对应管脚 C6 和 C7），外接参比电容 C_{ref}，其它通道接电极或者被测电容。外接参比电容的大小尽量接近被测电容。

ii. 测量并读取通道 *x* 的频率计数值 *Dx*

iii. 测量并读取通道 DCH3 的频率计数值 *D3*

iv. 按照下式计算电容值

$$C_x = (C_{ref} \cdot Dx)/D3$$

方法 4，采用两路外接参比电容（适用于单端电容和互电容）

i. 选择一路通道（例如单端通道 CH6，对应管脚 C6），外接参比电容 C_{ref1}；选择第

二路通道（例如单端通道 CH7，对应管脚 C7），外接参比电容 C_{ref2}，其它通道接电极或者被测电容。要求 C_{ref1}=2*C_{ref2}。外接参比电容 C_{ref1}的大小尽量接近被测电容。

ii. 测量并计算通道 x 的周期 $T_{sensorx} = 1/f_{sensorx}$

iii. 测量并计算参比通道 6 的周期 $T_{cref1} = 1/f_{sensor6}$

iv. 测量并计算参比通道 7 的周期 $T_{cref2} = 1/f_{sensor7}$

v. 计算时间修正参数， $T_{fix} = 2T_{cref2} - T_{cref1}$

vi. 修正参比通道 6 的周期， $T_{cref1_fix} = T_{cref1} - T_{fix}$

vii. 修正测量通道的周期 $T_{sensorx_fix} = T_{sensorx} - T_{fix}$

viii. 按照下式计算电容值

$$C_x = (C_{ref1} \cdot T_{sensorx_fix})/T_{cref1_fix}$$

方法 5，采用两路外接参比电容（适用于双端电容）

i. 选择一路通道（例如双端通道 DCH3，对应管脚 C6 和 C7），外接参比电容 C_{ref1}；选择第二路通道（例如双端通道 DCH4，对应管脚 C8 和 C9），外接参比电容 C_{ref2}，其它通道接电极或者被测电容。要求 C_{ref1}=2*C_{ref2}。外接参比电容 C_{ref1}的大小尽量接近被测电容。

ii. 测量并计算通道 x 的周期 $T_{sensorx} = 1/f_{sensorx}$

iii. 测量并计算参比通道 DCH3 的周期 $T_{cref1} = 1/f_{sensor3}$

iv. 测量并计算参比通道 DCH4 的周期 $T_{cref2} = 1/f_{sensor4}$

v. 计算时间修正参数 $T_{fix} = 2T_{cref2} - T_{cref1}$

vi. 修正参比通道 6 的周期 $T_{cref1_fix} = T_{cref1} - T_{fix}$

vii. 修正测量通道的周期 $T_{sensorx_fix} = T_{sensorx} - T_{fix}$

viii. 按照下式计算电容值

$$C_x = (C_{ref1} \cdot T_{sensorx_fix})/T_{cref1_fix}$$

上述 5 种方法中，方法 1、2 和 4 适用于单端电容和互电容；方法 1、3 和 5 适用于双端电容。方法 1、2 和 3 会受到寄生电容的影响。方法 4 和 5 的测量精度最高。

8.8 参比电容的选取

MCP1081 的参比电容即可以选择内置电容，也可以选择外接电容或者电极结构。

对于一般应用场合，可以选择内置的 20pf 电容 Cref 作为参比电容，此时外部 10 路单端或者 5 路双端，可以全部用于测量。

对于需要消除温漂的应用场合，可以选择外接电容或者电极结构作为参比。对于单端，建议选择通道 CH7 作为参比通道。对于双端，建议选择通道 DCH3 作为参比通道。

对于需要高精度测量的应用场合，可以选择两路外接电容作为参比。对于单端，建议选择通道 CH6 和 CH7 作为参比通道。对于双端，建议选择通道 DCH3 和 DCH4 作为参比通道。

8.9 有源屏蔽

MCP1081 提供了有源屏蔽（Active Shielding）功能，可消除周边寄生电容的影响。因为当被测电极与周边屏蔽层等电位时，它们之间没有电荷移动，寄生电容对被测电极没有影响。如图 6.3.3-1 所示，cap1 为被测电极，cap0、cap2 和金属层（shield）构成了有源屏蔽层， 通过芯片内部的单位增益运放构成屏蔽驱动电路（BUF），SHLD、C_n 和 C_{n+2} 管脚上输出相同的波形，即 Vcap1=Vshield=Vcap0=Vcap2，这样在不影响电极的灵敏度的情况下，还能有效抵抗电极表面的干扰问题。

配置 SHLD_CFG 寄存器位 CS[1:0]=1X，且 SHLD_EN=1，开启有源屏蔽功能。如果屏蔽电极的电容负载比较大，可以配置 SHLD_HP=1，开启高功率驱动模式。

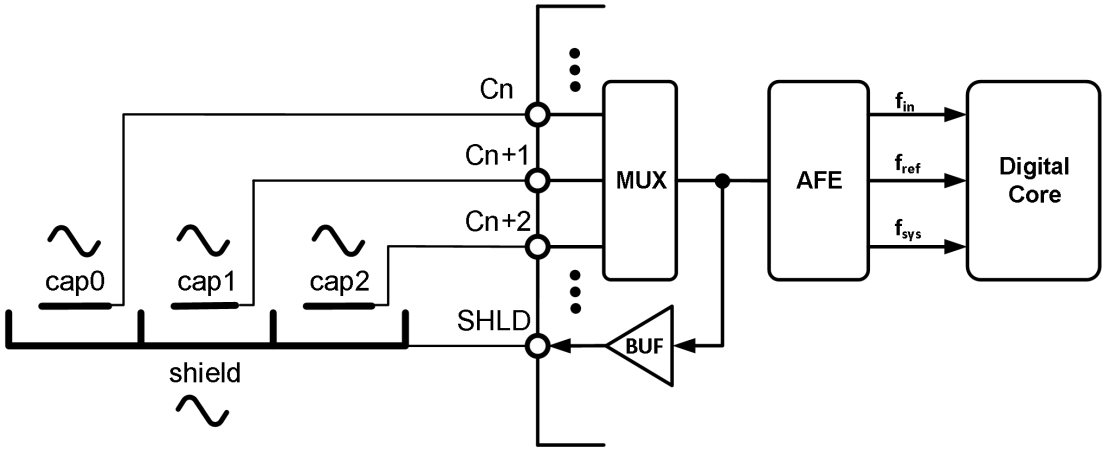


图 8.9　有源屏蔽功能

在使用有源屏蔽功能时，有如下注意事项：

i. 只有在单端电容模式下，才可以启动有源屏蔽功能。互电容和双端电容不支持有源屏蔽功能。

ii. 有源屏蔽支持的最高信号频率是 f_{sensor}=500KHz。

iii. 有源屏蔽驱动分为高功率模式和低功率模式，可驱动的最大电容和最小电阻负载有区别。

配置有源屏蔽的寄存器为 SHLD_CFG，具体寄存器说明如下表所示。

表 8.9　有源屏蔽配置寄存器

寄存器	地址	位	说明
SHLD_CFG	0x26	CS[1:0]	电容测量端口在非测量期间的状态位 00: 表示电容测量端口在非测量期间为高阻状态 01: 表示电容测量端口在非测量期间接地 1x: 表示电容测量端口在非测量期间输出有源屏蔽信号
		SHLD_HP	0：表示低功率模式，驱动负载最大 30pF 1：表示高功率模式，驱动负载最大 60pF
		SHLD_EN	0：关闭有源屏蔽 1：启动有源屏蔽

8.10 温度测量

MCP1081 包含高精度温度传感功能，温度测量范围-55℃~+125℃，在全温范围内的测温精度达到±2℃。温度值可以用于电容传感通道的温漂补偿。

8.10.1 测温测量参数配置

芯片内部会生成与温度成比例的电压信号，通过 16bit ADC 进行转换，输出到温度数据寄存器。通过对温度测量配置寄存器的 STC 位置 1，可以启动一次温度转换过程；通过配置 TCVT 位，可以配置单次温度转换的时间，转换时间越长有效分辨率越高。温度转换过程和电容转换过程相互之间为独立运行的关系，两者互不干涉。温度测量配置寄存器的说明如下：

表 8.10-1　温度测量配置寄存器

寄存器	地址	位	说明
T_CMD	0x1C	TCVT[1:0]	温度转换时间配置位 00：1.7ms，对应 13bit 有效分辨率 01：2.1ms，对应 14bit 有效分辨率 10：3.0ms，对应 15bit 有效分辨率 11：4.7ms，对应 16bit 有效分辨率
		STC	温度转换启动位 0：停止转换 1：启动单次转换，读取值为 0

8.10.2 温度数据格式与计算公式

温度数据的格式为 16bit 有符号数，T_{LSB}=0.0038℃，寄存器说明如下：

表 8.10-2　温度数据寄存器

寄存器	地址	位	说明
T_MSB T_LSB	0x0 0x1	TDATA[15:8] TDATA[7:0]	温度数据，16bit 有符号数

温度值的计算公式为：

$$Temperature = \frac{TDATA[15:0]}{250} + 29℃$$

8.11 功耗模式

MCP1081 有三种功耗状态：待机模式、工作模式、睡眠模式。

上电启动时，MCP1081 会自动将寄存器配置为默认值，进入待机模式，此时芯片内部的电源及系统时钟处于开启状态，等待用户通过 I2C 发送参数配置和测量转换类指令。

MCP1081 在每次执行完 I2C 读写操作后，将会自动进入睡眠模式，此时芯片内部电源及系统时钟处于关闭状态，为最低功耗模式。

当主机发出有效的 I2C 指令时，芯片将会自动唤醒，并执行相应操作，进入工作模式。需要注意的是，在周期测量模式下，MCP1081 在每次转换完成后会进入待机模式，不会进入睡眠模式。

8.12 软件复位

MCP1081 提供软件复位功能（Softreset)。通过向复位寄存器写入 0x7A，软件复位功能启动，传感器恢复到上电初始状态，所有寄存器恢复到默认值。

表 8.12　复位寄存器定义

寄存器	及地址	位	说明
RESET	0x69	RESET[7:0]	b01111010：启动软件复位，传感器恢复到上电初始状态，全部寄存器恢复到默认值。 其他值：无效。 读取值为 0x00。

9. 功能模式

9.1 上电启动

MCP1081 在上电启动以后，进入待机模式，可进行包括参数修改、单次转换、周期转换等

操作。

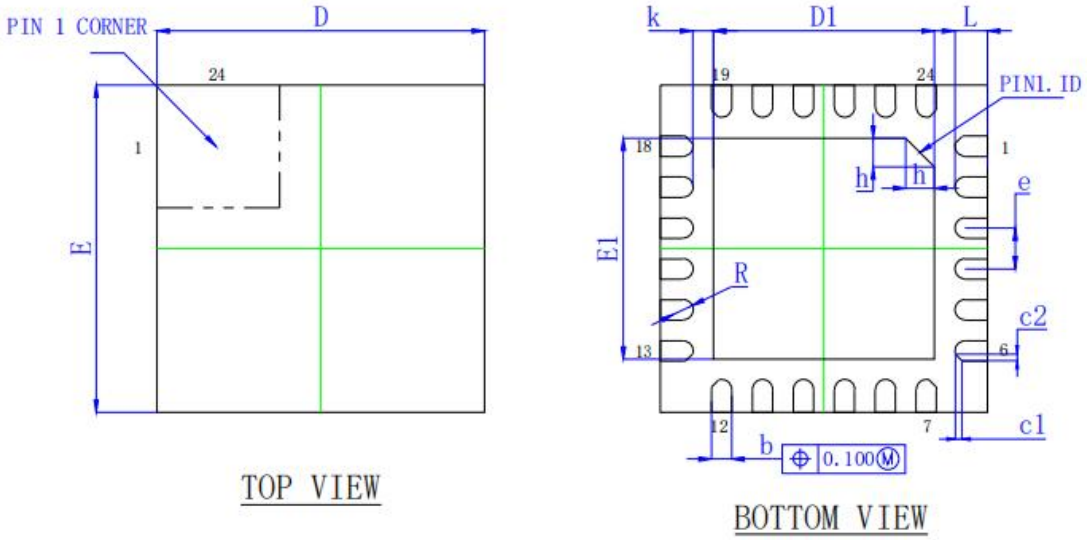
9.2 转换模式

MCP1081 的转换模式分为单次转换模式和周期转换模式，通过 CFG 寄存器进行配置，详见 8.4 章节。

9.3 睡眠模式

MCP1081 在每次执行完 I2C 指令操作后，将会自动进入睡眠模式（低功耗模式）。当主机发出有效的 I2C 指令时，芯片将会自动唤醒，并执行相应操作。

10. 封装



Symbol	DIMENSION In Millimeters (MM)			DIMENSION In Inches		
	Min.	Normal	Max.	Min.	Normal	Max.
A	0.700	0.750	0.800	0.028	0.030	0.031
A1	--	0.020	0.050	--	0.001	0.002
A2	--	0.550	--	--	0.022	--
A3	0.203 REF			0.008 REF		
D	3.900	4.000	4.100	0.154	0.157	0.161
E	3.900	4.000	4.100	0.154	0.157	0.161
D1	2.600	2.700	2.800	0.102	0.106	0.110
E1	2.600	2.700	2.800	0.102	0.106	0.110
b	0.200	0.250	0.300	0.008	0.010	0.012
L	0.350	0.400	0.450	0.014	0.016	0.018
e	0.500 BSC			0.020 BSC		
k	0.200	---	---	0.008	---	---
R	0.090	---	---	0.004	---	---
c1	---	0.080	---	---	0.003	---
c2	---	0.080	---	---	0.003	---
h	0.350 REF			0.014 REF		

图 10 MCP1081S QFN24 4.0*4.0*0.75mm 产品尺寸规格图

11. 订购须知

型号	封装	最小包装
MCP1081S	QFN24	5K/盘