TPSM828301, TPSM828302, TPSM828303
ZHCSPA2C – JULY 2023 – REVISED APRIL 2025

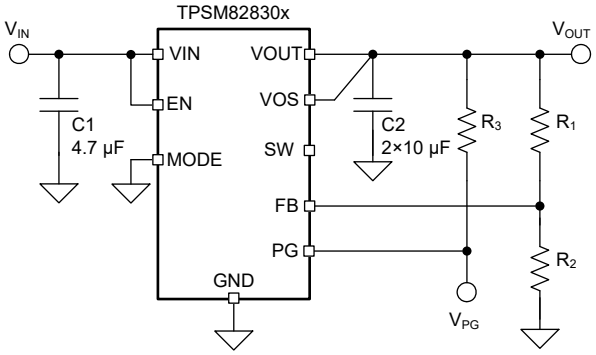
TPSM82830x 集成电感器，采用 QFN 和 MagPack™ 封装，低 EMI，2.25V 至 5.5V 输入，1A、2A 和 3A 降压电源模块

1 特性

- 优化的 EMI 性能
  - 有助于符合 CISPR 11/32 标准
  - 采用 MagPack 技术屏蔽电感器和 IC
  - 集成片上噪声滤波电容器
- 0.5V 至 4.5V 可调节输出电压
- 1% FB 电压精度（T_J 为 –40°C 至 125°C）
- 55mΩ 压降电阻
- 输入电压范围为 2.25V 至 5.5V
- 2.0MHz 开关频率
- 运行静态电流 7μA
- DCS-Control 拓扑
- 出色的瞬态响应
- MODE 引脚可选 FPWM 或 PSM
- 支持 1.2V GPIO
- 100% 占空比，可实现超低压降
- 有源输出放电
- 电源正常状态输出
- 热关断保护
- 断续或闭锁 OCP/OVP
- 无封装接线的封装选项
  - 标准 QFN，高度 1.95mm
  - 屏蔽 MagPack 封装，高度 1.95mm
- 使用 TPSM828303 并借助 WEBENCH® Power Designer 创建定制设计方案

2 应用

- 工业 PC
- LPDDR5 0.5V VDDQ 电源
- ASIC、SoC 和 MCU 电源
- 工厂自动化和控制
- 医用患者监护仪
- 通用负载点



典型应用原理图

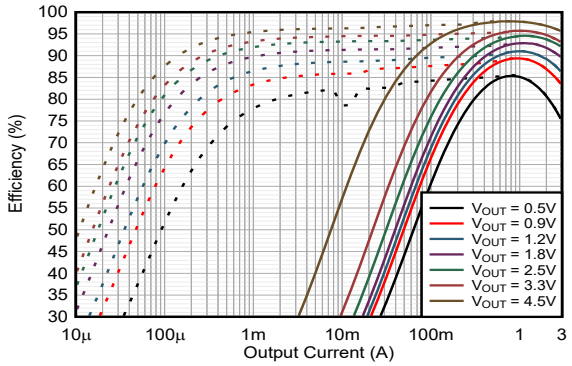
3 说明

TPSM82830x 是 1A、2A 和 3A 引脚对引脚兼容的易于使用的同步直流/直流降压模块系列，具有集成电感器并采用 EMI 降低技术。器件采用 DCS-Control 拓扑，实现快速瞬态响应和较小的输出电容。输出电压可设置为低至 0.5V，并在整个工作结温范围内具有 1% 的高反馈电压精度。模式引脚用于在节能模式和强制 PWM 模式之间进行选择。省电模式延长电池寿命，强制 PWM 模式在准固定开关频率下通过电感器中的连续导通减少纹波。内部软启动电路降低浪涌电流，电源正常信号表示输出电压正确。断续短路保护搭配热关断，可保护器件和应用。该系列采用 3.0mm × 3.0mm QFN 封装和 2.5mm × 2.6mm MagPack 封装。

器件信息

器件型号(2)	输出电流	封装(3)	封装尺寸(1)
TPSM828301	1A	RDS (QFN-FCMOD，9)	3.0mm × 3.0mm
TPSM828302	2A		
TPSM828303	3A		
TPSM828301(4)	1A	VCB (QFN-FCMOD，10)	2.6mm × 2.5mm
TPSM828302(4)	2A		
TPSM828303	3A		

(1) 请参阅*器件选项*表。
(2) 有关更多信息，请参阅节 11。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(4) 预发布信息（非量产数据）。



V_{IN} = 5V 时的效率，VCB 封装

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件选项 3
5 引脚配置和功能 3
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 5
6.4 热性能信息 RDS 封装 6
6.5 热性能信息 VCB 封装 6
6.6 电气特性 6
6.7 典型特性 8
7 详细说明 9
7.1 概述 9
7.2 功能方框图 10
7.3 特性说明 10
7.4 器件功能模式 14
8 应用和实施 16
8.1 应用信息 16
8.2 典型应用 16
8.3 电源相关建议 28
8.4 布局 28
9 器件和文档支持 30
9.1 器件支持 30
9.2 文档支持 30
9.3 支持资源 30
9.4 商标 30
9.5 静电放电警告 30
9.6 术语表 30
10 修订历史记录 31
11 机械、封装和可订购信息 32
11.1 卷带包装信息 33

Copyright © 2025 Texas Instruments Incorporated

4 器件选项

器件型号	输出电流	软启动、tSS	OCP 模式	封装	输出电压
TPSM828301ARDSR	1A	300 µ s	断续(2)	QFN RDS	可调节(1)
TPSM828302ARDSR	2A	300 µ s	断续(2)	QFN RDS	
TPSM828303ARDSR	3A	300 µ s	断续(2)	QFN RDS	
TPSM828303KPVCBR(3)	1A	880 µ s	断续(2)	QFN VCB	
TPSM828301APVCBR(3)	1A	300 µ s	断续(2)	QFN VCB	
TPSM828302APVCBR(3)	2A	300 µ s	断续(2)	QFN VCB	
TPSM828303APVCBR	3A	300 µ s	断续(2)	QFN VCB	

(1) 对于固定输出电压版本，请联系营销部门以了解供货情况。
(2) 对于具有 OCP/OVP 闭锁的版本，请联系营销部门以了解供货情况。
(3) 预发布信息（非量产数据）。

5 引脚配置和功能

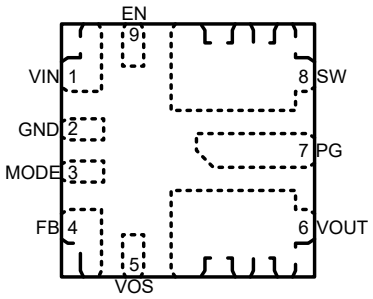


图 5-1. RDS 封装，9 引脚 QFN-FCMOD 顶视图

表 5-1. 引脚功能：RDS 封装

引脚		类型(1)	说明
名称	编号		
VIN	1	PWR	输入电压引脚。在引脚 V_{IN} 和 GND 之间（尽可能接近它们）连接输入电容器。
GND	2	PWR	接地引脚
模式	3	I	当此引脚拉至低电平时，器件在 PSM/PWM 模式下运行，而当拉至高电平时，器件在强制 PWM 模式下运行。也可在器件运行时执行此操作。不要将这个引脚悬空。
FB	4	I	反馈引脚。将电阻式输出分压器连接到此引脚。
VOS	5	I	输出电压检测引脚。将此引脚直接连接在电感器后面。
VOUT	6	PWR	输出电压引脚
PG	7	O	电源正常开漏输出引脚。上拉电阻器可以连接到高达 5.5V 的电压。如果未使用，则将此引脚悬空。
SW	8	PWR	转换器的开关引脚，内部连接的电感器。为了尽量降低 EMI，请将此引脚保持未连接状态或焊接到一个小焊盘上以改善热性能。
EN	9	I	器件使能引脚。要启用器件，请将此引脚拉至高电平。将这个引脚拉至低电平会禁用器件。请勿使该引脚保持未连接状态。

(1) I = 输入，O = 输出，PWR = 电源

Copyright © 2025 Texas Instruments Incorporated

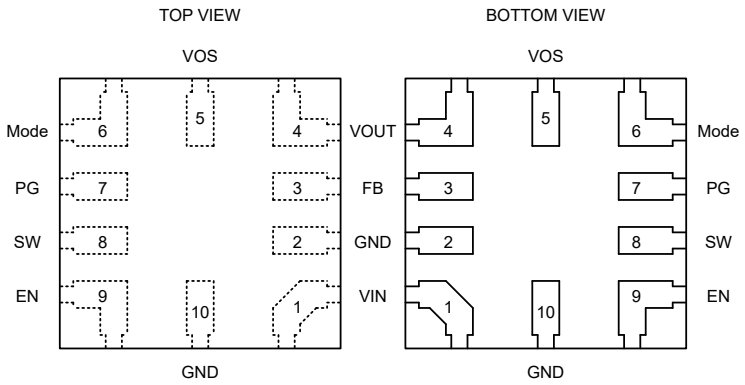


图 5-2. VCB 封装，10 引脚 QFN-FCMOD

表 5-2. 引脚功能：VCB 封装

引脚		类型(1)	说明
名称	编号		
VIN	1	PWR	输入电压引脚。在引脚 V_{IN} 和 GND 之间（尽可能接近它们）连接输入电容器。
GND	2、10	PWR	接地引脚
FB	3	I	反馈引脚。将电阻式输出分压器连接到此引脚。
VOUT	4	PWR	输出电压引脚
VOS	5	I	输出电压检测引脚。将此引脚直接连接在电感器后面。
模式	6	I	当此引脚拉至低电平时，器件在 PSM/PWM 模式下运行，而当拉至高电平时，器件在强制 PWM 模式下运行。也可在器件运行时执行此操作。不要将这个引脚悬空。
PG	7	O	电源正常开漏输出引脚。上拉电阻器可以连接到高达 5.5V 的电压。如果未使用，则将此引脚悬空。
SW	8	PWR	转换器的开关引脚，内部连接的电感器。为了尽量降低 EMI，请将此引脚保持未连接状态或焊接到一个小焊盘上以改善热性能。
EN	9	I	器件使能引脚。要启用器件，请将此引脚拉至高电平。将这个引脚拉至低电平会禁用器件。请勿使该引脚保持未连接状态。

(1) I = 输入，O = 输出，PWR = 电源

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在工作结温范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压(2)	VIN、EN、MODE、FB、PG	-0.3	6	V
	SW (DC)、VOS、VOUT	-0.3	V_{IN} + 0.3	V
	SW（AC，< 10ns）(3)	-2.5	10	V
工作结温	T_J	-40	125	°C
贮存温度	T_{stg}	-55	125	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值都相对于网络接地端而言。
(3) 打开开关时

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压范围	2.25		5.5	V
V_{OUT}	输出电压范围	0.5		4.5	V
C_{IN}	有效输入电容 (1)	3			µF
C_{OUT}	有效输出电容 (1)	12		200	µF
I_{OUT}	输出电流范围；TPSM828301			1	A
I_{OUT}	输出电流范围；TPSM828302			2	A
I_{OUT}	输出电流范围；TPSM828303 (2)			3	A
I_{PG}	电源正常输入电流能力			1	mA
T_J	工作结温 (2)	-40		125	°C

(1) 表中为所有电容器给出的值均为有效电容，其中包括直流偏置效应。由于陶瓷电容器的直流偏置效应，施加电压时有效电容低于标称值。请检查制造商的直流偏置曲线，以了解有效电容与所施加直流电压之间的关系。
(2) 在存在高功率耗散和高环境温度的应用中，为了使模块在其工作温度范围内运行，必须对最大输出电流进行降额。

Copyright © 2025 Texas Instruments Incorporated

6.4 热性能信息 RDS 封装

热指标 (1)		TPSM82830xARDSR		单位
		RDS (QFN-FCMOD)		
		9 引脚 (JEDEC 板)	9 引脚 (EVM 板)	
$R_{\theta JA}$	结至环境热阻	59.4	49.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	66.5	不适用(2)	°C/W
$R_{\theta JB}$	结至电路板热阻	16.8	不适用(2)	°C/W
ψ_{JT}	结至顶部特征参数	0.3	0.5	°C/W
ψ_{JB}	结至电路板特征参数	16.7	23.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标注释。
(2) 不适用于 EVM。

6.5 热性能信息 VCB 封装

热指标(1)		TPSM828303PVCBR		单位
		VCB (QFN-FCMOD)		
		10 引脚 (JEDEC 板)	10 引脚 (EVM 板)	
$R_{\theta JA}$	结至环境热阻	83.1	66.5	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	37.1	不适用(2)	°C/W
$R_{\theta JB}$	结至电路板热阻	27.4	不适用(2)	°C/W
ψ_{JT}	结至顶部特征参数	(-1.7)(3)	(-1.6)(3)	°C/W
ψ_{JB}	结至电路板特征参数	27.2	35.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标注释。
(2) 不适用于 EVM。
(3) 外壳顶部温度可能高于有源电路的温度，因为电感器功率耗散会导致结至顶部特征参数为负。

6.6 电气特性

T_J = –40°C 至 +125°C，V_{IN} = 2.25V 至 5.5V。典型值是在 T_J = 25°C 且 V_{IN} = 5V 条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_Q	工作静态电流	EN = V_{IN}，I_{OUT} = 0mA，V_{OUT} = 1.8V，MODE = GND，器件未开关		7	17	µA
I_{SD}	V_{IN} 关断电源电流	EN = 低电平，T_J = -40ºC 至 85ºC		100	700	nA
$V_{UVLO(+)}$	UVLO 上升阈值电压 (V_{IN})		2.05	2.15	2.25	V
$V_{UVLO(hys)}$	UVLO 迟滞 (V_{IN})		90	120		mV
热关断						
$T_{J(SD)}$	热关断阈值	T_J 上升		150		°C
$T_{J(HYS)}$	热关断迟滞			20		°C
逻辑引脚						
$V_{EN(+)}$	高电平输入电压 (EN)		0.8			V
$V_{EN(-)}$	低电平输入电压 (EN)				0.35	V
$V_{MODE(+)}$	高电平输入电压 (MODE)		0.8			V
$V_{MODE(-)}$	低电平输入电压 (MODE)				0.35	V
$I_{EN(LKG)}$	EN 输入漏电流	V_{EN} = 高电平		10	100	nA
$I_{MODE(LKG)}$	MODE 输入漏电流	V_{MODE} = 高电平		10	100	nA
启动						
t_{SS}	内部固定软启动时间	从 V_{OUT} = 0 至 V_{OUT} = 95%	180	300	440	µs
t_{SS}	内部固定软启动时间	从 V_{OUT} = 0 至 V_{OUT} = 95%；仅 TPSM82830x***K*** 版本	530	880	1300	µs

Copyright © 2025 Texas Instruments Incorporated

6.6 电气特性（续）

T_J = –40°C 至 +125°C，V_{IN} = 2.25V 至 5.5V。典型值是在 T_J = 25°C 且 V_{IN} = 5V 条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(EN)}$	启用延迟时间	从 EN 高电平至器件开始开关		120	220	µs
基准电压						
V_{FB}	反馈电压精度	脉宽调制 (PWM) 模式(1)	495	500	505	mV
V_{FB}	反馈电压精度	脉宽调制 (PWM) 模式(1)	-1		+1	%
V_{FB}	反馈电压精度	PFM 模式，$C_{OUT,eff}$ ≥ 15µF	-1		+2	%
$I_{FB(LKG)}$	FB 输入漏电流，可调版本	V_{FB} = 0.5V		10	70	nA
$I_{VOS(LKG)}$	VOS 输入漏电流	V_{EN} = 低电平		100	500	nA
电源正常						
$V_{PG,UV(+)}$	电源正常上升阈值电压（输出欠压）	PG 引脚低电平，V_{FB} 上升	94	96	98	%
$V_{PG,UV(-)}$	电源正常下降阈值电压（输出欠压）	PG 引脚高电平，V_{FB} 下降	90	92	94	%
$V_{PG,OV(+)}$	电源正常上升阈值电压（输出过压）	PG 引脚高电平，V_{FB} 上升	108	110	112	%
$V_{PG,OV(-)}$	电源正常下降阈值电压（输出过压）	PG 引脚低电平，V_{FB} 下降	102.5	105	107	%
$t_{d(PG)}$	启动时的电源正常延迟	启动时 PG 引脚上的低电平到高电平转换		128		µs
$t_{d(PGO)}$	运行期间的电源正常抗尖峰脉冲延迟	PG 引脚上的高电平到低电平或低电平到高电平转换	30	45	60	µs
$I_{PG(LKG)}$	开漏输出高电平时的 PG 引脚漏电流	V_{PG} = 5.0V		10	100	nA
$V_{PG,OL}$	PG 引脚低电平输出电压	I_{PG} = 1mA			0.4	V
功率级						
R_{DP}	压降电阻	TPSM82830x，V_{IN} ≥ 5V，100% 模式，T_J = 25°C，VCB 封装		55		mΩ
R_{DP}	压降电阻	TPSM82830x，V_{IN} ≥ 5V，100% 模式，T_J = 25°C，RDS 封装		61		mΩ
R_{DP}	压降电阻	TPSM82830x，V_{IN} = 2.7V，100% 模式，T_J = 25°C		78	105	mΩ
f_{SW}	开关频率，PWM 模式	I_{OUT} = 1A，V_{OUT} = 1.8V		2.0		MHz
过流保护						
$I_{HS(OC)}$	高侧峰值电流限值	TPSM828301	1.8	2.1	2.6	A
$I_{HS(OC)}$	高侧峰值电流限值	TPSM828302	2.7	3.3	3.9	A
$I_{HS(OC)}$	高侧峰值电流限值	TPSM828303	4.0	4.6	5.4	A
$I_{LS(NOC)}$	低边负电流限值	LS FET 上的灌电流限制		-1.8		A
输出放电						
I_{DIS}	SW 引脚上的输出放电电流	V_{IN} > 2V，V_{SW} = 0.4V，EN = 低电平	75	400		mA

(1) 输出电压精度指定为静态参数。有关动态行为，请参阅数据表中的相应部分。

Copyright © 2025 Texas Instruments Incorporated

6.7 典型特性

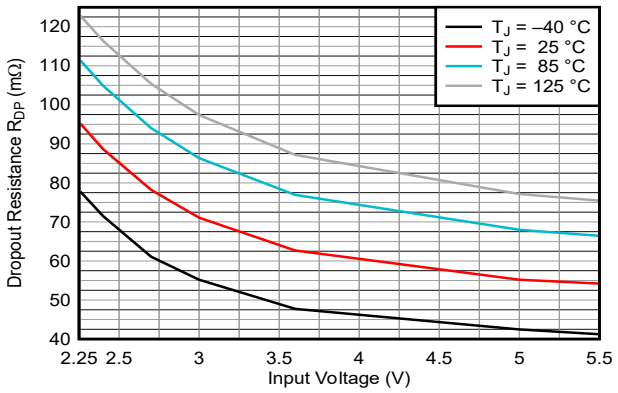


图 6-1. TPSM82830x 压降电阻 RDS 封装

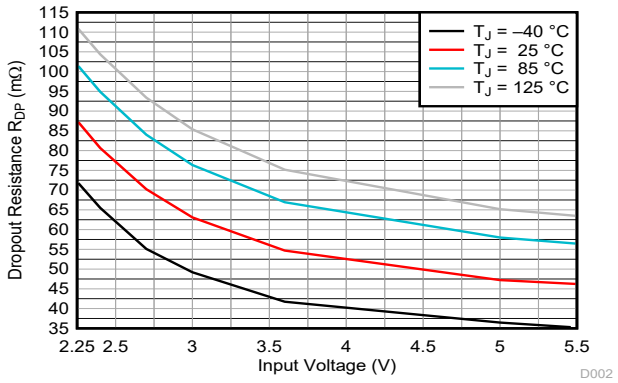


图 6-2. TPSM82830x 压降电阻 VCB 封装

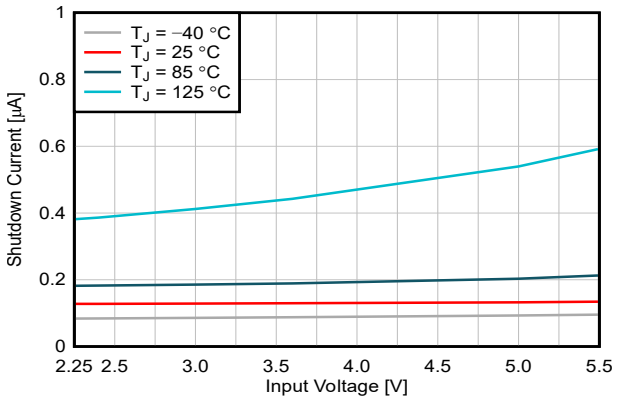


图 6-3. 关断电流

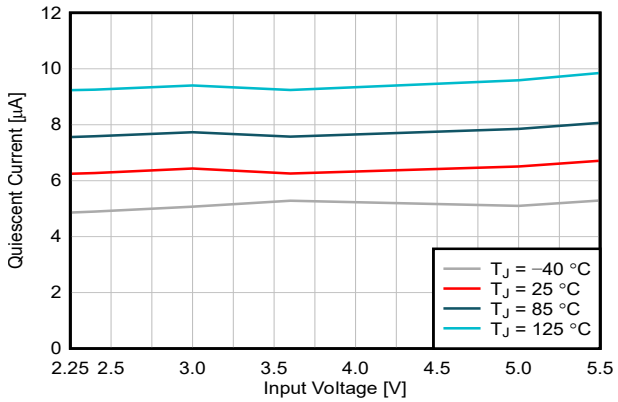


图 6-4. 静态电流

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPSM82830x 是低压降压模块系列，可提供 1A、2A 和 3A 版本。这些器件使用 DCS-Control 方案，该方案可以从中高输出电流下的脉宽调制 (PWM) 无缝转换到低输出电流下的脉冲频率调制 (PFM)。以 PWM 模式运行期间，器件以 2MHz 开关；以 PFM 模式运行期间，器件的开关频率随负载电流变化，并随着负载电流的降低而降低。对于需要超低输出电压纹波或恒定开关频率的应用，MODE 引脚上的高逻辑电平会强制器件在所有负载条件下使用 PWM（代价是在低输出电流下的效率较低）。使用外部电阻分压器可将输出电压设置为 0.5V 至 4.5V 之间的任何值，标称开关频率为 2MHz，并且在输入电压范围内的频率变化可控。

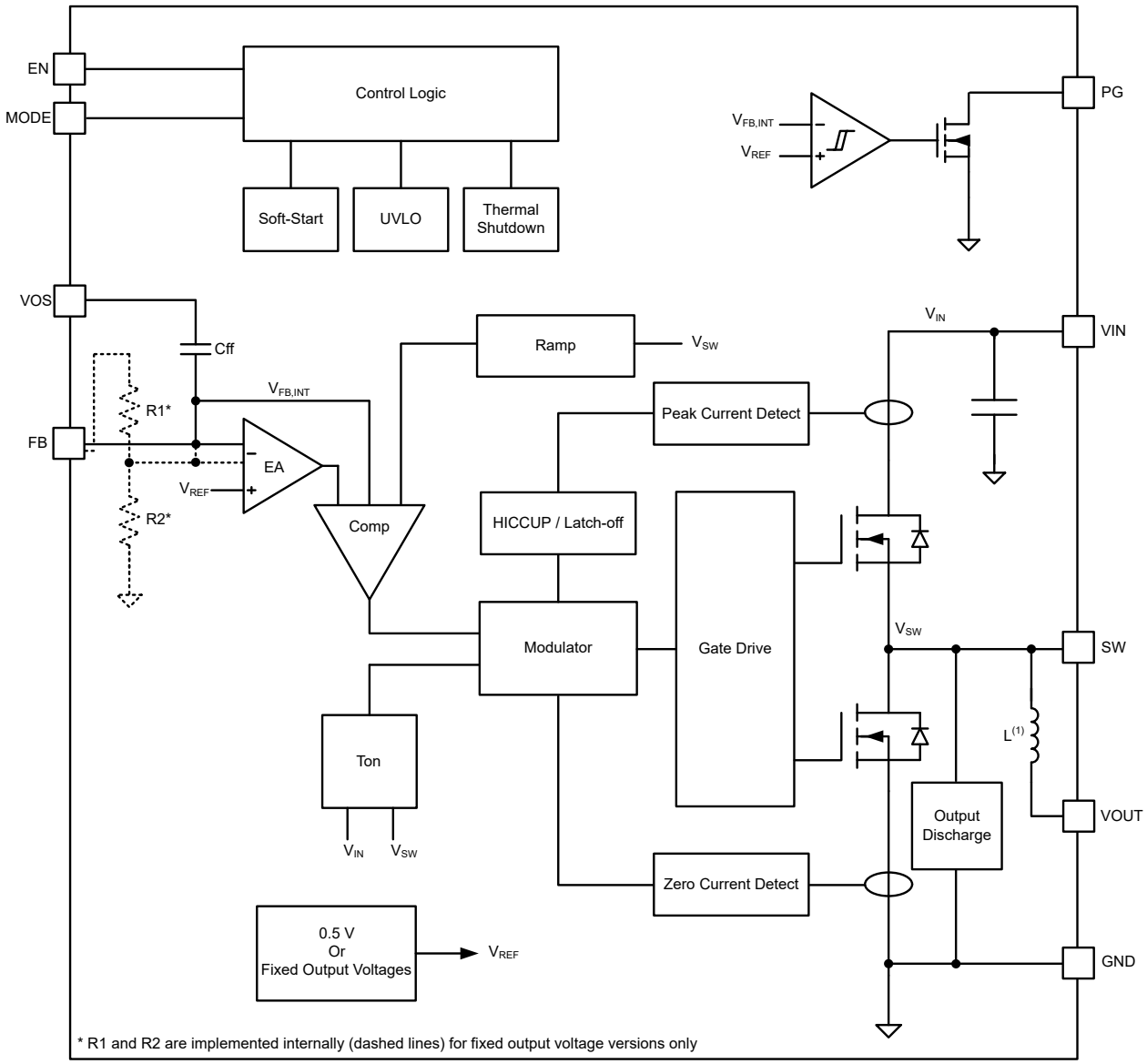
提供可支持断续和闭锁保护行为的器件型号。

与该系列中的以前器件相比，TPSM82830x 器件具有两个显著的优势：通过在 PFM 和 PWM 模式下使用快速比较器，瞬态性能得到了显著改善，而使用优化的栅极驱动器和片上去耦电容器可降低 EMI。

VCB 封装版本使用 MagPack 技术，实现超高性能电源模块设计。借助德州仪器 (TI) 专有的集成磁性元件 MagPack 封装技术，这些电源模块可提供业界卓越的功率密度、高效率、良好的热性能、易用性以及更低的 EMI 辐射。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图



A. 在 RDS 封装中，电感值为 470nH；在 VCB 封装中为 400nH。

7.3 特性说明

7.3.1 脉宽调制 (PWM) 运行

如果 MODE 引脚为低电平且负载电流大于电感器纹波电流的一半，则器件将在连续导通模式 (CCM) 下以脉宽调制运行，如图 7-1 所示。PWM 运行基于具有稳定开关频率的自适应恒定导通时间控制。为了在稳定状态条件下实现稳定的开关频率，导通时间的计算公式如下：

$$T_{ON} = \frac{V_{OUT}}{V_{IN}} \times 500ns \quad (1)$$

如果 MODE 引脚为高电平，转换器会在所有负载电流下保持强制 PWM 运行。

Copyright © 2025 Texas Instruments Incorporated

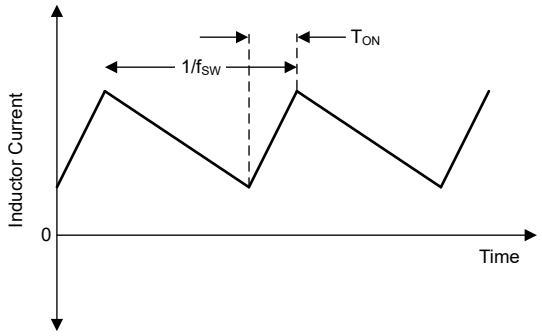


图 7-1. 连续导通模式 (PWM-CCM) 电流波形

7.3.2 节能模式 (PSM) 运行

为了在轻负载时保持高效率，该器件会从不连续导通模式 (DCM) 边界处进入节能模式 (PSM)。当输出电流小于电感器纹波电流的一半时，就会发生此事件。该器件以固定的导通时间运行，开关频率随负载电流成比例降低，如图 7-2 所示。计算公式如下：

$$f_{PSM} = \frac{2 \times I_{OUT}}{T_{ON}^2 \times \frac{V_{IN}}{V_{OUT}} \left[\frac{V_{IN} - V_{OUT}}{L} \right]} \quad (2)$$

对于 RDS 封装，使用 L = 470nH；对于 VCB 封装，使用 L = 400nH。

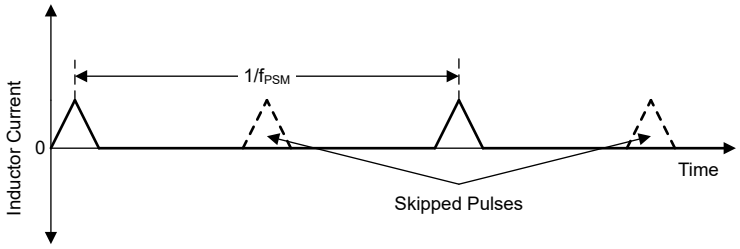


图 7-2. 不连续导通模式 (PSM-DCM) 电流波形

在 PSM 模式下，输出电压升至略高于标称目标值，可以使用更大的输出电容来更大程度地减小标称目标值。当占空比大于 90% 时，器件不会进入 PSM，并在 PWM 模式下保持输出稳压。

7.3.3 启动和软启动

当 EN 电压变为高电平时，器件开始将默认值加载到器件寄存器。此操作在 $t_{d(EN)}$ 内完成。之后，内部软启动电路控制启动期间的输出电压。该控制可以避免过大的浪涌电流并确保输出电压斜坡受到控制。该控制还可防止高阻抗电源或电池产生不必要的压降。最后，PG 信号在启动时延迟 $t_{d(PG)}$。图 7-3 展示了 EN 引脚上拉至 VIN 时的启动序列。

Copyright © 2025 Texas Instruments Incorporated

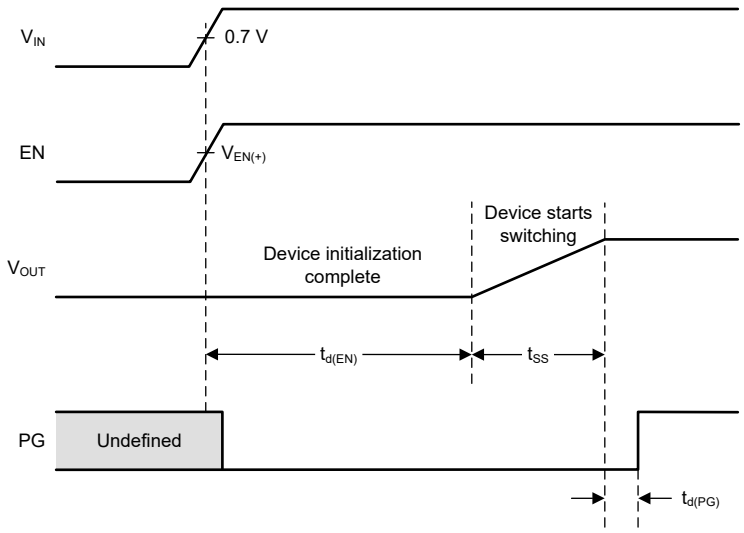


图 7-3. EN 上拉至 VIN 时的启动时序

图 7-4 展示了外部信号连接到 EN 引脚时的启动序列。软启动功能还有第二个用途。在启动期间，输出电容器需要充电。较大的输出电压结合较大的输出电容可能触发过流事件，阻止器件正确启动。电路设计人员需要根据目标输出电压和启动时间选择最大输出电容。TPSM82830xK 版本可以降低峰值输出电流，延长启动时间。

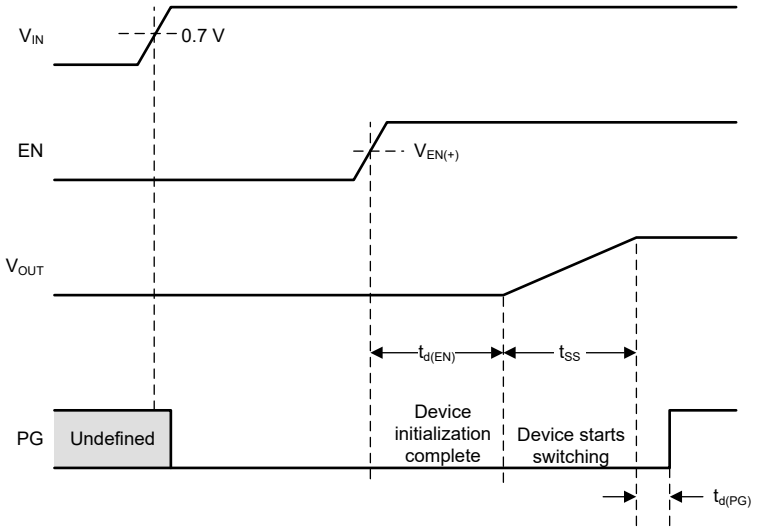


图 7-4. 外部信号连接到 EN 引脚时的启动时序

如果是首次启用，TPSM82830x 可以启动到预偏置输出。对于新的预偏置运行，需要通过下电上电来禁用有源输出放电。图 7-5 展示了启动至预偏置输出电压。

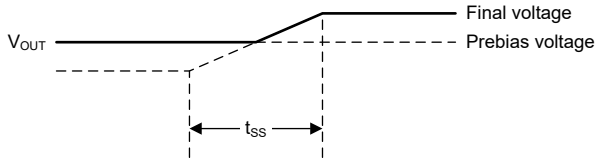


图 7-5. 启动时产生预偏置输出

Copyright © 2025 Texas Instruments Incorporated

7.3.4 开关逐周期电流限制

该系列的所有器件都具有逐周期电流限制功能。当器件检测到高侧 FET 中的电流由于重负载或短路情况而超过高侧电流限值时，该器件会立即关断高侧 FET 并导通低侧 FET。高侧 FET 会在下一个开关周期开始时再次导通。请注意，由于电流限制比较器中存在传播延迟（通常为 60ns），当器件检测到电流限制条件时，在高侧 FET 中流动的电流会略高于器件电气特性中指定的电流限制。

7.3.5 欠压锁定

欠压锁定 (UVLO) 功能可防止器件在输入电压降至 UVLO 阈值以下时误运行。

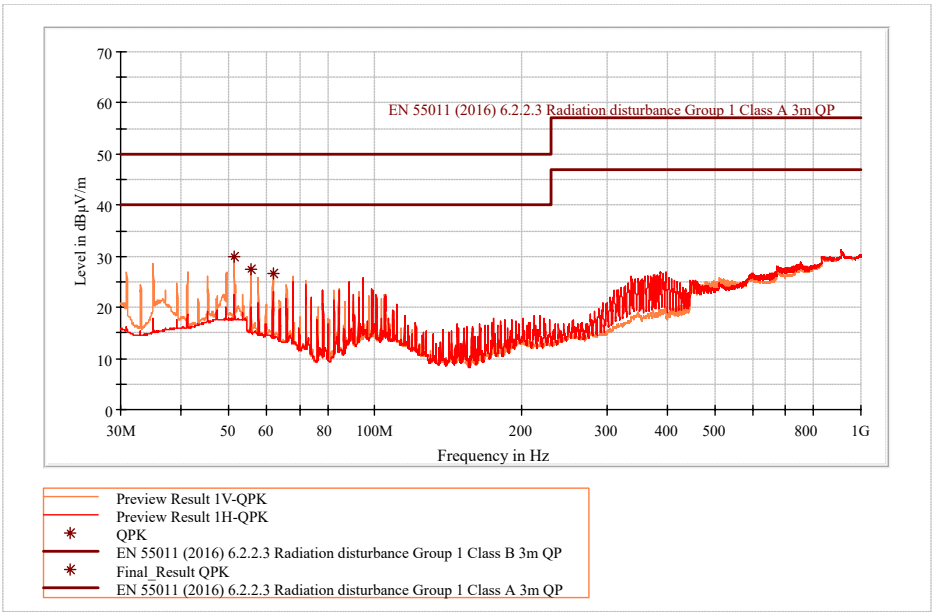
7.3.6 热关断

器件的结温 (T_J) 由内部温度传感器监控。如果 T_J 超过 150°C（典型值），器件会进入热关断状态，迟滞通常为 20°C。在 T_J 下降足够多之后，器件将恢复正常运行。

7.3.7 优化的 EMI 性能

TPSM82830x 器件采用先进技术，可更大限度地减少电磁干扰 (EMI)，并能轻松地满足严格的 EMI 标准。通过将电容器直接集成到器件上，减少了寄生元件并且更大限度地减小了环路面积，从而有效地减少了主要在 450MHz 以上产生的高频噪声发射。片上电容器确保为高频交流开关电流提供低电感路径并抑制电压振铃。

除了片上电容器之外，还通过先进的压摆率控制机制和平滑电源电压来改进栅极驱动器。对开关节点电压进行适当控制来减少尖锐边缘，并更大程度地减少电压过冲，从而降低 EMI。



上图是在具有 TPSM828303ARDSR 和标准 BOM 的 EVM 上测得。

I_{OUT} = 3A　　V_{IN} = 5.5V　　V_{OUT} = 1.8V

图 7-6. 辐射 EMI 性能（符合 A 类和 B 类限制的 CISPR 11 辐射发射测试）

7.3.8 VOUT 精度

TPSM82830x 输出电压精度取决于 表 7-1 中列出的各种因素。列出了缓解可能性和责任，以便帮助针对应用选择正确的设计措施。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 输出电压精度

影响因素	缓解	责任
反馈分压器	反馈分压器的电阻精度更高	电路设计人员
误差放大器	器件校准	器件制造商
基准电压	器件校准	器件制造商
输入电压和输入电压瞬态	低阻抗电源、适应负载阶跃的输入电容器	电路设计人员
负载电流和负载电流瞬态	适应负载阶跃的输出电容器	电路设计人员
噪声	输入滤波器、片上滤波器、引脚分配、布局布线	电路设计人员和器件制造商
电路板布局布线	隔离噪声信号与噪声敏感信号，控制靠近敏感信号的数字信号的压摆率	电路设计人员和器件制造商

输出瞬态可能对 VOUT 精度产生重大影响。缓慢的变化可以通过调节环路进行补偿，无需衰减。片上系统或微处理器中的快速瞬态可能超过调节环路的速度、需要输出电容作为临时储能器。DCS 拓扑可减少多个开关周期内发生变化时的输出电容。负载阶跃瞬时发生时，即整个负载阶跃在一个时钟周期内发生，需要充足的输出电容。TPSM82830x 具有较大的输出电容容差，可以满足这一需求。

TPSM82830x 的 PG 引脚位于片上敏感 VOS 引脚附近。因此，可以观察到 PG 切换对输出电压产生的一些影响（请参阅 PG 对 VOUT 的影响）。可在布局布线中使 VOS 和 FB 尽量远离 PG，将影响降至最低。如果布局布线非常密集，还可以在 PG 引脚上增加高达 33nF 的电容器来最大限度降低影响。电路设计人员可在布局布线中增加连接 PG 的可选电容器的封装尺寸，以此作为缓解措施。

7.4 器件功能模式

7.4.1 启用、禁用和输出放电

当使能 (EN) 设置为高电平时，器件开始运行。对于上升信号，输入阈值电平通常为 0.8V；对于下降信号，通常为 0.35V。不要让 EN 保持悬空。如果 EN 引脚拉至低电平，关断电流典型值为 100nA，则会强制关断。在关断期间，内部功率 MOSFET 和整个控制电路均关断，输出电压会由电流阱通过 SW 引脚主动放电。因此，为了使放电功能正常运作，必须维持 VIN。

7.4.2 最小占空比和 100% 模式运行

对于小占空比没有限制，因为即使在非常低的占空比下，也会根据需要降低开关频率，以便始终确保适当的调节。

如果输出电压 (V_{OUT}) 接近输入电压 (V_{IN})，则器件进入 100% 模式。当高侧开关持续导通时，关断低侧开关。此操作在电池供电应用中特别有用，可通过充分利用整个电池电压范围来实现更长的运行时间。V_{IN} 和 V_{OUT} 之间的差值由高侧 FET 上的压降和电感器的直流电阻决定。可通过以下公式来估算保持特定 V_{OUT} 值所需的最小 V_{IN}：

$$V_{IN,min} = V_{OUT} + I_{OUT,MAX} \times R_{DP} \quad (3)$$

其中

- $V_{IN,min}$ = 用于保持输出电压所需的最小输入电压
- $I_{OUT,MAX}$ = 最大输出电流
- R_{DP} = 从 VIN 到 VOUT 的电阻，其中包括高侧 MOSFET 导通电阻和电感器的直流电阻

7.4.3 电源正常

TPSM82830x 具有内置电源正常 (PG) 功能。当输出电压达到标称值时，PG 引脚变为高阻抗。否则，包括在禁用、处于 UVLO 或热关断时，PG 为低电平（请参阅表 7-2）。通过窗口比较器来实现 PG 功能，该比较器具有上限和下限电压阈值。PG 引脚是开漏输出，其额定灌电流不超过 1mA。电源正常输出需要使用一个连接到任何低于 5.5V 的电压轨的上拉电阻器。

Copyright © 2025 Texas Instruments Incorporated

表 7-2. PG 引脚逻辑

器件条件		逻辑状态	
		高阻抗	低电平
启用	EN = 高电平，V_{FB} ≥ 0.48V	√	
	EN = 高电平，V_{FB} ≤ 0.56V		√
	EN = 高电平，V_{FB} ≤ 0.525V	√	
	EN = 高电平，V_{FB} ≥ 0.55V		√
关断	EN = 低电平		√
热关断	$T_J > T_{JSD}$		√
UVLO	$0.7V < V_{IN} < V_{UVLO}$		√
电源移除	$V_{IN} < 0.7V$	√	

通过将 PG 信号连接到其他转换器的 EN 引脚，可以使用 PG 信号对多个电源轨进行时序控制。未使用 PG 引脚时，应使其保持未连接。PG 上升沿和下降沿有 $t_{d(PGO)}$ 的消隐时间，如 图 7-7 所示。启动时，PG 信号的延迟通常为软启动完成后 $t_{d(PG)}$。

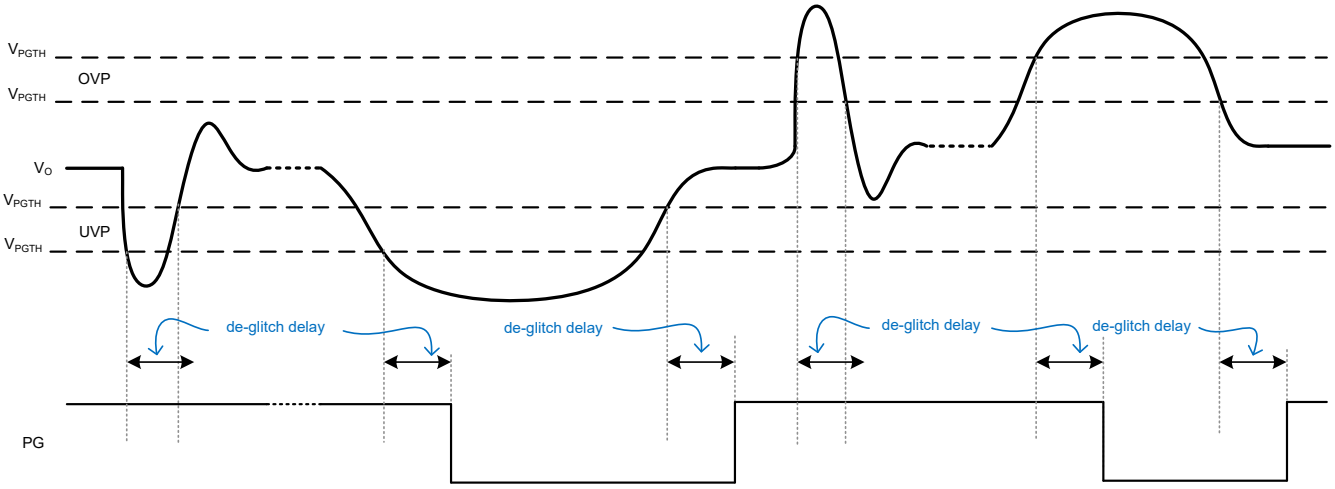


图 7-7. 电源正常行为

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

以下部分介绍了外部元件的设计，通过使用典型应用作为参考来完成多个输入和输出电压选项的电源设计。

TPSM82830x 是一款同步降压转换器电源模块，所需的功率电感器集成在封装内。对于 RDS 封装，电感值为 470nH，容差为 ±20%；对于 VCB 封装，电感值为 400nH，容差为 ±20%。封装类别中的系列产品成员彼此引脚对引脚兼容和 BOM 对 BOM 兼容。

8.2 典型应用

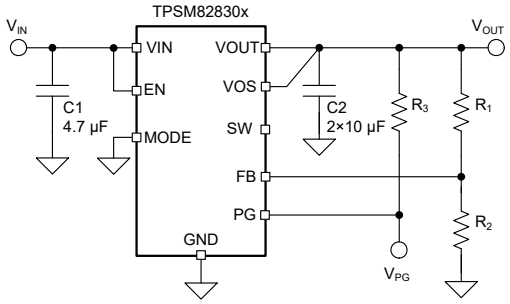


图 8-1. TPSM82830x 的典型应用

8.2.1 设计要求

本设计示例使用表 8-1 中所列的参数作为输入参数。

表 8-1. 设计参数

设计参数	示例值
输入电压	2.25V 至 5.5V
输出电压	1.8V
输出纹波电压	< 15mV

表 8-2 列出了该示例中使用的元件。

表 8-2. 元件列表

基准	说明	制造商
C1	4.7µF，陶瓷电容器，6.3V，X7R，尺寸 0603，JMK107BB7475KA-T	Taiyo Yuden
C2	2 × 10µF，陶瓷电容器，10V，X7R，尺寸 0603，GRM188Z71A106KA73D	Murata
R1	取决于输出电压，523kΩ 1/16W，1%，尺寸 0402，适用于 1.8V	Std
R2	200kΩ，片式电阻器，1/16W，1%，尺寸 0402	Std
R3	100kΩ，片式电阻器，1/16W，1%，尺寸 0402	Std

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

8.2.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPSM82830x 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 如有偏好，在“器件型号”字段中输入器件型号，等待器件列表出现。如无偏好，将此字段留空。
2. 在下一部分（先输入器件型号时自动填充）中输入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
3. 在“设计注意事项”部分中选择设计优先事项。
4. 查看设计建议并将生成的设计与德州仪器 (TI) 的其他可行解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

请在此处获取有关 WEBENCH 工具的详细信息：设计和仿真工具.

8.2.2.2 设置输出电压

可根据方程式 4 使用一个外部电阻分压器来设置输出电压：

$$R1 = R2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1\right) = R2 \times \left(\frac{V_{OUT}}{0.5V} - 1\right) \quad (4)$$

为了在轻负载下实现高效率，同时提供可接受的噪声抗扰度，R2 可以是 200kΩ 和 600kΩ 之间的任意值。

8.2.2.3 输入电容器选型

输入电容器是转换器的低阻抗能量源，有助于实现稳定运行。由于降压转换器有一个脉冲输入电流，为了实现更好的输入电压滤波，需要一个低 ESR 陶瓷输入电容器来大大减小输入电压尖峰。将电容器放置在 VIN 和 GND 引脚之间，并尽可能靠近这些引脚。

对于大多数应用，3µF 的最小有效输入电容足以满足要求，但使用具有较大值的电容可降低输入电流纹波，因此建议使用较大值的电容。使用高阻抗电源运行时，TI 建议使用大于等于 10µF 的更大输入缓冲电容器，从而避免启动和负载瞬态期间出现压降。此外，如果器件输入端出现噪声，也可以使用小型解耦电容器。为了实现更好的输入电压滤波，可尽可能地增加输入电容器。

表 8-3 显示了推荐的电容器列表。

表 8-3. 推荐电容器列表

标称电容 [µF]	额定电压 [V]	尺寸 [mm]	制造商器件型号(1)
4.7	6.3	1.6 × 0.8 × 0.8	MSASJ168BB7475MTNA01，Taiyo Yuden
4.7	10	2.0 × 1.25 × 1.25	C2012X7R1A475K125AC，TDK
10	10	1.6 × 0.8 × 0.8	GRM188Z71A106KA73#，MuRata

(1) 请参阅*第三方产品免责声明*

8.2.2.4 输出电容器选型

TPSM82830x 的 DCS-Control 方案允许使用微型陶瓷电容器。具有低 ESR 值的陶瓷电容器可获得极低的输出电压纹波，因此建议使用此类电容器。为了在高频下保持低电阻值并在温度变化时使电容具有窄变化幅度，TI 建议使用 X7R 或 X5R 电介质电容器。轻负载电流时，转换器运行在省电模式，并且输出电压纹波取决于输出电容器值。可以使用更大的电容来减少输出电压纹波。考虑到直流偏置降额电容，建议的最小有效输出电容为 12µF。建议的典型输出电容器值为 2 × 10µF 或 1 × 22µF，采用 X5R 或 X7R 电介质。表 8-4

Copyright © 2025 Texas Instruments Incorporated

表 8-4. 推荐电容器列表

标称电容 [µF]	额定电压 [V]	尺寸 [mm]	制造商器件型号(1)
10	6.3	2.0 × 1.5 × 1.25	MSASJ21GAB7106MTNA01，Taiyo Yuden
10	10	2.0 × 1.25 × 1.25	C2012X7R1A106K125AC，TDK
10	10	1.6 × 0.8 × 0.8	GRM188Z71A106KA73#，MuRata
10	10	1.6 × 0.8 × 0.8	C1608X5R1A106K080AC，TDK
22	10	2.0 × 1.25 × 1.25	GRM21BZ71A226ME15#，MuRata
22	10	1.6 × 0.8 × 0.8	C1608X5R1A226M080AC，TDK

Copyright © 2025 Texas Instruments Incorporated

8.2.3 应用曲线

T_A = 25°C，V_{IN} = 5V，V_{OUT} = 1.8V，BOM = 表 8-2（除非另有说明）。

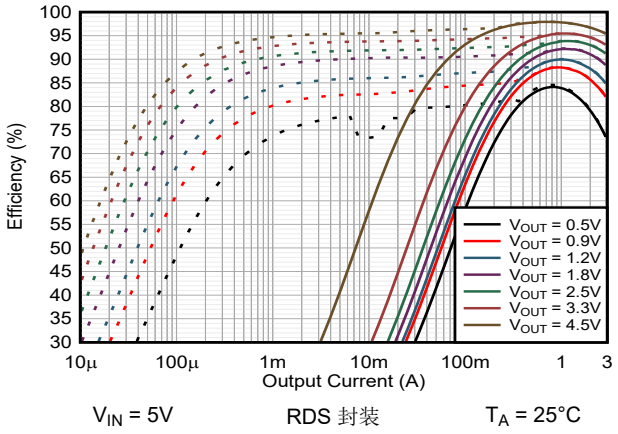


图 8-2. 效率与输出电流间的关系

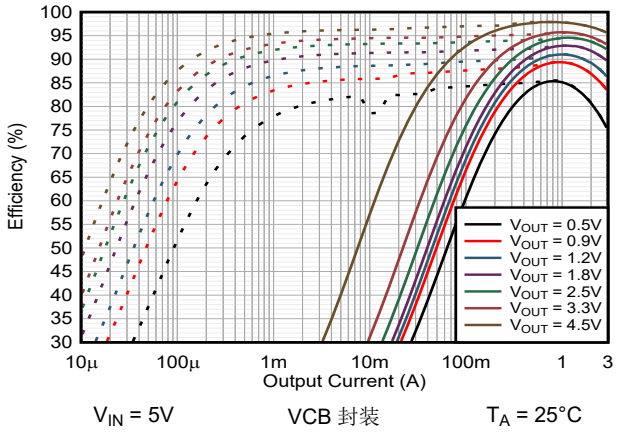


图 8-3. 效率与输出电流间的关系

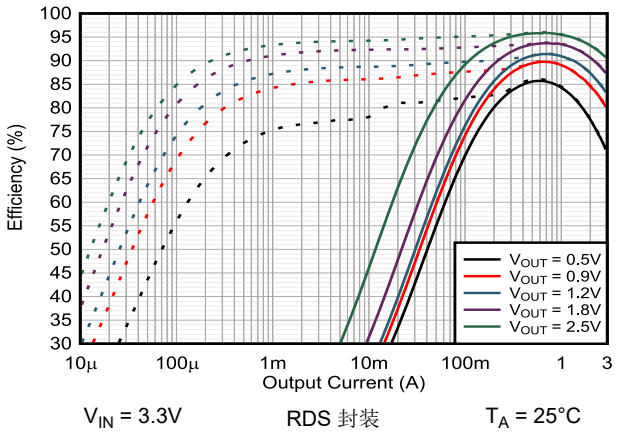


图 8-4. 效率与输出电流间的关系

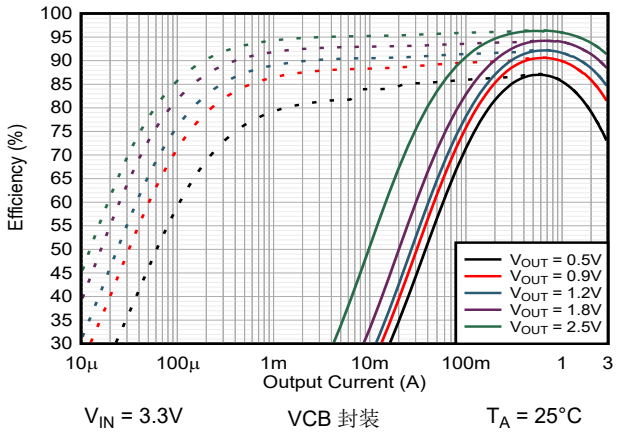


图 8-5. 效率与输出电流间的关系

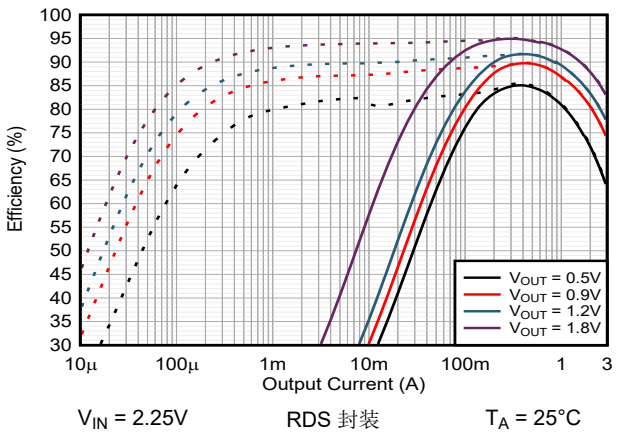


图 8-6. 效率与输出电流间的关系

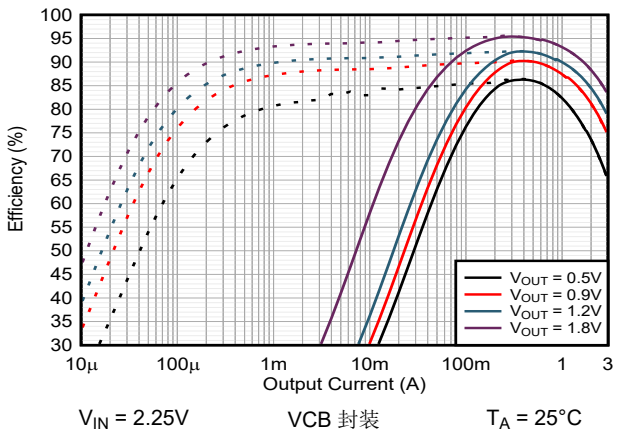


图 8-7. 效率与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated

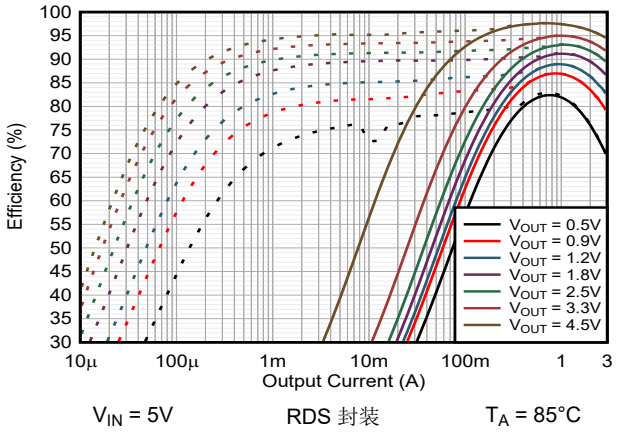


图 8-8. 效率与输出电流间的关系

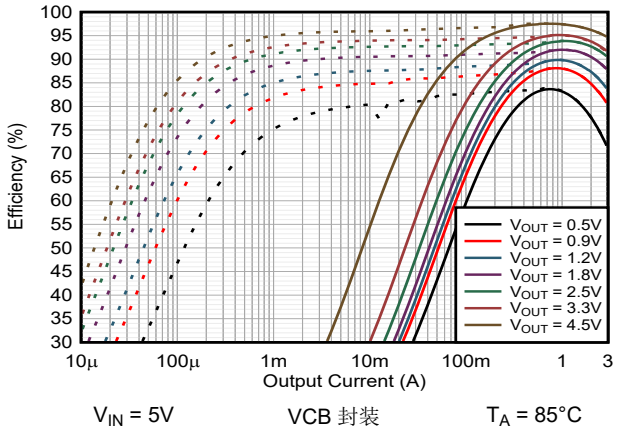


图 8-9. 效率与输出电流间的关系

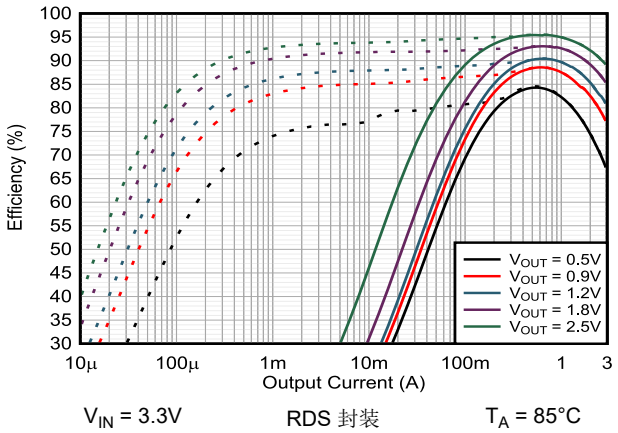


图 8-10. 效率与输出电流间的关系

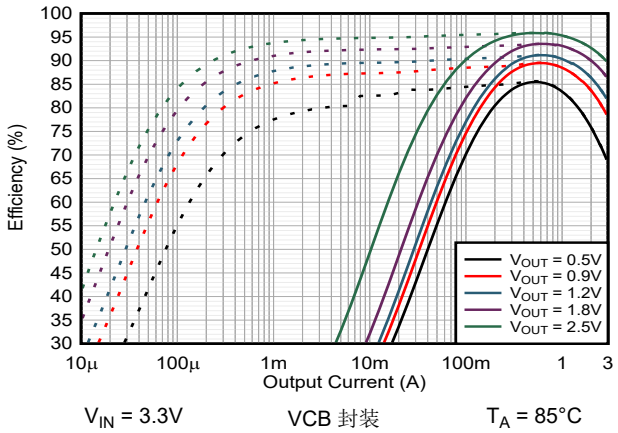


图 8-11. 效率与输出电流间的关系

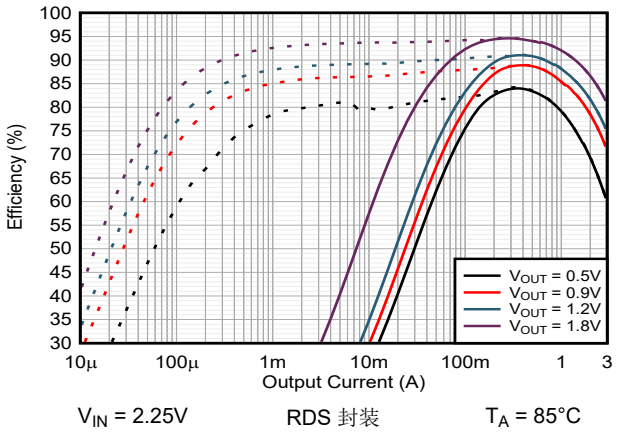


图 8-12. 效率与输出电流间的关系

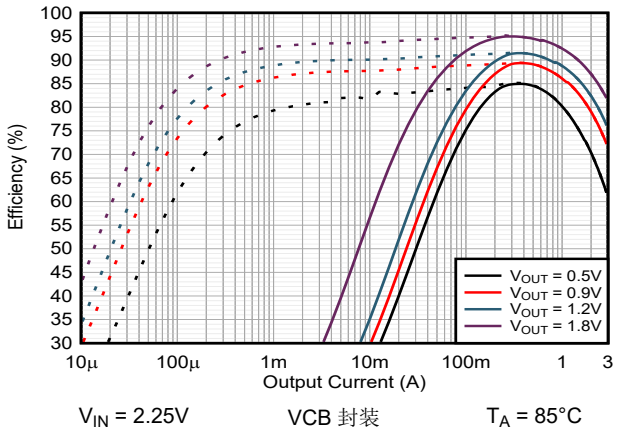
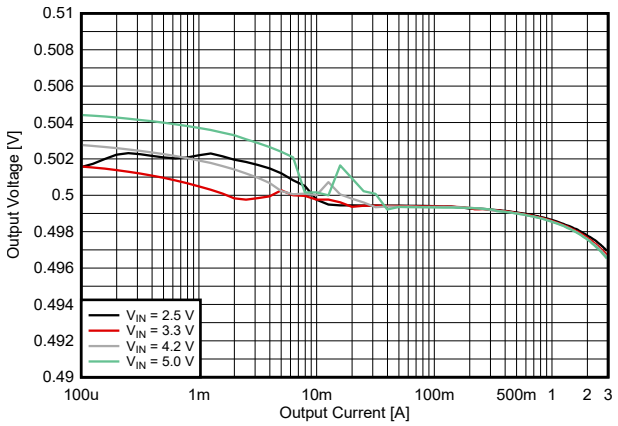


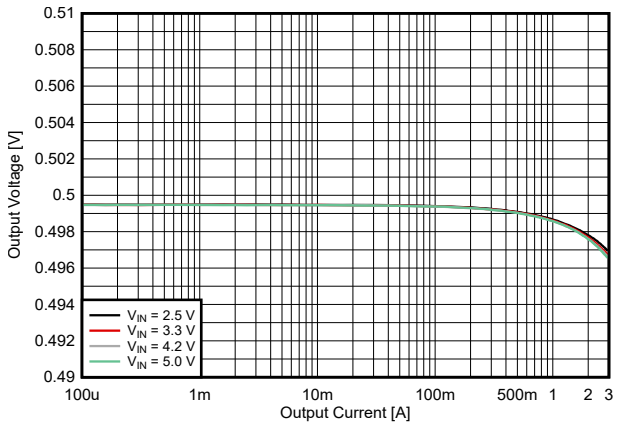
图 8-13. 效率与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated



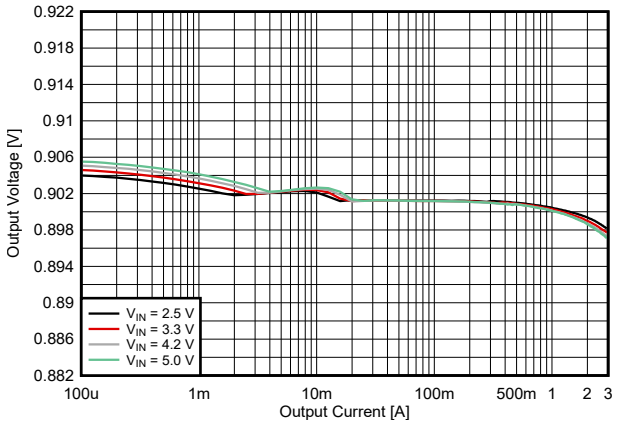
V_{OUT} = 0.5V PFM

图 8-14. 输出电压与输出电流间的关系



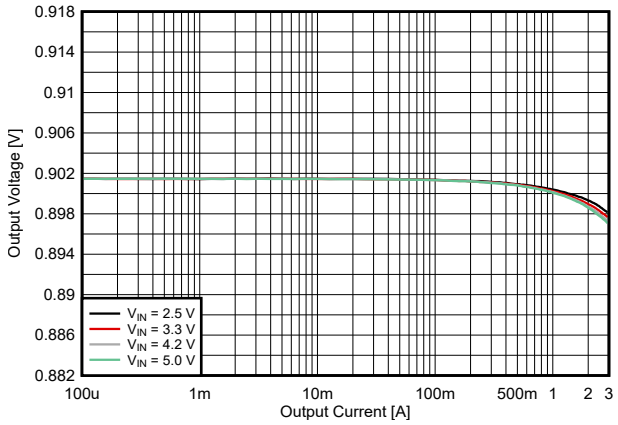
V_{OUT} = 0.5V PWM

图 8-15. 输出电压与输出电流间的关系



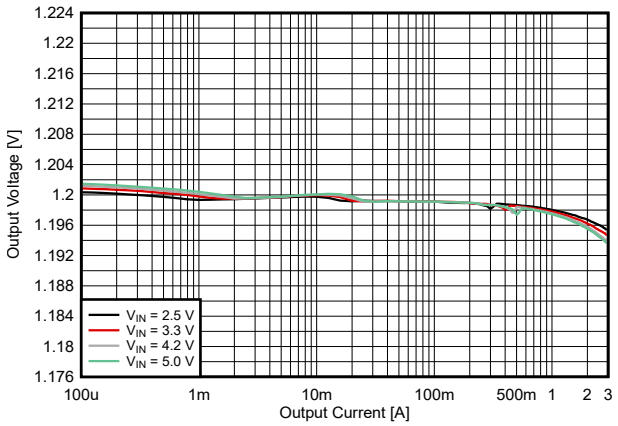
V_{OUT} = 0.9V PFM

图 8-16. 输出电压与输出电流间的关系



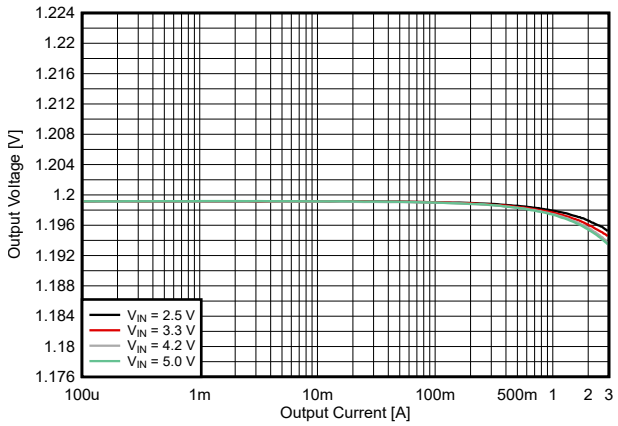
V_{OUT} = 0.9V PWM

图 8-17. 输出电压与输出电流间的关系



V_{OUT} = 1.2V PFM

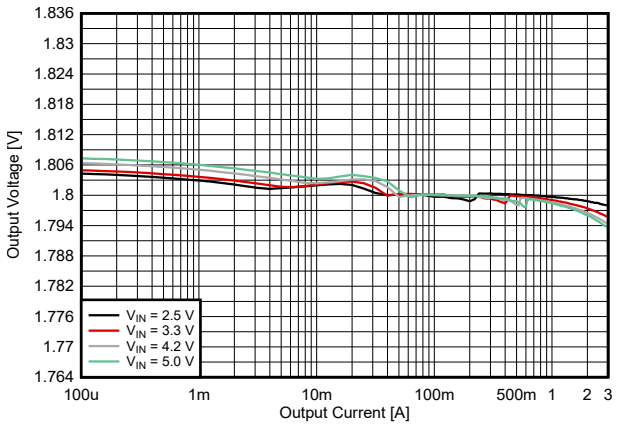
图 8-18. 输出电压与输出电流间的关系



V_{OUT} = 1.2V PWM

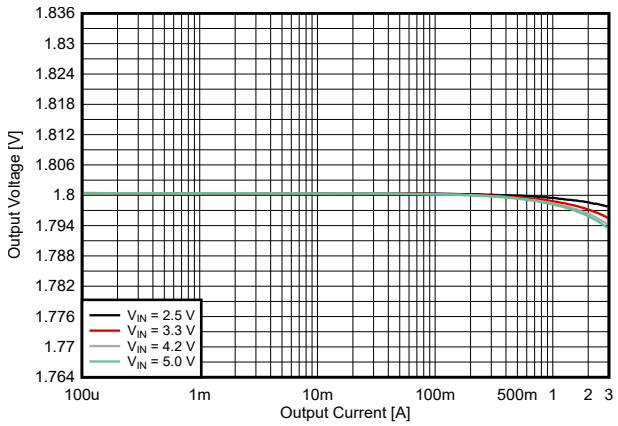
图 8-19. 输出电压与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated



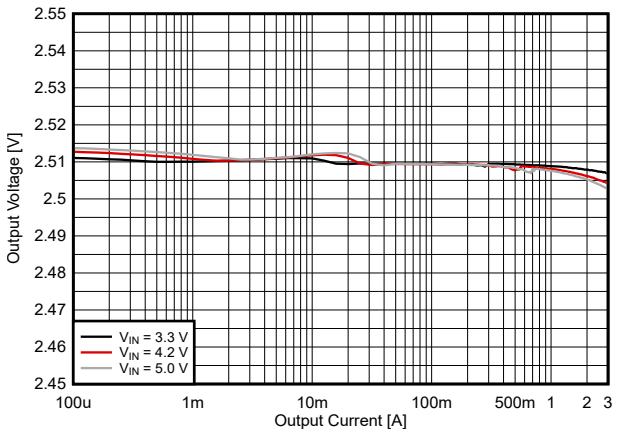
V_{OUT} = 1.8V PFM

图 8-20. 输出电压与输出电流间的关系



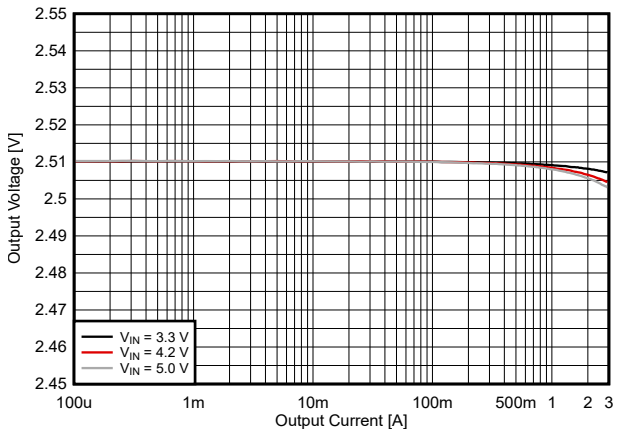
V_{OUT} = 1.8V PWM

图 8-21. 输出电压与输出电流间的关系



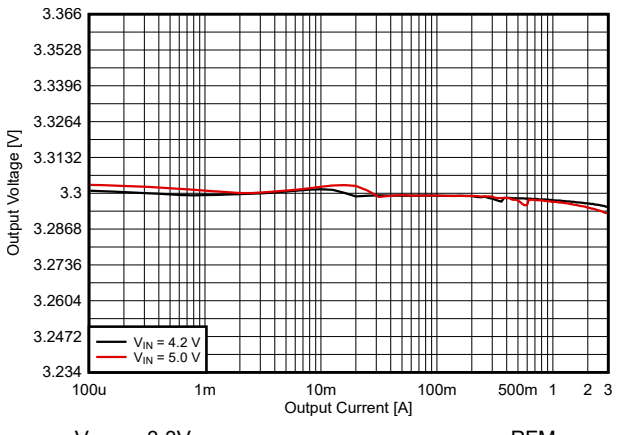
V_{OUT} = 2.5V PFM

图 8-22. 输出电压与输出电流间的关系



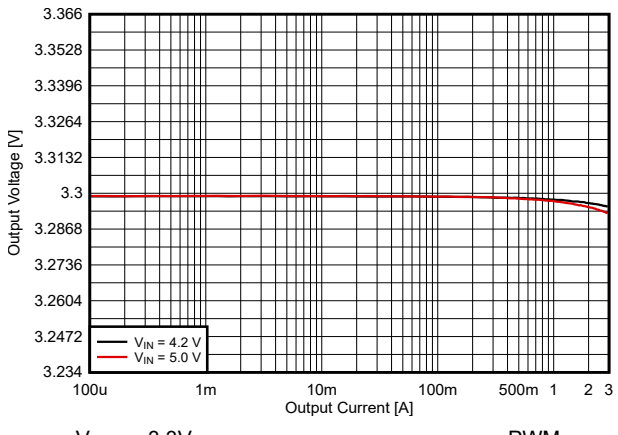
V_{OUT} = 2.5V PWM

图 8-23. 输出电压与输出电流间的关系



V_{OUT} = 3.3V PFM

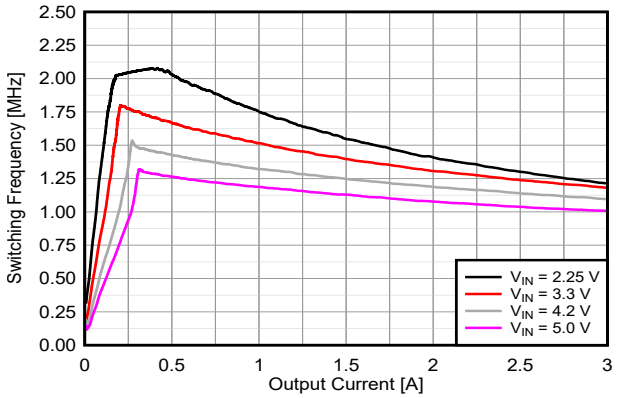
图 8-24. 输出电压与输出电流间的关系



V_{OUT} = 3.3V PWM

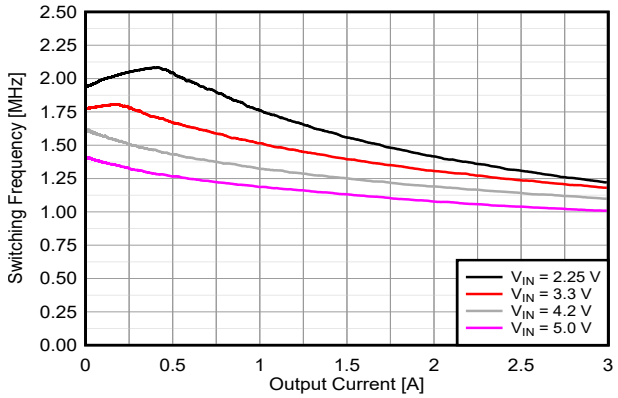
图 8-25. 输出电压与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated



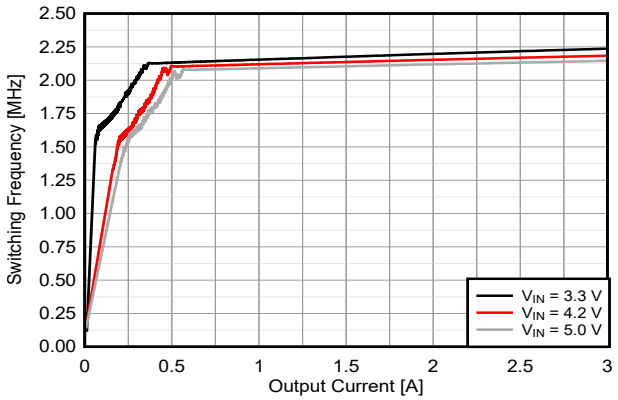
V_{OUT} = 0.5V PFM

图 8-26. 开关频率与输出电流间的关系



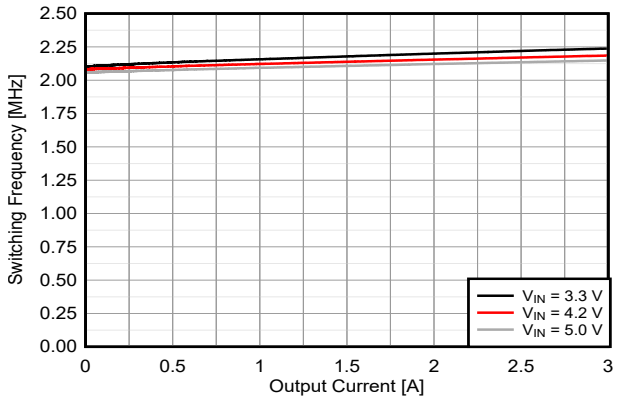
V_{OUT} = 0.5V PWM

图 8-27. 开关频率与输出电流间的关系



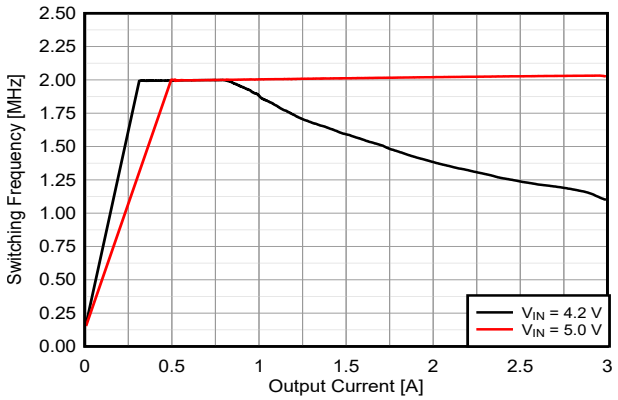
V_{OUT} = 1.8V PFM

图 8-28. 开关频率与输出电流间的关系



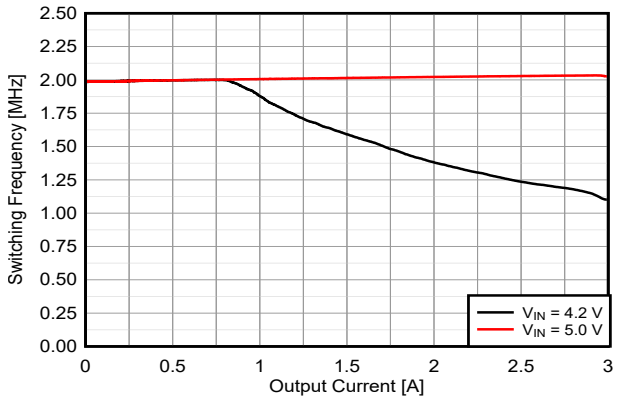
V_{OUT} = 1.8V PWM

图 8-29. 开关频率与输出电流间的关系



V_{OUT} = 3.3V PFM

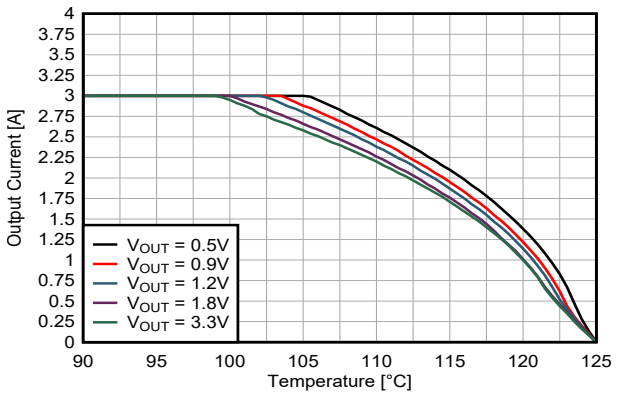
图 8-30. 开关频率与输出电流间的关系



V_{OUT} = 3.3V PWM

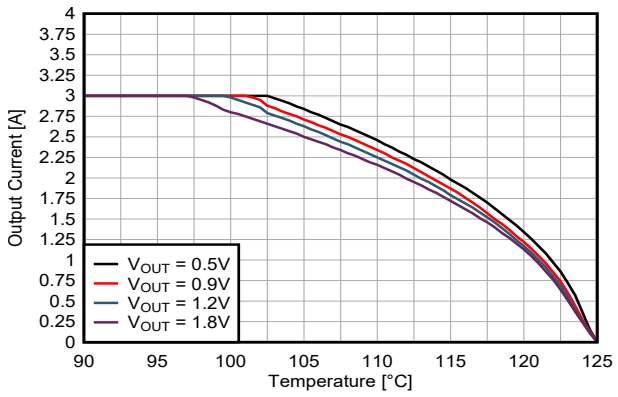
图 8-31. 开关频率与输出电流间的关系

Copyright © 2025 Texas Instruments Incorporated



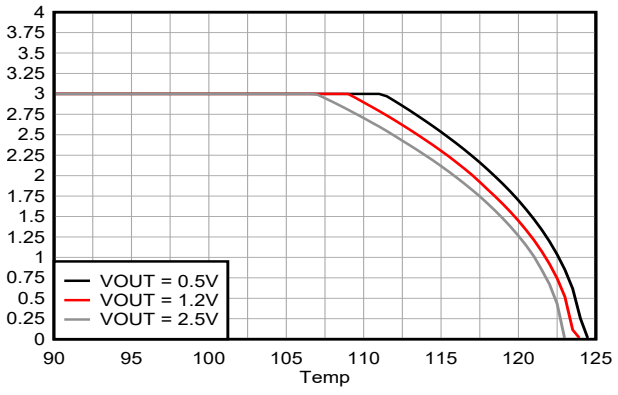
V_{IN} = 5.0V T_{Jmax} = 125°C θ_{JA} = 49.8°C/W

图 8-32. 热降额（安全工作区）RDS 封装



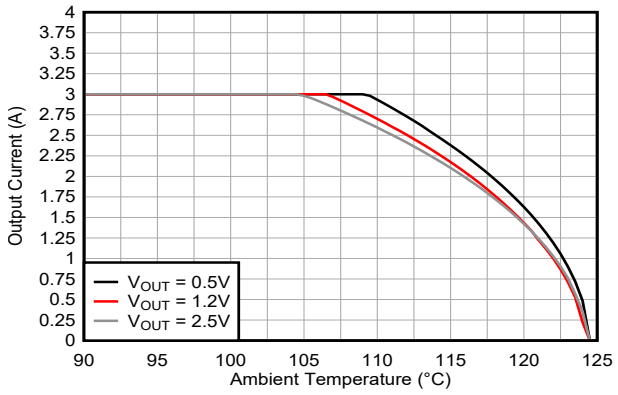
V_{IN} = 3.3V T_{Jmax} = 125°C θ_{JA} = 49.8°C/W

图 8-33. 热降额（安全工作区）RDS 封装



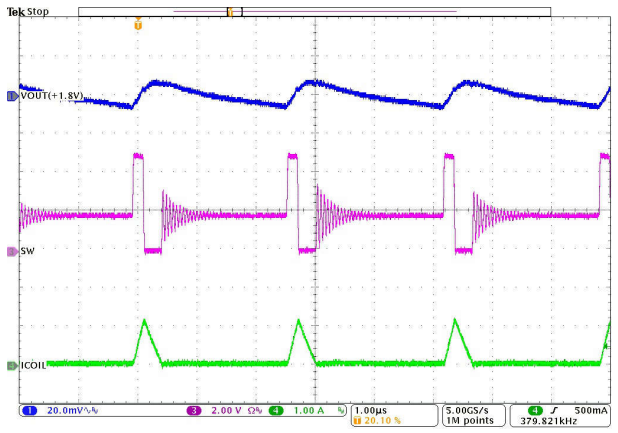
V_{IN} = 5.0V T_{Jmax} = 125°C θ_{JA} = 66.5°C/W

图 8-34. 热降额（安全工作区）VCB 封装



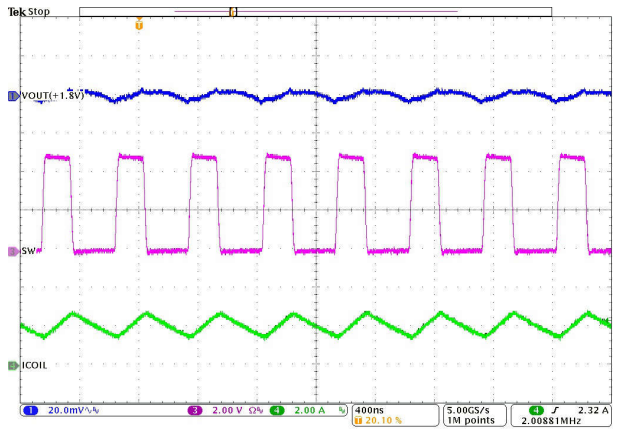
V_{IN} = 3.3V T_{Jmax} = 125°C θ_{JA} = 66.5°C/W

图 8-35. 热降额（安全工作区）VCB 封装



I_{OUT} = 100mA PFM

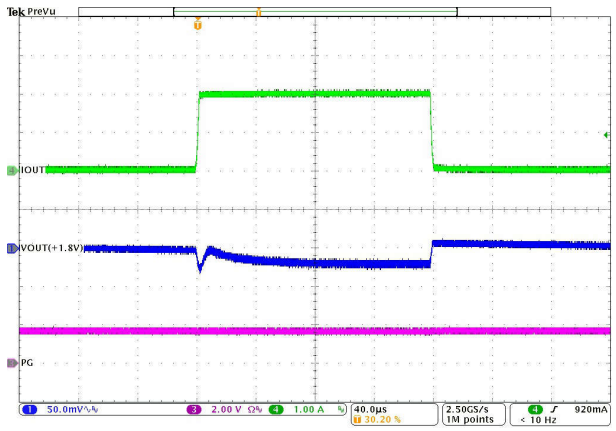
图 8-36. 输出电压纹波



I_{OUT} = 2A PWM

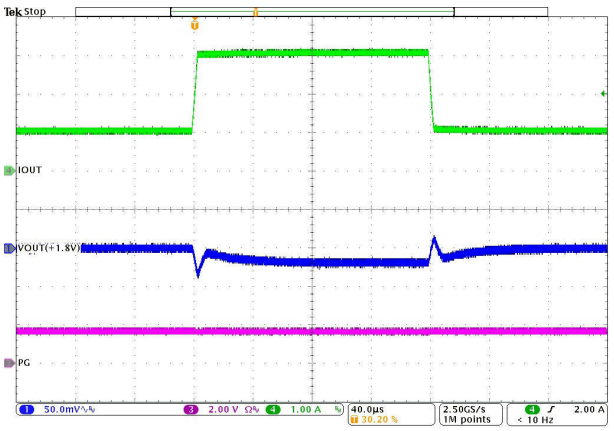
图 8-37. 输出电压纹波

Copyright © 2025 Texas Instruments Incorporated



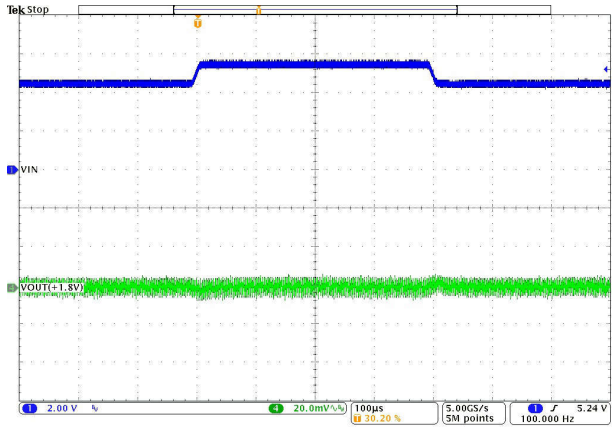
I_{OUT} = 1mA 至 2A　　PFM　　压摆率 = 1A/µs

图 8-38. 负载瞬态



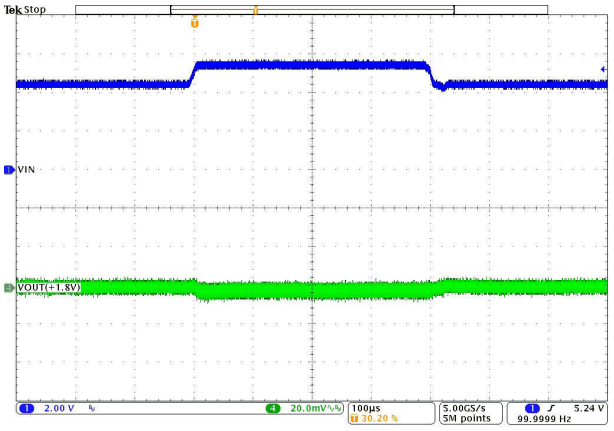
I_{OUT} = 0mA 至 1A　　PWM　　压摆率 = 1A/µs

图 8-39. 负载瞬态



V_{IN} = 4.5V 至 5.5V　　PFM　　I_{OUT} = 100mA

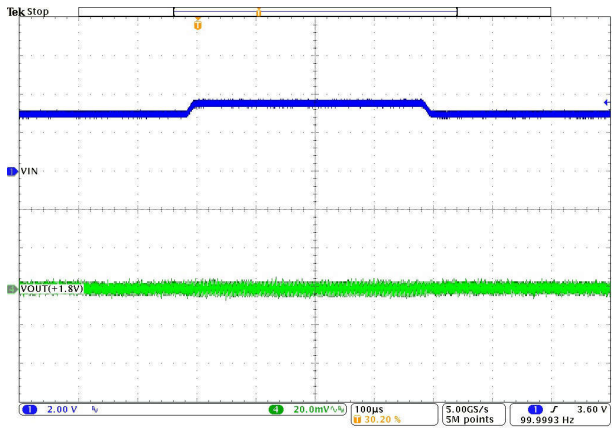
图 8-40. 线路瞬态



V_{IN} = 4.5V 至 5.5V　　PFM 或 PWM　　I_{OUT} = 2A

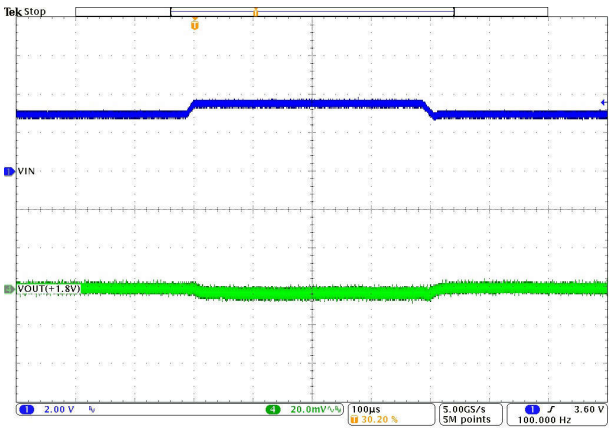
图 8-41. 线路瞬态

Copyright © 2025 Texas Instruments Incorporated



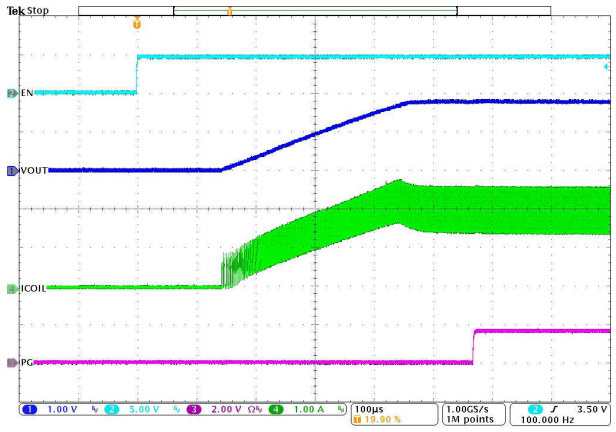
V_{IN} = 3.0V 至 3.6V　　PFM　　I_{OUT} = 100mA
V_{OUT} = 1.8V

图 8-42. 线路瞬态



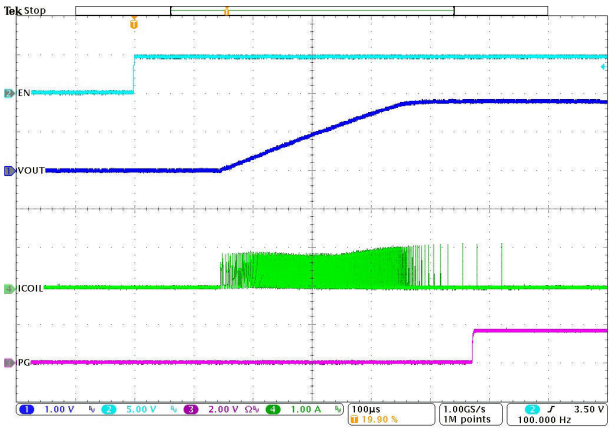
V_{IN} = 3.0V 至 3.6V　　PFM 或 PWM　　I_{OUT} = 2A
V_{OUT} = 1.8V

图 8-43. 线路瞬态



I_{OUT} = 2A　　PFM 或 PWM

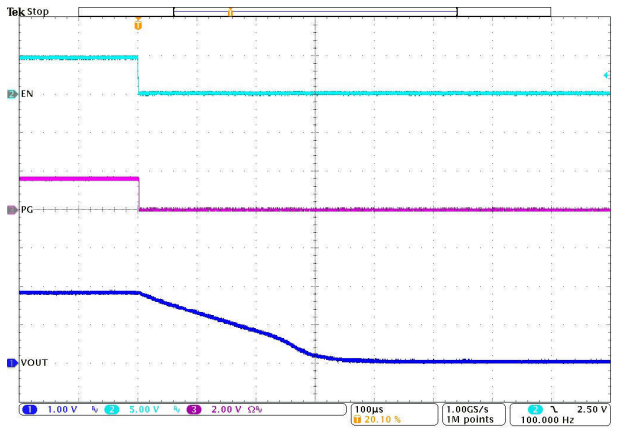
图 8-44. 在有负载的条件下启动



I_{OUT} = 0mA　　PFM

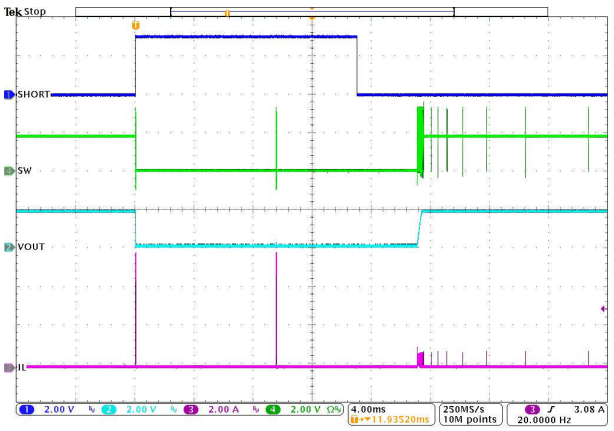
图 8-45. 空载启动

Copyright © 2025 Texas Instruments Incorporated



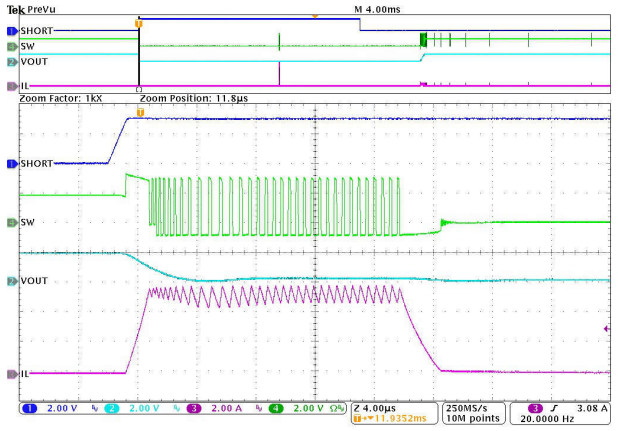
I_{OUT} = 0mA PFM

图 8-46. 禁用，空载时有源输出放电



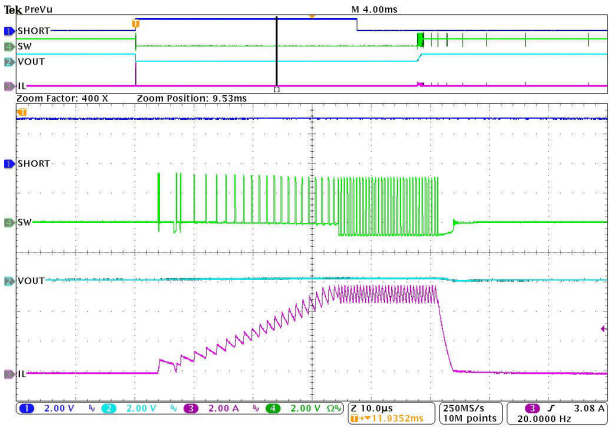
I_{OUT} = 1A PFM 或 PWM

图 8-47. 断续短路保护



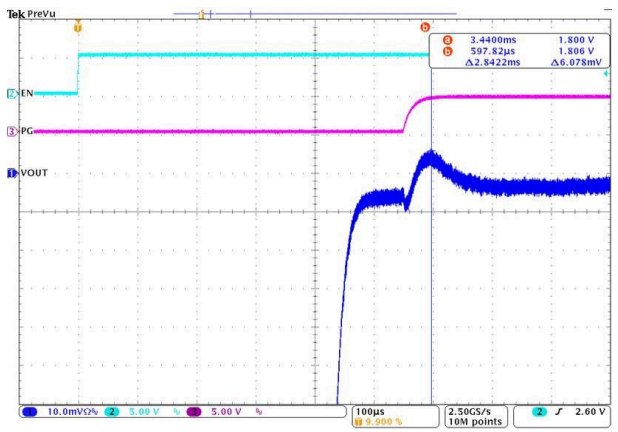
I_{OUT} = 1.0A PFM 或 PWM

图 8-48. 断续短路保护（放大）



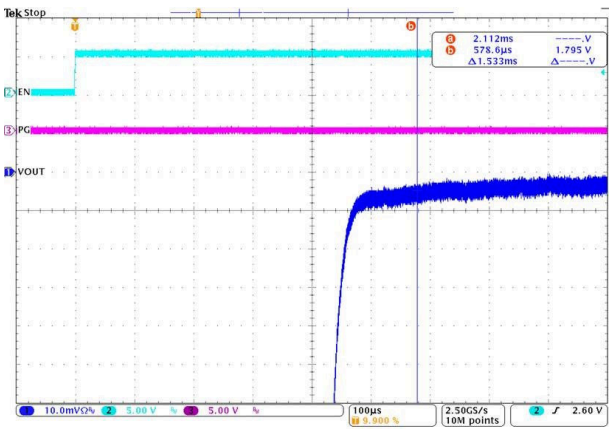
I_{OUT} = 1.0A PFM 或 PWM

图 8-49. 断续短路保护（放大 - 第二个断续）



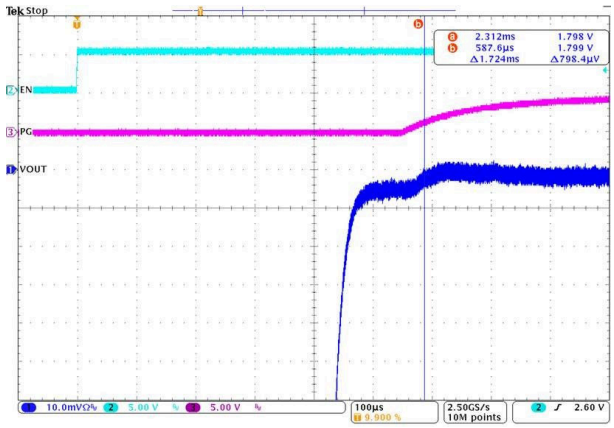
I_{OUT} = 0A PG 引脚无电容器 PFM 或 PWM

图 8-50. PG 对 VOUT 的影响



I_{OUT} = 0A PG 引脚连接至 GND PFM 或 PWM

图 8-51. PG 对 VOUT 的影响



I_{OUT} = 0A　　PG 引脚 1nF，上拉至 100kΩ　　PFM 或 PWM

图 8-52. PG 对 VOUT 的影响

8.3 电源相关建议

TPSM82830x 系列对于输入电源没有特殊要求，并且设计为在 2.25V 至 5.5V 的输入电源电压范围内运行。输入电源的输出电流必须根据器件的电源电压、输出电压和输出电流确定额定值。

8.4 布局

8.4.1 布局指南

印刷电路板 (PCB) 布局是使器件保持高性能的重要一步。有关建议的低 EMI PCB 布局，请参阅*布局示例*。

- 将输入和输出电容器尽可能靠近 IC 放置。该操作可保持电源布线较短。采用宽而直的电源布线可实现低布线电阻和低寄生电感。
- 将输入和输出电容器的低侧正确连接到 GND 引脚，以避免接地电势偏移。
- 请特别注意避免产生噪声。连接到 FB 的检测布线是信号布线。将这些布线远离 SW 节点。FB 电阻器的输出电压迹线必须在输出电容器上连接。
- 有关具有良好 EMI 性能的元件放置、布线和热设计的示例，请参阅*布局示例*。

8.4.2 布局示例

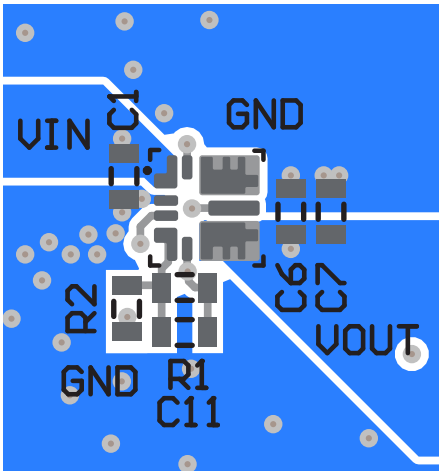


图 8-53. PCB 布局建议（RDS 封装）

Copyright © 2025 Texas Instruments Incorporated

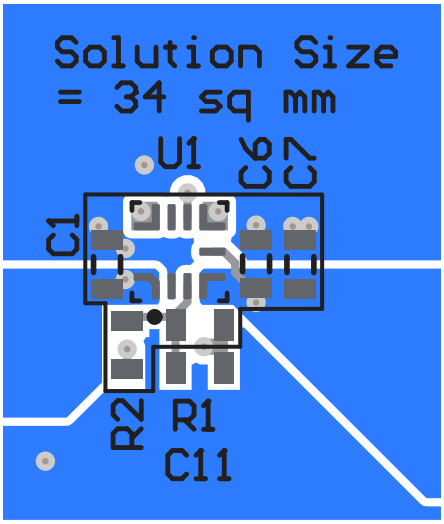


图 8-54. PCB 布局建议（VCB 封装）

8.4.2.1 散热注意事项

在薄型和细间距表面贴装封装中实现集成电路通常需要特别注意功率耗散。许多取决于系统的问题（如热耦合、空气流量、添加的散热器和对流表面）以及其他发热元件的存在会影响给定元件的功率耗散限制。

增强热性能的两种基本方法是：

- 增强 PCB 设计的散热能力
- 在系统中引入空气流量

热性能信息模块 中的热性能数据部分提供了在考虑实际应用的 PCB 设计后 EVM 上器件的热指标。连接到 PCB 上 IC 焊盘的大铜平面可提高器件的热性能。有关如何使用热参数的更多详细信息，请参阅热性能特性应用手册，*采用 JEDEC PCB 设计的线性和逻辑封装热特性* 和 *半导体和 IC 封装热指标*。

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.1.2 开发支持

9.1.2.1 使用 WEBENCH® 工具创建定制设计方案

点击此处，使用 TPSM82830x 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 如有偏好，在“器件型号”字段中输入器件型号，等待器件列表出现。如无偏好，将此字段留空。
2. 在下一部分（先输入器件型号时自动填充）中输入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
3. 在“设计注意事项”部分中选择设计优先事项。
4. 查看设计建议并将生成的设计与德州仪器 (TI) 的其他可行解决方案进行比较。

WEBENCH Power Designer 提供了定制原理图，并罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印 PDF 格式的设计报告并与同事共享

请在此处获取有关 WEBENCH 工具的详细信息：设计和仿真工具.

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*采用 JEDEC PCB 设计的线性和逻辑封装的热特性* 应用手册
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用手册

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

MagPack™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (June 2024) to Revision C (April 2025) **Page**

- 添加了公告“采用 MagPack 技术屏蔽电感器和 IC” 1
- 删除了公告“可根据 CISPR 进行测量” 1
- 删除了公告“可提供 PSpice 和 SIMPLIS 模型” 1
- 更新了封装选项公告，增加封装高度和“封装接线” 1
- 删除了*器件信息*表中的 TPSM828303PVCBR (预告信息) 1
- 删除了*器件信息*表中的封装高度 1
- 向*器件信息*表添加了 TPSM828301 (VCB) 和 TPSM828302 (VCB) (预发布信息) 1
- 在*说明*中添加了“1A、2A 和 3A 系列，引脚对引脚兼容” 1
- 将*说明*中的“器件基于 DCS-Control 拓扑，具有快速瞬态响应和较小的输出电容”更改为“器件采用 DCS-Control 拓扑，实现快速瞬态响应和较小的输出电容” 1
- 将*说明*中的“省电模式在低输出电流下延长电池寿命，强制 PWM 模式在电感器中保持连续导通，从而在恒定开关频率下减少纹波”更改为“省电模式延长电池寿命，强制 PWM 模式在准固定开关频率下通过电感器中的连续导通减少纹波” 1
- 将*说明*中的“内部软启动电路会以严格受控的方式使电压斜升，电源正常信号表示输出电压正确”更改为“内部软启动电路降低浪涌电流，电源正常信号表示输出电压正确” 1
- 删除了*说明*中的“器件支持 100% 模式” 1
- 将*说明*中的“3.0mm × 3.0mm × 1.95mm QFN 封装和 2.5mm × 2.6mm × 1.95mm”更改为“3.0mm × 3.0mm QFN 封装和 2.5mm × 2.6mm” 1
- 删除了*器件选项*表中 TPSM828303PVCBR 的“预告信息 (非量产数据) ”表注释 3
- 在*器件选项*表中添加了 TPSM828303KPVCBR、TPSM828301APVCBR 和 TPSM828302APVCBR 以及“预发布信息 (非量产数据) ”表注释 3
- 在*器件选项*表中将 TPSM828303PVCBR 预告信息更改为 TPSM828303APVCBR，以便发布量产数据 3
- 在*器件选项*表中添加了软启动时间信息列 3
- 将两个*引脚功能*表中引脚 8 的说明从“连接内部功率 MOSFET 和电感器。避免将此引脚连接到较大的布线，因为这样会增加 EMI。此引脚可以保持未连接状态或焊接到一个小焊盘上”更改为“内部连接的电感器。为了尽量降低 EMI，请将此引脚保持未连接状态或焊接” 3
- 删除了*绝对最大额定值*中第 1 行的 VOUT 5
- 在*绝对最大额定值*中添加了两个额外的电压行，一行用于引脚 SW (DC)、VOS 和 VOUT，另一行用于引脚 SW (AC，< 10ns)，带有表注释“开关时” 5
- 在器件版本 TPSM828303xK 启动部分的*电气特性*表中添加了参数 tSS 5
- 将运行期间电源正常抗尖峰脉冲延迟部分中的参数名称 td(PG) 更改为 td(PGO) 5
- 在参考电压部分中添加了参数 VFB 表注释，指示该参数为直流参数 5
- 将段落“VCB 封装版本使用 MagPack 技术来进一步降低 EMI。MagPack 是德州仪器 (TI) 专有的集成磁性元件封装技术，可实现超高性能的电源模块设计。除了降低 EMI，MagPack 还提高了电源模块的效率和热属性。此特性实现内业领先的功率密度”更改为“VCB 封装版本使用 MagPack 技术，实现超高性能电源模块设计。借助德州仪器 (TI) 专有的集成磁性元件 MagPack 封装技术，这些电源模块可提供业界卓越的功率密度、高效率、良好的热性能、易用性以及更低的 EMI 辐射” 9
- 添加了有关集成电感器电感的表注释 10
- 将 VCB 封装版本中的集成电感器的电感从 340nH 更改为 400nH。 11
- 将文中的启动时间值从固定值更改为引用规格表的值。 11
- 添加了有关输出电容器选型与启动时间之间关系 (引用 TPSM82830xK 版本) 以实现较慢启动的说明 11
- 添加了 *VOUT 精度*部分 13
- 将文中的 PG 信号延迟时间值从固定值更改为引用规格表的值。 14
- 将 VCB 封装版本的电感从 340nH 更改为 400nH。 16

Copyright © 2025 Texas Instruments Incorporated

- 将 VIN 和 VOUT 以及电阻器的固定值更改为引用*设计参数*表和 BOM 表中的值.....16
- 在*“元件列表”*表中添加了 1.8V VOUT 电阻值.....16
- 将关于使用 WEBENCH 工具的过时说明更改为当前说明.....17
- 添加了标题为“PG 对 VOUT 的影响”的三张图片.....19
- 将关于使用 WEBENCH 工具的过时说明更改为当前说明.....30

Changes from Revision A (December 2023) to Revision B (June 2024)	Page
• 添加了 TPSM828303PVCBR (预告信息)	1

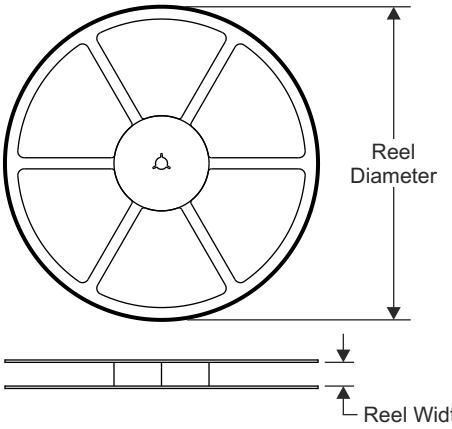
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

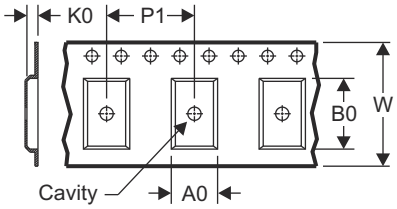
Copyright © 2025 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

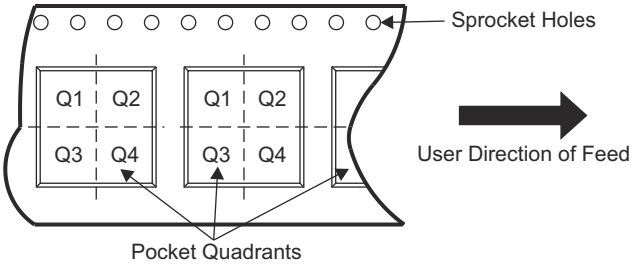


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

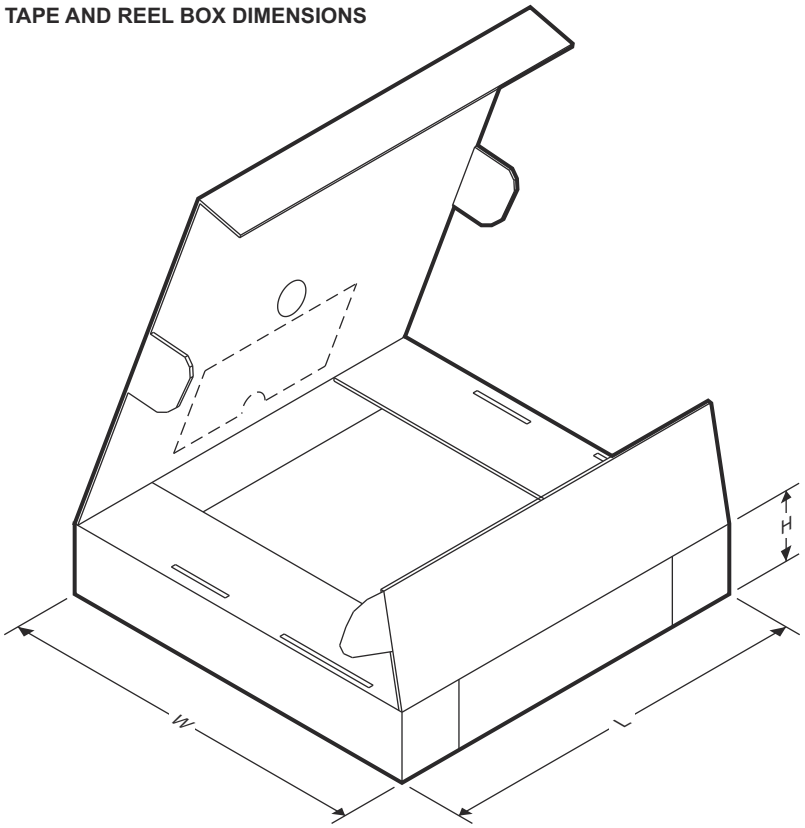
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
TPSM828303PVCBR	QFN-FCMOD	RDS	9	3000	180	8.4	0.77	1.65	0.5	8.0	12.0	Q1

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TPSM828303PVCBR	QFN-FCMOD	RDS	9	3000	182	182	20

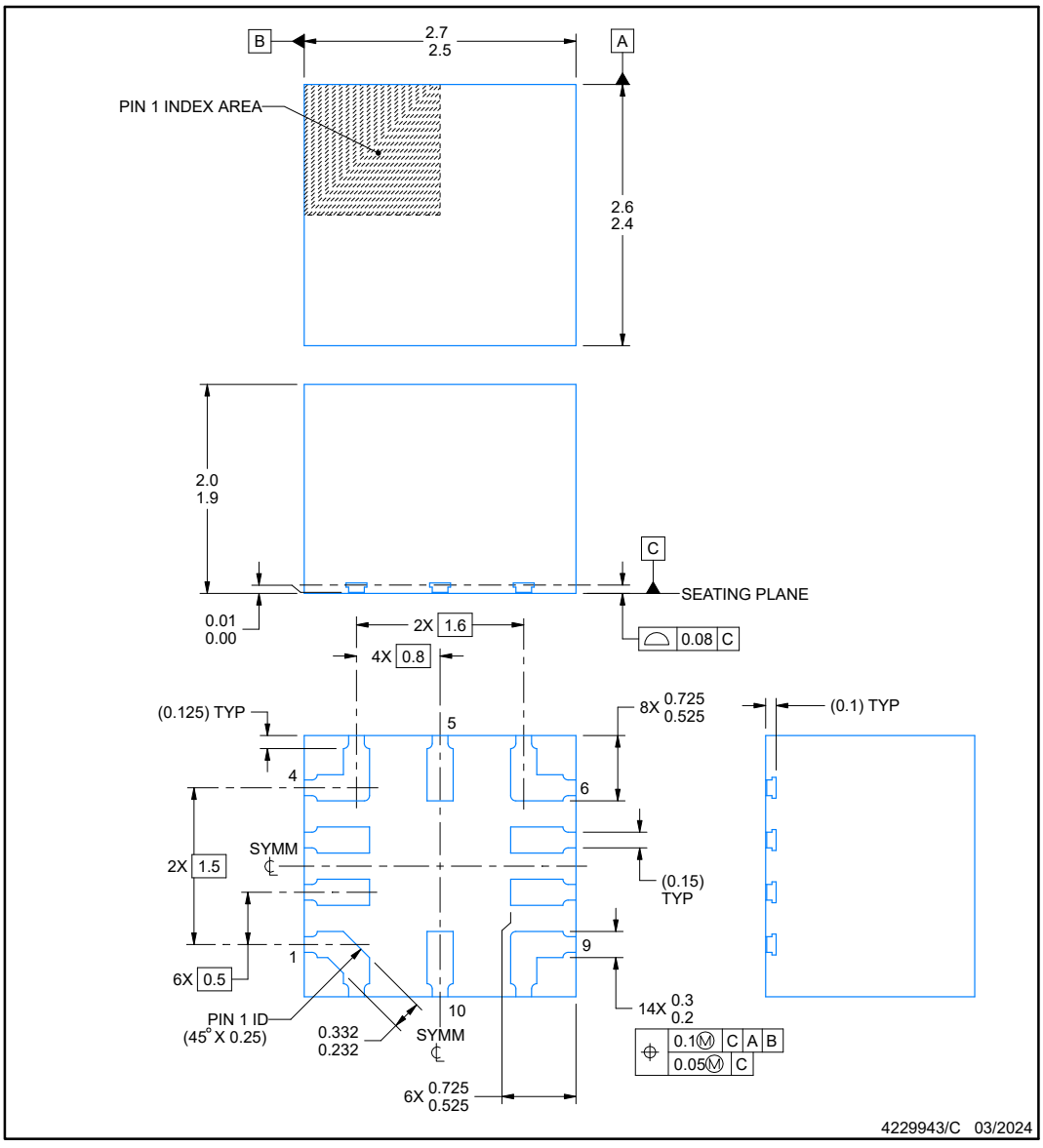
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

VCB0010A

QFN-FCMOD - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

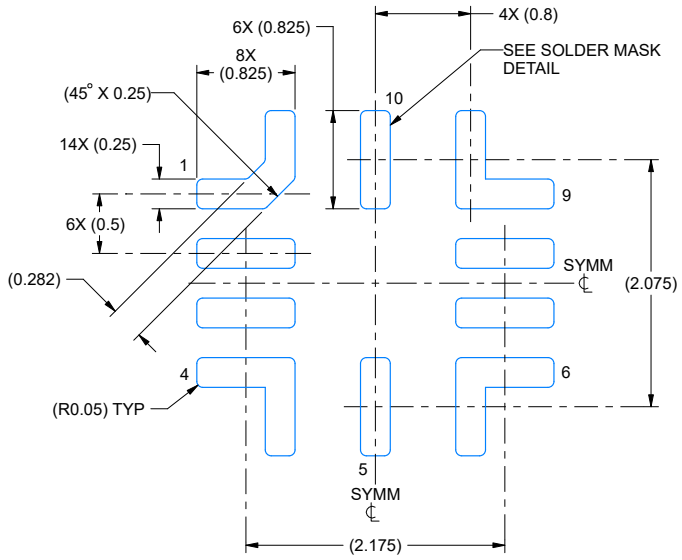
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

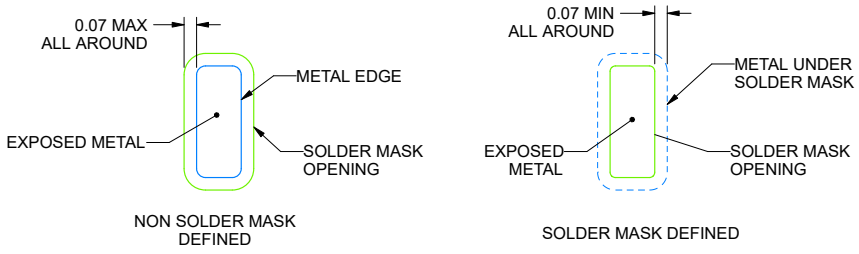
VCB0010A

QFN-FCMOD - 2 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4229943/C 03/2024

NOTES: (continued)

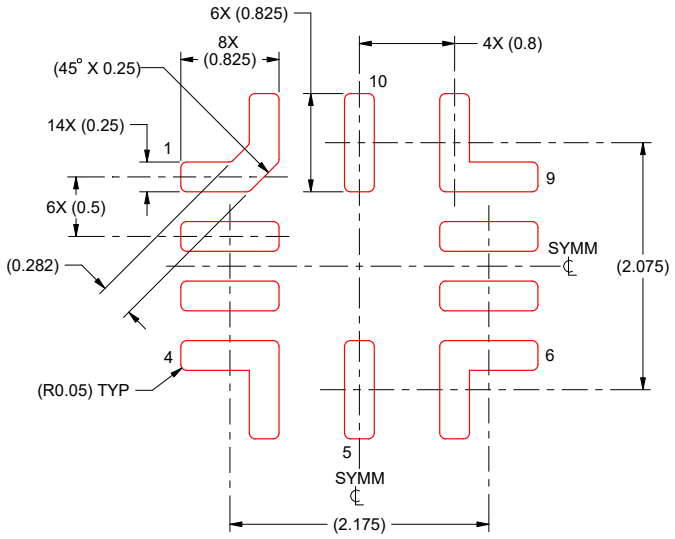
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

VCB0010A **QFN-FCMOD - 2 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4229943/C 03/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSM828301ARDSR	Active	Production	QFN-FCMOD (RDS) | 9	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TM8301
TPSM828302ARDSR	Active	Production	QFN-FCMOD (RDS) | 9	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TM8302
TPSM828303APVCBR	Active	Production	QFN-FCMOD (VCB) | 10	2500 | LARGE T&R	In-Work	NIPDAU	Level-3-260C-168 HR	-40 to 125	3QPI
TPSM828303ARDSR	Active	Production	QFN-FCMOD (RDS) | 9	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	TM8303
XPSM828303PVCBR	Active	Preproduction	QFN-FCMOD (VCB) | 10	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

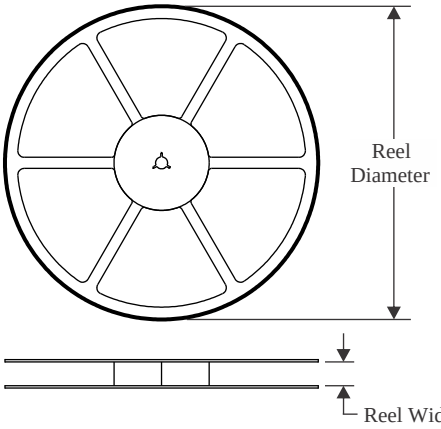
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

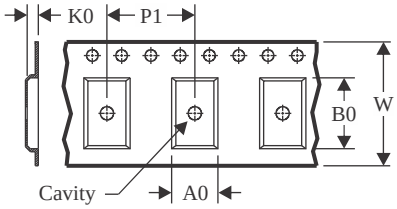
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

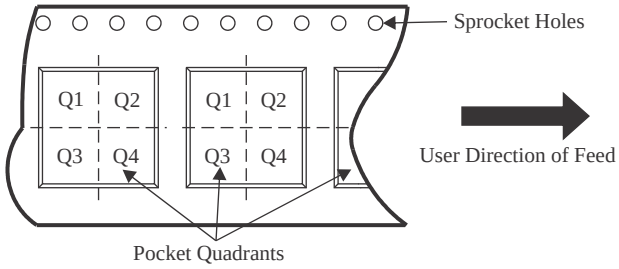


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

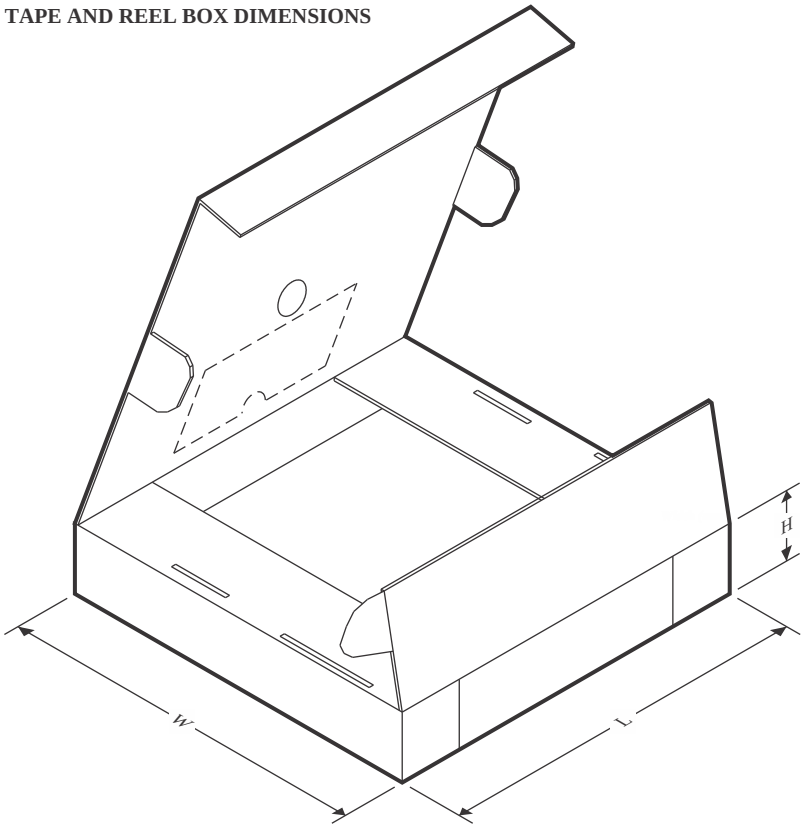
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSM828301ARDSR	QFN-FCMOD	RDS	9	3000	330.0	17.6	3.3	3.3	2.25	8.0	12.0	Q2
TPSM828302ARDSR	QFN-FCMOD	RDS	9	3000	330.0	17.6	3.3	3.3	2.25	8.0	12.0	Q2
TPSM828303APVCBR	QFN-FCMOD	VCB	10	2500	330.0	12.4	2.9	2.8	2.2	8.0	12.0	Q2
TPSM828303ARDSR	QFN-FCMOD	RDS	9	3000	330.0	17.6	3.3	3.3	2.25	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

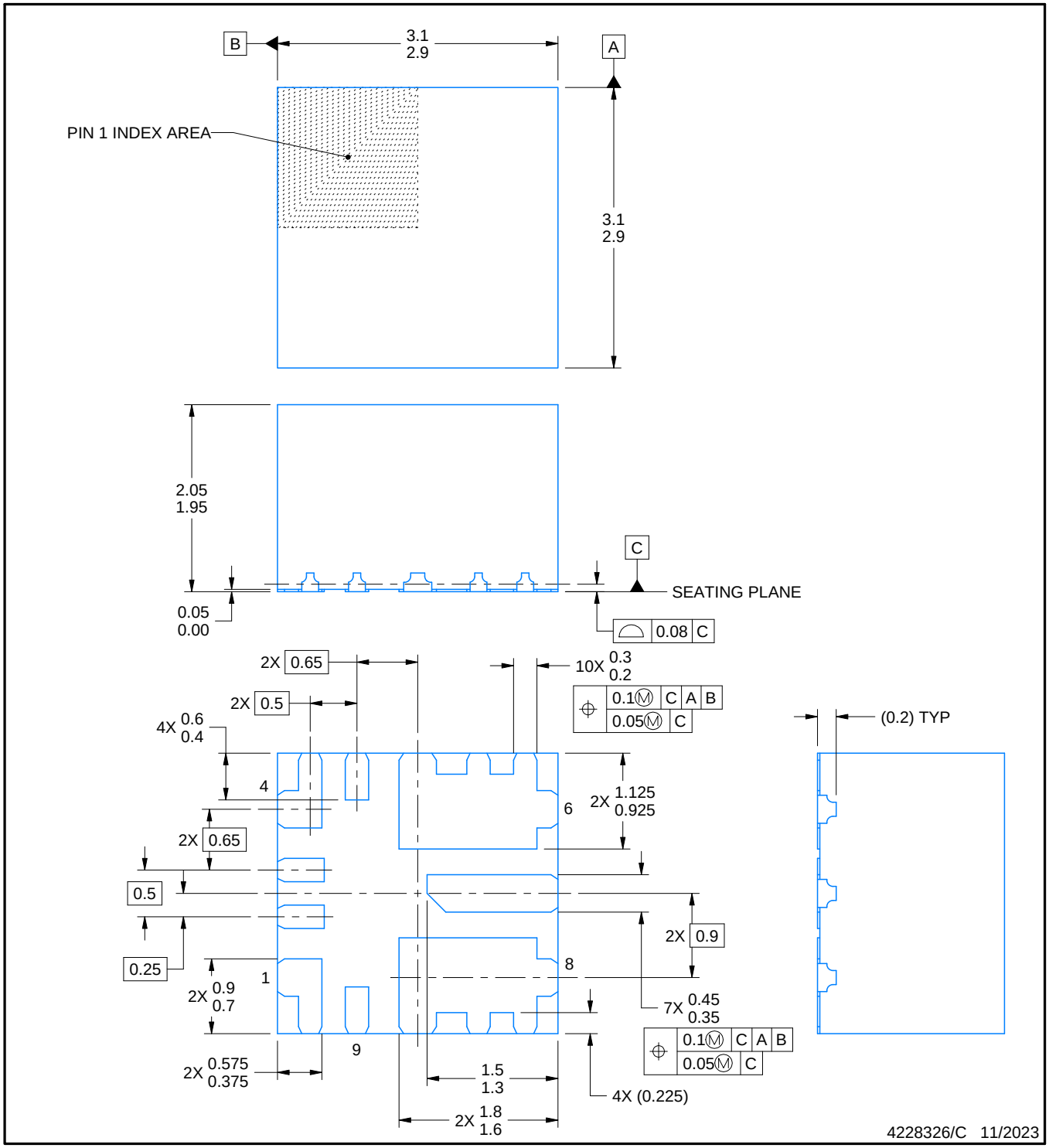
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSM828301ARDSR	QFN-FCMOD	RDS	9	3000	336.0	336.0	48.0
TPSM828302ARDSR	QFN-FCMOD	RDS	9	3000	336.0	336.0	48.0
TPSM828303APVCBR	QFN-FCMOD	VCB	10	2500	367.0	367.0	35.0
TPSM828303ARDSR	QFN-FCMOD	RDS	9	3000	336.0	336.0	48.0

PACKAGE OUTLINE

RDS0009A

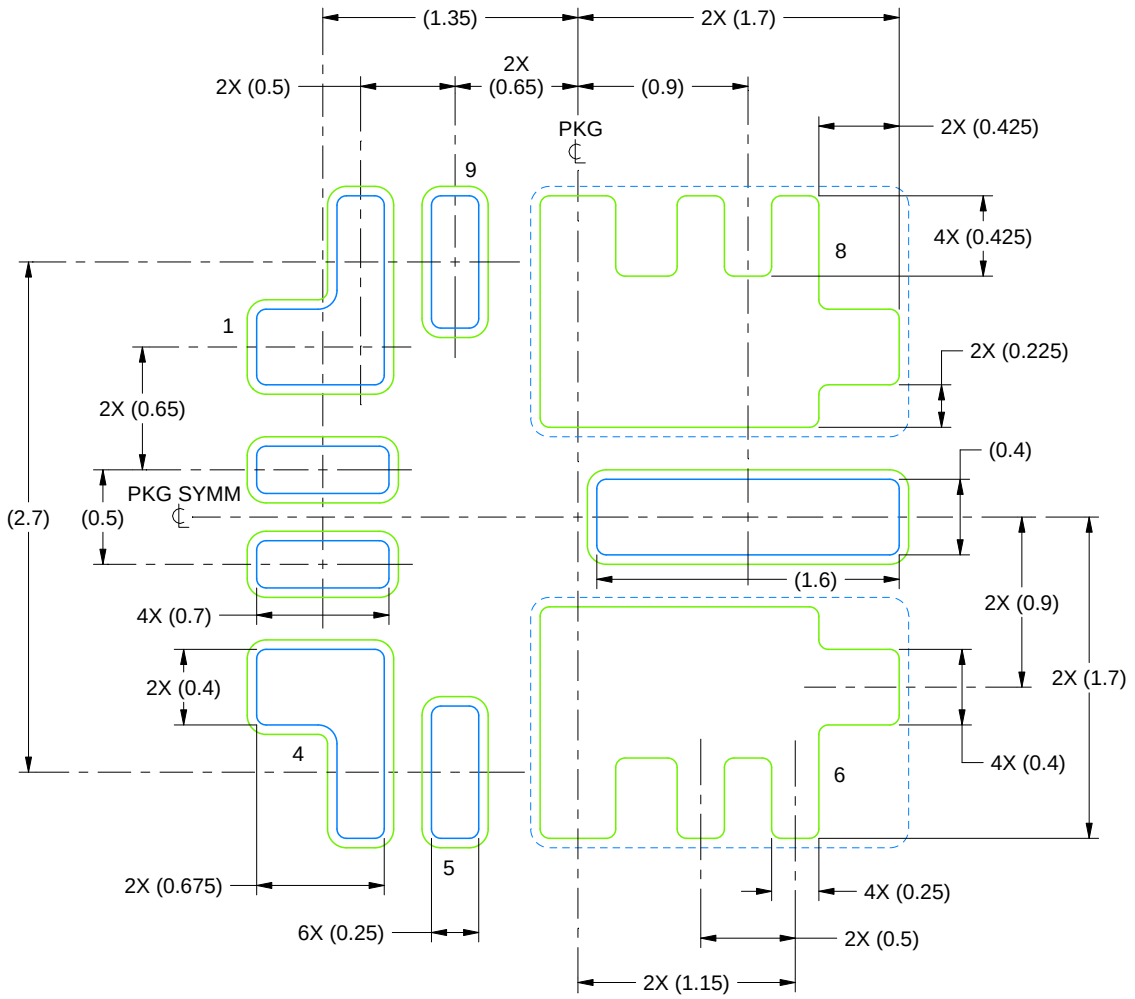
QFN-FCMOD - 2.05 mm max height

QUAD FLATPACK - NO LEAD

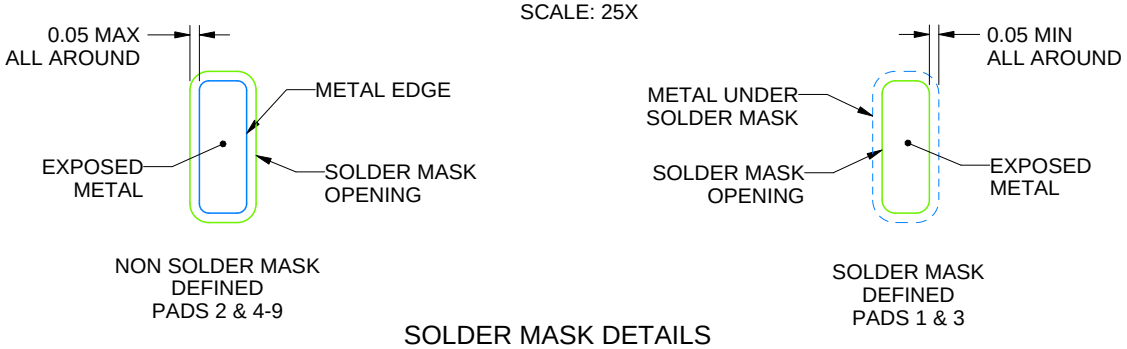


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 25X

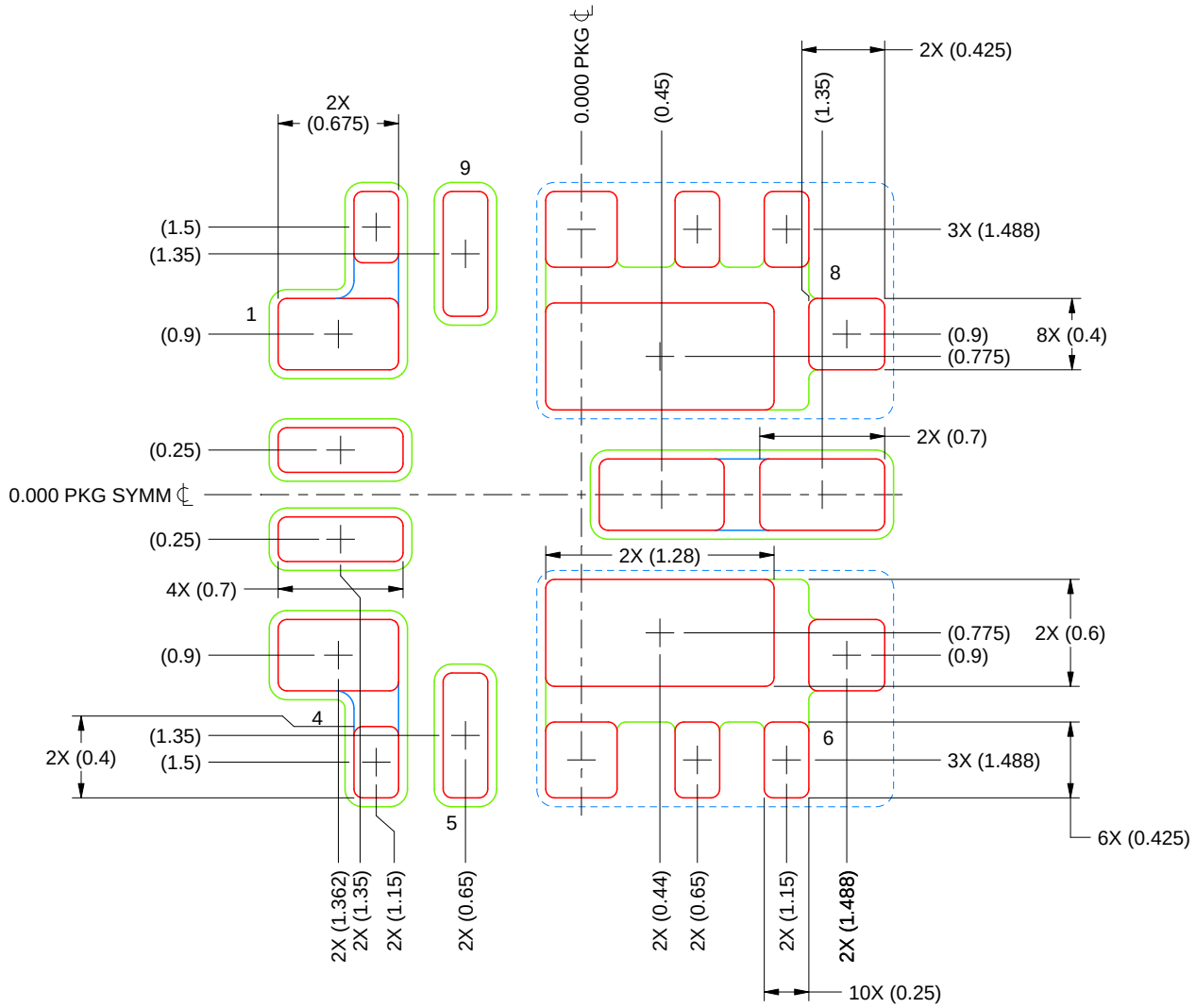


SOLDER MASK DETAILS

4228326/C 11/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 1 & 3: 76%
PADS 2, 5 & 8: 88%

4228326/C 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司